画素容量・列容量電荷電圧変換を組合せた多重露光線形応答広ダイナミックレンジCMOSイメージセンサ

A Multiple-Exposure, Linear Response, Wide-Dynamic-Range CMOS Image Sensor Combining Electric-charge Voltage Conversions in Pixel Capacitor and Column Capacitor

井出典子[†], 学生会員 赤羽奈々[†], 正会員 須川成利[†]
Noriko Ide[†], Nana Akahane[†] and Shigetoshi Sugawa[†]

Abstract We discuss the operation methods for keeping a high S/N ratio at all switching points in multiple exposures and for shorting the total integration time of a wide dynamic range (DR) lateral overflow integration capacitor (LOFIC) CMOS image sensor that combines electric-charge voltage conversions in a pixel and a column capacitor. We have used these methods on a color LOFIC CMOS image sensor. This sensor had a pixel pitch of 5.6- μm and the number of effective pixels was 800 (H) $\times$ 600 (V). It was made by using 0.18- μm 2P3M CMOS technology. Fully linear responses were obtained, as well as a DR of 207 dB. Furthermore, the S/N ratio was 26-dB for the image of 18% gray card at all the switching points between the multiple exposures. The total exposure time was 1/13-sec and was obtained by three photoelectric conversion operations at FD and LOFIC capacitors and one photoelectric conversion operation in the column capacitor.

キーワード: CMOSイメージセンサ, 広ダイナミックレンジ, 高S/N

1. ま え が き

高画質デジタルカメラ, 監視, 医療, FAなどの分野で, 明暗差の大きい条件下でも良好な撮像が行える高S/N, 広ダイナミックレンジ (Wide Dynamic Range: WDR) 性能を有するイメージセンサの実現が強く求められている. 特に車載向けイメージセンサなどにおいては, 極めて激しく明暗が変化する被写体を1台のカメラで撮影したいという要求がある. こうした要求に対して, さまざまな方法を用いたWDRイメージセンサが提案されている. 例えば, 多重露光¹⁾, 対数電圧変換^{2) 3)}, 横型オーバーフロー蓄積容量 (Lateral Overflow Integration Capacitor: LOFIC)^{4) ~7)}などの方法で, 約140dB程度のDR性能が報告されている. また, 横型オーバーフロー蓄積容量を用いた多重露光と対数電圧変換を組合せた方法においてDR200dBが達成され, 高感度, 高S/N性能も同時に実現されている^{7) ~9)}. また, われわれは既報において画素容量と列容量における電荷電圧変換を組合せた, 全光量範囲にわたって線形応答をもつイメージセンサ技術について論じているが, 高S/N性能を保持

しつつ全露光時間を最短にする高フレームレート動作方法について明らかにされていなかった^{11) 12)}. 本論文では, 画素容量・列容量電荷電圧変換を組合せたWDR LOFIC CMOSイメージセンサにおいて, 多重露光切替え点のS/Nを高く保持しつつ全露光時間を短縮するための動作方法について理論的考察に基づいて最適化条件を明らかにした. 本動作方法を, 0.18 μm 2P3M CMOSプロセステクノロジーを用いて試作した, 画素サイズ5.6 μm 角, 有効画素数800^H $\times$ 600^VのカラーCMOSイメージセンサに適用した. その結果, FD容量とLOFICにおいて電荷電圧変換を行う動作に露光時間の異なる3回の多重露光と, 列容量と垂直信号線寄生容量において電荷電圧変換を行う1回の露光動作を組合せた, 全照度範囲に亘って線形応答を示す4回蓄積動作により, 理論的予測値DR207dB (実験検証値175dB), 全露光切替え点でグレー18%被写体に対してS/N26dB, 全露光時間1/13secの性能を達成したので報告する.

2. センサ構成

図1に画素容量と列容量における電荷電圧変換を組合せたWDR LOFIC CMOSイメージセンサの画素と列の等価回路図を示す^{11) 12)}. 画素回路は, 埋め込み型フォトダイオード (PD), 転送MOSスイッチ (T), 行選択スイッチ (X), フローティングディフュージョン (FD) の容量 (C_{FD}), ソースフォロアアンプ (SF), 過飽和時にPDから溢れた光電荷を蓄積する横型オーバーフロー蓄積容量 (LOFIC), FDと

2008年6月, IS&T/SPIE,

2008年10月23日, 電子情報通信学会技術研究報告で発表

2009年7月16日受付, 2009年10月28日再受付, 2009年12月11日採録

[†] 東北大学 大学院 工学研究科

(〒980-8579 宮城県仙台市青葉区荒巻字青葉6-6-11, TEL 022-795-4833)

[†] Graduate School of Engineering, Tohoku University

(6-6-11 Aramaki, Aza-Aoba, Aoba-ku, Sendai 980-8579, Japan)

図1 画素・列の等価回路図

The schematic diagram of the pixel and column circuits.

LOFICの電氣的接続を制御するためのMOSスイッチ(S), FD容量と横型オーバフロー蓄積容量をリセットするスイッチ(R), そして列容量電荷電圧変換動作の時に使用するスイッチ(X')から構成される. 列回路は垂直信号線(OUT)の寄生容量(C_V), 列毎に配置される電流源(IVOL), 電流源選択スイッチ(COL), 垂直信号線のリセットスイッチ(VCLR), 信号読出しスイッチ(SS, NS), 信号の積分・保持を行う列容量(CC), そして列選択スイッチ(H)から構成される. 垂直信号線は列容量に信号読出しスイッチSS, NSを介して接続される. 画素容量電荷電圧変換動作においては, スイッチX'をオフにして, 容量 C_{FD} および $C_{FD}+LOFIC$ でPDから転送された光電荷を電圧に変換する. また, 列容量電荷電圧変換動作においては, スイッチX', T, Sをオンにして, PDから光電流をOUTおよびCCに導き, 主に容量 C_V+C_C で光電変換する(画素内容量はこの容量に比べ充分に小さいので寄与比は小さい).

3. 動作方法

3.1 最適動作

本論文における最適動作とは, 画素容量と列容量における電荷電圧変換を組合せたWDR LOFIC CMOSイメージセンサにおいて, すべての多重露光切替え点で高 S/N を保持しつつ全露光時間を短縮する動作のことである. イメージセンサおよびカメラシステムに存在する暗時雑音電圧から多重露光の最後の信号の飽和電圧までの範囲を表すトータルDR, 多重露光の1フィールド動作に要する時間である全露光時間, 多重露光切替え点の S/N , これら三つの性能を定式化し, 最適動作を決定する.

1フィールドのトータルの露光時間 T_{total} は次式で表される.

$$T_{total} = T_{OF}^V \cdot X + T_{OF}^C = \left\{ \left(t_V + \frac{1}{f} \cdot H \right) \cdot V \right\} \cdot X + \left\{ \left(t_C + \frac{1}{f} \cdot H \right) \cdot V \right\} \quad (1)$$

ここで, T_{OF}^V は画素容量電荷電圧変換動作の1フィールド当りの動作時間, T_{OF}^C は列容量電荷電圧変換動作の1フィールド当りの動作時間, t_V は画素容量電荷電圧変換動作の水平ブランキング(HBLK)期間, f は駆動周波数, X は画素容量電荷電圧変換動作の多重露光回数, t_C は列容量電荷電圧変換動作のHBLK期間, H と V は画素数の行・列数をそれぞれ示す. 短HBLK期間, 高駆動周波数, 少画素数化は T_{total} を小さくする方向であるが, ここでこれらの値は規定値とする.

まず, 三つの S/N の定義を行う. 画素容量電荷電圧変換動作において, 1回の露光で, C_{FD} において電荷電圧変換を行う飽和前側信号S1と $C_{FD}+LOFIC$ において電荷電圧変換を行う過飽和側信号S2が出力される. 信号S1, S2を合成して一つのWDR信号が得られる. このS1/S2信号切替え点における S/N が第1の議論の対象となる. 次にDR拡大のため, 画素容量電荷電圧変換動作において多重露光を行うが, 露光時間の異なる画素容量電荷電圧変換動作同士の信号切替え点における S/N が第2の議論の対象となる. そして, 最短露光時間の画素容量電荷電圧変換動作, つまり, 画素容量電荷電圧変換動作の多重露光の最後の信号から, 列容量電荷電圧変換動作への信号切替え点における S/N が, 第3の議論の対象となる. 次に, 以上三つの S/N をそれぞれ定式化する.

3.2 S1/S2信号切替え点における S/N

画素容量電荷電圧変換動作の1回の露光内で行うS1/S2信号切替え点における S/N は次式で表される.

$$S/N = \frac{Q_{SL}^{S2}}{\sqrt{(Q_{\eta}^{S2})^2 + Q_{SL}^{S2}}} = \frac{Q_{SAT}^{S1}}{\sqrt{(Q_{\eta}^{S2})^2 + Q_{SAT}^{S1}}} \geq 40dB \quad (2)$$

$$Q_{SAT}^{S1} = C_{FD} \cdot V_{SAT}^{S1} / q \quad (3)$$

$$Q_{SL}^{S2} = Q_{SAT}^{S1} \quad (4)$$

$$Q_{\eta}^{S2} = (C_{FD} + LOFIC) \cdot V_{\eta} / q \quad (5)$$

ここで, Q_{SAT}^{S1} は信号S1の飽和電荷数を示し, 信号S1の飽和電圧 V_{SAT}^{S1} を用いて表される. Q_{SL}^{S2} はS1/S2信号切替え点におけるS2の信号電荷数を示す. Q_{η}^{S2} は信号S2の暗時雑音電荷数を示し, 暗時雑音電圧 V_{η} , 素電荷 q を用いて表される. 暗時雑音とはイメージセンサの出力後段などに存在し, 映像信号に重畳する雑音の総称である. 以上の式から, S1/S2信号切替え点における S/N が決まると, 容量値 C_{FD} , LOFICの値も決まることがわかる. 信号S1の電荷電圧変換を行う容量 C_{FD} , 信号S2の電荷電圧変換を行う容量 $C_{FD}+LOFIC$ の比 $(C_{FD}+LOFIC)/C_{FD}$ を大きくすると, 1回の露光によるDRは大きくなる. 1回露光によるDRが広いと, 少ない露光回数で超WDRを達成でき, 全露光時間の短縮につながる. S1/S2信号の切替え点における S/N を小さくすると, 容量比率 $(C_{FD}+LOFIC)/C_{FD}$ は大きくなり,

図2 信号切替え点におけるS/N(縦軸、横軸ともに対数)

(a) S1/S2信号切替え点, (b) VRO1/VRO2信号切替え点

The S/N Ratio.

(a) At the switching points between the S1 and S2, (b) At the switching.

1回露光によるDRも大きくなる。この関係性を図2 (a) に示す。S1/S2信号切替え点におけるS/Nの値から、容量値と1回露光によるDRを導出できる。

3.3 画素容量電荷電圧変換動作間の切替え点におけるS/N

露光時間の異なる2回の画素容量電荷電圧変換動作の切替え方法について考える。S/NはISO Standard 12232に準拠し、グレー18%の標準被写体撮像時の値で議論する¹⁰⁾。これによると"acceptable quality"のS/Nの下限値がグレー18%画像において、 $S/N \geq 20\text{dB}$ と定義されている。露光時間の長い1回目の画素容量電荷電圧変換動作 (VRO1) から露光時間の短い2回目の画素容量電荷電圧変換動作 (VRO2) へ切替えた際の切替え点におけるグレー18%被写体に対するS/Nは次式で表される。

$$S/N = \frac{Q_{SL}^{V2} \cdot \frac{18}{100}}{\sqrt{(Q_{\eta}^{V2})^2 + Q_{SL}^{V2} \cdot \frac{18}{100}}} \cdot \frac{\left(Q_{SAT}^{V1} \cdot \frac{T_{V2}}{T_{V1}}\right) \cdot \frac{18}{100}}{\sqrt{(Q_{\eta}^{V2})^2 + \left(Q_{SAT}^{V1} \cdot \frac{T_{V2}}{T_{V1}}\right) \cdot \frac{18}{100}}} \geq 20\text{dB} \quad (6)$$

$$Q_{SAT}^{V1} = (C_{FD} + C_S) \cdot V_{SAT}^{V1} / q \quad (7)$$

$$Q_{SL}^{V2} = Q_{SAT}^{V1} \cdot \frac{T_{V2}}{T_{V1}} \quad (8)$$

$$Q_{\eta}^{V2} = C_{FD} \cdot V_{\eta} / q \quad (9)$$

ここで、 Q_{SAT}^{V1} はVRO1の飽和電荷数を示し、VRO1の飽和電圧 V_{SAT}^{V1} を用いて表される。 Q_{SL}^{V2} はVRO1/VRO2の信号切替え点におけるVRO2の信号電荷数を示し、VRO1の露光時間 T_{V1} 、VRO2の露光時間 T_{V2} を用いて表される。 Q_{η}^{V2} はVRO2の暗時雑音電荷数を示し、暗時雑音電圧 V_{η} を用いて表される。

3.4 画素容量電荷電圧変換動作と列容量電荷電圧変換動作の切替え点におけるS/N

最短露光時間のX回目の画素容量電荷電圧変換動作 (VROX) と列容量電荷電圧変換動作信号 (CRO) の切替え方法について考える。VROXからCROへ切替えた際の切替え点におけるグレー18%被写体に対するS/Nは次式で表される。

$$S/N = \frac{Q_{SL}^C \cdot \frac{18}{100}}{\sqrt{(Q_{\eta}^C)^2 + Q_{SL}^C \cdot \frac{18}{100}}} \cdot \frac{\left(Q_{SAT}^{VX} \cdot \frac{T_C}{T_{VX}}\right) \cdot \frac{18}{100}}{\sqrt{(Q_{\eta}^{V2})^2 + \left(Q_{SAT}^{VX} \cdot \frac{T_C}{T_{VX}}\right) \cdot \frac{18}{100}}} \geq 20\text{dB} \quad (10)$$

$$Q_{SAT}^{VX} = (C_{FD} + C_S) \cdot V_{SAT}^{VX} / q \quad (11)$$

$$Q_{SL}^C = Q_{SAT}^{VX} \cdot \frac{T_C}{T_{VX}} \quad (12)$$

$$Q_{\eta}^{V2} = C_{FD} \cdot V_{\eta} / q \quad (13)$$

ここで、 Q_{SAT}^{VX} はVROXの飽和電荷数を示し、VROXの飽和電圧 V_{SAT}^{VX} を用いて表される。 Q_{SL}^C はVROX/CROの信号切替え点におけるCROの信号電荷数を示し、VROXの露光時間 T_{VX} 、CROの露光時間 T_C を用いて表される。 Q_{η}^C は暗時雑音電荷数を示し、暗時雑音電圧 V_{η} を用いて表される。

VRO1/VRO2信号切替え点におけるS/N、VROX/CRO信号切替え点におけるS/Nの式から、各蓄積動作の信号切替え点におけるS/Nが決まると、切替え前と切替え後の信号の露光時間比率も決まることがわかる。切替え前後の蓄積動作の露光時間比率を大きくすると、少ない露光回数でWDR性能を向上させることができ、全露光時間の短縮にもつながる。この関係性を図2 (b) に示す。信号切替え点におけるS/Nの値から、切替え前後の露光時間比率・切替え前後の露光動作のDRを導出できる。

3.5 全露光時間

1フィールドの全露光時間 T_{total} は、画素容量電荷電圧変換動作の1フィールド当りの動作時間 T_{OF}^V 、列容量電荷電圧変換動作の1フィールド当りの動作時間 T_{OF}^C を用いて表される。

$$T_{total} = T_{OF}^V \cdot X + T_{OF}^C = \left\{ \left(t_V + \frac{1}{f} \cdot H \right) \cdot V + \left(t_C + \frac{1}{f} \cdot H \right) \cdot V \right\} \cdot X \quad (14)$$

$$T_{OF}^V = \left(t_V + \frac{1}{f} \cdot H \right) \cdot V \quad (15)$$

$$T_{OF}^C = \left(t_C + \frac{1}{f} \cdot H \right) \cdot V \quad (16)$$

上式から、全露光時間は画素容量電荷電圧変換動作の露

光時間と多重露光回数，列容量電荷電圧変換動作の露光時間で決まる．画素容量電荷電圧変換動作の1フィールド当りの動作時間 T_{OF}^V は，1回目の画素容量電荷電圧変換動作信号VRO1の露光時間 T_{V1} に等しい．電子シャッタを用いた2回目，3回目， $\dots$ ， X 回目の画素容量電荷電圧変換動作信号VRO2，VRO3， $\dots$ ，VROXの1フィールド当りにかかる時間は T_{OF}^V であり，これに X を乗じることで， X 回分の露光時間になる．列容量電荷電圧変換動作の1フィールド当りの動作時間 T_{OF}^C に含まれるHBLK期間 t_C は $T_C \times 2$ で表される．これは，列容量電荷電圧変換動作がリファレンス電圧読出しと（リファレンス電圧読出し+信号電圧読出し）の二つのフェーズから成るためである． $t_C = T_C \times 2$ が画素容量電荷電圧変換動作のHBLK期間 t_V 以下の場合， t_C は画素容量電荷電圧変換動作のHBLK期間 t_V として表され， $t_C = T_C \times 2$ が t_V 以上の場合，そのまま列容量電荷電圧変換動作の露光時間の2倍で表される．このことから，列容量電荷電圧変換動作の露光時間がトータルの露光時間に大きく影響することがわかる．

トータルDRの DR_{total} は T_{V1} ， T_C を用いて，次式で表される．

$$DR_{total} = 20 \log \left(\frac{\frac{T_{V1}}{T_C} \cdot \frac{C_C + C_V}{C_{FD}} \cdot V_{SAT}^C}{V_\eta} \right) \quad (17)$$

ここで， V_{SAT}^C はCROの飽和電圧を表す．所望の S/N ・トータルDR・全露光時間を満たすように各容量値，各蓄積動作の露光時間，露光回数を設定することで高 S/N を保持し，全露光時間を短くした最適動作が可能になる．各露光時間の導出式を示す．式(6)～式(8)から T_{V2} が求められる．

$$T_{V2} = Q_{SL}^{V2} \cdot \frac{T_{V1}}{Q_{SAT}^{V1}} = \left(\frac{S/N^2}{2} + \sqrt{\left(\frac{S/N^2}{2} \right)^2 + S/N^2 \cdot (Q_\eta^{V2})^2} \right) \cdot \frac{T_{V1}}{(C_{FD} + C_S) \cdot V_{SAT}^{V1} / q} \quad (18)$$

同様に， T_{V3} ， T_{V4} ， $\dots$ ， T_{VX} も求められる．

$$T_{V3} = Q_{SL}^{V3} \cdot \frac{T_{V2}}{Q_{SAT}^{V2}} = \left(\frac{S/N^2}{2} + \sqrt{\left(\frac{S/N^2}{2} \right)^2 + S/N^2 \cdot (Q_\eta^{V3})^2} \right) \cdot \frac{T_{V2}}{(C_{FD} + C_S) \cdot V_{SAT}^{V2} / q} \quad (19)$$

$$T_{V4} = Q_{SL}^{V4} \cdot \frac{T_{V3}}{Q_{SAT}^{V3}} = \left(\frac{S/N^2}{2} + \sqrt{\left(\frac{S/N^2}{2} \right)^2 + S/N^2 \cdot (Q_\eta^{V4})^2} \right) \cdot \frac{T_{V3}}{(C_{FD} + C_S) \cdot V_{SAT}^{V3} / q} \quad (20)$$

$$T_{VX} = Q_{SL}^{VX} \cdot \frac{T_{V(X-1)}}{Q_{SAT}^{V(X-1)}} = \left(\frac{S/N^2}{2} + \sqrt{\left(\frac{S/N^2}{2} \right)^2 + S/N^2 \cdot (Q_\eta^{VX})^2} \right) \cdot \frac{T_{V(X-1)}}{(C_{FD} + C_S) \cdot V_{SAT}^{V(X-1)} / q} \quad (21)$$

列容量電荷電圧変換動作の露光時間 T_C は，式(10)～式(12)，式(21)から求められる．

$$T_C = Q_{SL}^C \cdot \frac{T_{VX}}{Q_{SAT}^{VX}} = \left(\frac{S/N^2}{2} + \sqrt{\left(\frac{S/N^2}{2} \right)^2 + S/N^2 \cdot (Q_\eta^C)^2} \right) \cdot \frac{T_{VX}}{(C_{FD} + LOFIC) \cdot V_{SAT}^{VX} / q} \quad (22)$$

以上， S/N ，全露光時間，トータルDR，各動作露光時間の定式化を行い，最適動作方法を明らかにした．

3.6 最適動作条件の決定

以上の動作方法の定式にしたがって，WDR LOFIC CMOSイメージセンサにおいて，露光動作の切替え点で"acceptable quality"以上の S/N を保持しながら，全露光時間を短縮することを目的とした最適動作条件を決定する．まず，1回目の画素容量電荷電圧変換動作の露光時間は，低照度側の感度を確保する観点から従来動作と同様の1/60secとした．一方，式(14)，式(17)の全露光時間・トータルDRの定義式から，列容量電荷電圧変換動作の露光時間 T_C の値を小さくすることが全露光時間・トータルDRの両者にとって有利であることがわかる．列容量電荷電圧変換動作の露光時間の最適値を，試作デバイスによる撮像実験から求めた．撮像可能な最も明るい光源として直接太陽を撮像したところ，最高照度は約 $4 \times 10^7 \text{ lx}$ であった．列容量電荷電圧変換動作において，露光時間を $34.4 \mu \text{ sec}$ 以下に設定すれば，この最高照度でも飽和しないことを実験により確認した．さらに，式(14)から式(22)を用いて，信号切替え点のグレー18%被写体に対する20dB以上になることおよびトータルのDRが200dB以上になることを満たすような露光回数と露光時間を求めた．その結果，露光時間 $T_{V1}=1/60 \text{ sec}$ ， $T_{V2}=167.7 \mu \text{ sec}$ ， $T_{V3}=1.69 \mu \text{ sec}$ ， $T_C=12.1 \mu \text{ sec}$ の3回の画素容量電荷電圧変換動作と1回の列容量電荷

図3 駆動タイミング図

The timing diagrams.

(a) The sequential readout, (b) VRO1, (c) VRO2, (d) CRO, (e) VRO3.

電圧変換動作組合せた4回露光動作により、信号切替え点の $S/N \approx 26\text{dB}$ 、理論予測値トータルDR $DR_{total} \approx 207\text{dB}$ (実験検証値175dB)、全蓄積時間 $T_{total} \approx 1/13\text{sec}$ を達成できるとがわかった。

4. 駆動タイミング

図3に駆動タイミング図を示す。図3 (a) は図3 (b) ~図3 (e)で示す4回露光を組合せたシーケンシャル動作における、各動作の蓄積時間・読出し時間を図示し、全蓄積時間を明示し、図3 (b) は露光時間1/60secの1回目の画素容量電荷電圧変換動作VRO1の駆動タイミングを示す。図3 (c) は、電子シャッタを用いた露光時間167.6 μsec の2回目の画素容量電荷電圧変換動作VRO2、図3 (d) は露光時間12.1 μsec の列容量電荷電圧変換動作CRO、図3 (e) は露光時間1.69 μsec の3回目の画素容量電荷電圧変換動作VRO3の駆動タイミングである。

VRO1, VRO2, CROの駆動方法は既報と同様である^{7)~9) 11) 12)}。まずVRO1の駆動タイミングを説明する。蓄積前に、 $C_{FD} + \text{LOFIC}$ のリセットを行い (t_1)、スイッチRをオフした直後の電位を $C_{FD} + \text{LOFIC}$ のリセットノイズN2として読出す (t_2)。この際、N2にはソースフォロアSFの閾値電圧ばらつきが固定パターン雑音成分として含まれる。蓄積時間中において、飽和前の光電荷はPDで蓄積し、また飽和を超えた際の過剰光電荷はスイッチT, Sを介して $C_{FD} + \text{LOFIC}$ に蓄積する。この動作により、過飽和状態においてPDからあふれた光電荷を捨てずに有効活用する。このとき、転送スイッチTの障壁高さは、スイッチTをオフした状態においても基板の電位障壁より数100mV程度低くなるため、PDからあふれた電荷は基板側よりも転送スイッチ側へ向かい、 $C_{FD} + \text{LOFIC}$ に効率的に過剰光電荷を

蓄積することができる。蓄積終了後、スイッチSをオフし、 $C_{FD} + \text{LOFIC}$ に蓄積された光電荷 ($C_{FD} + \text{LOFIC}$ のリセットノイズ (N2) と過剰光電荷の混合信号の一部が含まれる) を C_{FD} とLOFICに分離し、 C_{FD} に分配された信号をN1として読出す (t_3)。次にスイッチTをオンして、PDに蓄積された光電荷を C_{FD} へ完全転送し、信号 $S1 + N1$ として読出す (t_4)。次にスイッチSをオンして、PD、 C_{FD} 、LOFICに蓄積された光電荷を $C_{FD} + \text{LOFIC}$ で混合し、 $S2 + N2$ として読出す (t_5)。この信号には、PDに蓄積された光電荷とPDの過飽和状態において $C_{FD} + \text{LOFIC}$ にあふれて蓄積された過剰光電荷の混合信号である過飽和側信号S2と、蓄積開始直後に取り込まれた $C_{FD} + \text{LOFIC}$ のリセットノイズN2が含まれる。この電荷混合動作により、信号S2に対する暗電流と熱雑音に対する許容度を向上させることができる。次に、スイッチS, T, Rをオンして、 C_{FD} とLOFICのリセットを行い (t_1')、スイッチRをオフした直後に、次フィールドの $C_{FD} + \text{LOFIC}$ のリセットノイズN2をN2'として読出す (t_2')。この際、N2'にはソースフォロアSFの閾値ばらつきが固定パターン雑音成分として含まれる。VRO2においても同様の駆動タイミングを用いるが、蓄積時間調整のために電子シャッタを用いる。電子シャッタは図中のSHT-TRGで行われる。次にCROの駆動タイミングを説明する。CROは、リファレンス電圧読出し (Background Integration) と (リファレンス電圧+信号電圧読出し) (Photo-current Integration) の二つのフェーズから成る。リファレンス電圧読出し動作では、スイッチNS, VCLRをオンにして、スイッチSSに隣接する列容量 C_c と垂直信号線寄生容量 C_v を電圧 V_{VCLR} にリセットし (t_1)、スイッチNSをオンしてリファレンス電圧読出し蓄積期間 (Background Integration Period) を開始する。リファレンス電圧読出し蓄積期間終了後の C_c の電位をリファ

図4 VRO3ポテンシャル図
The potential diagram of the VRO3.

レンス電圧 N_i として読出す (t_2). 次に、スイッチ V_{CLR} , SS , X' をオンにして、スイッチ NS に隣接する列容量 C_C と C_V を電圧 V_{VCLR} にリセットする (t_3). スイッチ SS , X' をオンして (リファレンス電圧+信号電圧読出し) 蓄積期間 (Photo-current Integration Period) を開始し、リファレンス電圧読出し蓄積期間と等しい長さの (リファレンス電圧+信号電圧読出し) 蓄積期間終了後、 C_C の電位を信号電圧+リファレンス電圧 S_i (N_i として読出す (t_4)).

次に、図3と図4のポテンシャル図を用いて露光時間1.69 μ secのVRO3の駆動方法を説明する. 本動作はHBLK期間内で蓄積・読出し動作を行う. まず、スイッチ NS_1 , SS_1 , T をオンにしてPDに蓄積された光電荷をそのまま C_{FD} に転送する (t_1). スイッチ NS_1 をオフした直後に、 C_{FD} の信号を N_1 として読出す (t_2). S_1 蓄積期間終了後、スイッチ SS_1 をオフした直後にFD容量に分配された光電荷を信号 S_1 (N_1 として読出す (t_3). スイッチ T をオフした後に信号読出しを行うことにより、FD容量はスイッチ T のゲート容量を含まず、光電変換ゲインの低下を防ぐことができる. 次にスイッチ R , S , T をオンして $C_{FD}+LOFIC$ をリセットし (t_4), スイッチ NS_2 をオフした直後に、 $C_{FD}+LOFIC$ の信号を N_2 として読出す (t_5). S_2 蓄積期間終了後、 $C_{FD}+LOFIC$ に転送された光電荷を信号 S_2+N_2 として読出す (t_6). 雑音除去された信号 S_1 , S_2 を合成する際、VRO1とVRO2の動作の場合、信号 S_1 にゲインを合わせるために、信号 S_2 には容量比 $(C_{FD}+LOFIC)/C_{FD}$ を乗じるが、VRO3の動作では、スイッチ T のゲート容量 C_T を考慮して容量比 $(C_{FD}+C_T+LOFIC)/(C_{FD}+C_T)$ を S_2 信号に乗じることにより、信号 S_1 にゲインを合わせたWDR信号が得られる.

5. 実験結果

図5に試作したイメージセンサのチップ写真を示す. 総画素数は $820^H \times 604^V$, 有効画素数は $800^H \times 600^V$ であり、画

図5 チップ写真
The chip micrograph.

図6 ブロック図と信号処理フロー
The block diagram and the flow of the signal processing.

素領域の左側に垂直シフトレジタ、上下に列容量回路と水平シフトレジスタを配置している. ダイサイズは5.6mm角である. 本イメージセンサは光学フォーマット1/3インチ、画素サイズ 5.6μ m角、有効画素数 $800^H \times 600^V$, 埋め込み型PD, オンチップマイクロレンズ付きのRGB Bayerカラーフィルタを搭載している. 試作には0.18 μ m 2層ポリシリコン, 3層メタルプロセスを用いた.

図6にブロック図と信号処理のフローを示す. 中央に位置する画素アレイの左には、画素の行方向を選択する垂直シフトレジスタ、上下には、電流源や信号保持容量などを含み列回路、画素の列方向を選択する水平シフトレジスタと出力アンプを配置している. 出力は上下の一方の2端子から N_1 , S_1+N_1 および N_i , S_i+N_i の各信号を、もう一方の2端子から N_2 , S_2+N_2 信号を出力する. 上下の2系統の出力端子から得られる信号間には、画像に影響を与えるようなゲインやリニアリティの差はない. これらの出力信号は、別チップの差動アンプにより差動演算し、信号 S_1 , S_2 または S_i を得た後、順次14ビット分解能のA/D変換されPCに読出される. この分解能のA/D変換を行うのは、以下に示すWDRデジタル信号を構成するのに十分な精度を得るためである. VRO1, VRO2, VRO3における信号 S_1 , S_2 の選択はSignal Selector 1で行うが、その際に単一露光の S/N を高く保つために、 S_1 , S_2 の信号合成点における S/N が

ISO Standard 12232の"excellent quality"基準に準拠し、グレー18%の標準被写体に対し、 $S/N \geq 20\text{dB}$ を満足するようにする。S1とS2が合成されたWDR信号は16ビット長の信号として保存される。VRO1, VRO2, VRO3, CROの合成は、VRO1に、VRO1とVRO2の露光時間比 T_{V1}/T_{V2} を乗じてゲインを合わせたVRO2, VRO1とVRO3の露光時間比 T_{V1}/T_{V3} を乗じてゲインを合わせたVRO3, VRO1とCROの露光時間・容量比 $T_{V1}/T_C \cdot (C_C + C_V)/C_{FD}$ を乗じてゲインを合わせたCROの四つの動作信号を合成して得られる。すべてが合成された1フレームの画像信号は36bit長(217dB)のデジタル信号となる。

次に光電変換特性・ S/N 特性の測定結果を示す。実験には色温度約4,000K, 最大照度 10^7lx のメタルハライドランプを光源に用い、焦点距離25mmのレンズでセンサ面に結像させて行った。レンズ絞りをF2.8に固定し、光量はNDフィルタを用いて変化させた。また、各測定データは、中心部のG画素を約 100×100 画素選択して得られたデータである。

図7に横軸に照度、縦軸に入力換算電圧をとってプロットした光電変換特性実測値を示す。実線の理論値とプロットの実測値が良好に一致している。画素容量電荷電圧変換動作において、照度約 $1.4 \times 10^{-2}\text{lx}$ から $8 \times 10^6\text{lx}$, DRにして約175dBの範囲で、列容量電荷電圧変換動作において、照度約 $4 \times 10^7\text{lx}$ まで良好な線形応答が得られている。測定最大照度は、仙台で昨年9月に太陽を撮影した際のもので、 $4 \times 10^7\text{lx}$ 程度である。設計値ではCROの飽和電圧は2.7Vであり、さらに明るい光源を用いた測定ができればトータルで、理論的予測値DR207dBを達成できる。また、全露光時間は1/13secである。

図8に横軸に S/N 特性の照度依存性を示す。この測定では、NDフィルタを段階的に変えながら入射光量を変化させ、各照度下において数千回の全画素信号サンプリングを行い、その平均値と標準偏差を求め、その比から S/N を算出した。実線の理論値とプロットの実測値が良好に一致している。また、すべての信号切替え点で、信号切替え点を白100%とした場合のグレー18%において $S/N \geq 26\text{dB}$ を確保できていることがわかる。VRO1, VRO2, VRO3の各動作においては、低照度側(VRO1で約 $3 \times 10^{-2}\text{lx}$ 以下の照度範囲)で暗時ランダム雑音が支配的となり、 S/N が光量1桁に対して20dBの傾きで低下している。暗時ランダム雑音は電圧値で約0.35mVである。また、それよりも高照度側では、 S/N が光量1桁に対して10dBの傾きで増加しており、この照度領域では光ショットノイズが支配的となっていることがわかる。このように露光切替え点における S/N を高くし、露光回数を少なくして高いフレームレートで200dBを超えるWDR信号を得るには、1回の露光動作におけるDRを広くしなければならない。

図9に撮像例を示す。1回露光毎に16ビット長を有するWDRデジタル信号を印刷表示するために、 $\gamma=0.45$ をかけ、8ビット長のデジタル信号に圧縮した。色処理につい

図7 光電変換特性実測値
The photoelectric conversion characteristics.

図8 S/N 特性実測値
The S/N ratio characteristics.

図9 撮像例

The sample images. (a) VRO1, (b) VRO2, (c) VRO3, (d) CRO.

ては標準的な隣接画素平均補間処理を行った。果物などと一緒に、最高照度 $2 \times 10^7\text{lx}$ のメタルハライドランプと最高照度 $3 \times 10^4\text{lx}$ の豆電球の二つの光源を室内で撮像した。図9 (a)はVRO1, 図9 (b)はVRO2, 図9 (c)はVRO3, 図9 (d)はCROによって撮像された。また図9 (a)左では光源をオフ, 図9 (a)右, 図9 (b)～(d)では光源をオンにしている。図9 (b)では豆電球, 図9 (d)ではメタルハライドランプのフィラメントの輪郭まで映し出している。撮像例から本イメージセンサの超WDR, 高 S/N 性能が明確に見て取れる。メタルハライドランプの回りの白い部分は、光学系の影響であり、画素のシリコン内の光電荷拡散が原因ではない。これは開口画素の水平部端および垂直部端に設けてある遮光画

表1 主な性能

The summary of the image sensor performance.

Process technology		0.18 μ m 2P3M CMOS
Die size		5.6 $\times$ 5.6 mm ²
Pixel size		5.6 $\times$ 5.6 μ m ²
Number of pixels	Effective	800 $\times$ 600
	Total	820 $\times$ 604
Conversion gain @ Pixel FD		70 μ V/e ⁻
Driving Frequency		36 MHz
Random noise (Input conversion noise)		0.35 mV _{rms} (5 e ⁻)
FPN (Input conversion noise)		0.35 mV _{rms} (5 e ⁻)
Capacity	Pixel Capacities	C _{FD} = 2.3 fF, C _S = 15.6 fF
	Column Capacities	C _V = 2.9 pF, C _C = 2.6 pF
Dynamic Range	The VRO	1/60 sec ~ 94dB (1.4 $\times$ 10 ⁻² – 8.0 $\times$ 10 ² lx)
		1/60 s to 1.69 μ s ~ 175dB (1.4 $\times$ 10 ⁻² – 8.0 $\times$ 10 ⁶ lx)
	Total	~ 207dB (1.4 $\times$ 10 ⁻² – 3.2 $\times$ 10 ⁸ lx)

素を用いたクロストーク確認実験により、シリコン内の光電荷拡散は、高照度領域においてもほぼ1画素以内に抑えられていることを確かめている。図6の説明で示したように、このようにして得られた4本の動作信号に、蓄積時間・容量比を乗じてゲインを合わせ、四つの動作信号を合成して、36ビット長 (217dB) のデジタル信号となる。

表1に主な性能を示す。コンバージョンゲイン (感度) は 70 μ V/e⁻、駆動周波数は36MHzである。

6. む す び

画素容量と列容量における電荷電圧変換を組合せた広ダイナミックレンジ (DR) 横型オーバーフロー蓄積容量 (LOFIC) CMOSイメージセンサにおいて、多重露光切替え点のS/Nを高く保持しつつ全露光時間を短縮するための動作方法について理論的考察に基づいて最適化条件を明らかにした。この動作方法を、0.18 μ m 2P3M CMOSプロセステクノロジーを用いて試作した、画素サイズ5.6 μ m角、有効画素数800^H $\times$ 600^VのカラーCMOSイメージセンサに適用し、画素容量電荷電圧変換動作に露光時間の異なる3回の多重露光と、1回の列容量電荷電圧変換動作を組合せ、全照度範囲に亘って線形応答を示す4回蓄積動作により、理論的予測値DR207dB (実験検証値175dB)、全露光切替え点でグレー18%においてS/N26dB、全露光時間1/13secの性能を達成した。本超広ダイナミックレンジ・高S/Nのイメージセンサにはさまざまなアプリケーションが期待されるが、更なる高フレームレート化の性能向上を行うことでその用途はさらに拡大できる。

〔文 献〕

- 1) M. Mase, S. Kawahito, M. Sasaki and Y. Wakamori: "A 19.5b Dynamic Range CMOS Image Sensor with 12b Column-Parallel Cyclic A/D Converters", 2005 ISSCC Dig. Tech. Papers, pp.350-351 (Feb. 2005)
- 2) M. Loose, K. Meier and J. Schemmel: "A Self-Calibrating Single-Chip CMOS Camera with Logarithmic Response", IEEE J. Solid-State Circuits, 36, 4, pp.586-596 (2001)
- 3) K. Hara, H. Kubo, M. Kimura, F. Murao and S. Komori: "A Linear-Logarithmic CMOS Sensor with Offset Calibration Using an Injected

- Charge Signal", 2005 ISSCC Dig. Tech. Papers, pp.354-355 (Feb. 2005)
- 4) S. Sugawa, N. Akahane, S. Adachi, K. Mori, T. Ishiuchi and K. Mizobuchi: "A 100 dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor", 2005 ISSCC Dig. Tech. Papers, pp.352-353 (Feb. 2005)
- 5) S. Adachi, S. Sugawa, N. Akahane, K. Mori, T. Ishiuchi and K. Mizobuchi: "The Tolerance for FD Dark Current and PD Overflow Current Characteristics of Wide Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor", Proc. 2005 IEEE Workshop on CCDs and AISs, pp.153-156 (Jun. 2005)
- 6) N. Akahane, S. Sugawa, S. Adachi, K. Mori, T. Ishiuchi and K. Mizobuchi: "A Sensitivity and Linearity Improvement of a 100 dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor", 2005 Symposium on VLSI Circuits, pp.62-65 (Jun. 2005)
- 7) N. Akahane, S. Sugawa, S. Adachi, K. Mori, T. Ishiuchi and K. Mizobuchi: "A Sensitivity and Linearity Improvement of a 100-dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor", IEEE J. Solid-State Circuits, 41, 4, pp.851-858 (2006)
- 8) N. Akahane, R. Ryuzaki, S. Adachi, K. Mizobuchi and S. Sugawa: "A 200dB Dynamic Range Iris-less CMOS Image Sensor with Lateral Overflow Integration Capacitor using Hybrid Voltage and Current Readout Operation", 2006 ISSCC Dig. Tech. Papers, pp.300-301 (Feb. 2006)
- 9) 赤羽奈々, 井出典子, 足立理, 溝渕孝一, 須川成利: "横型オーバーフロー蓄積と電流読出し動作を組合せたダイナミックレンジ200dB超のCMOSイメージセンサ", 映像学誌, 61, 3, pp.347-359 (Mar. 2007)
- 10) ISO Standard 12232: "Photography - Electronic Still-Picture Cameras - Determination of ISO Speed."
- 11) N. Ide, W. Lee, N. Akahane and S. Sugawa: "A Wide DR and Linear Response CMOS Image Sensor with Three Photocurrent Integrations in Photodiodes, Lateral Overflow Capacitors and Column Capacitors", 2007 ESSCIRC, pp.336-339 (Sep. 2007)
- 12) 井出典子, イウンヒ, 赤羽奈々, 須川成利: "画素容量蓄積と列容量蓄積を利用した高S/Nリニア応答超広ダイナミックレンジCMOSイメージセンサ", 映像学技法, pp.1-4 (Dec. 2007)
- 13) N. Ide, N. Akahane, S. Sugawa: "A Linear Response 200-dB Dynamic Range CMOS Image Sensor with Multiple Voltage and Current Readout Operations", IS&T/SPIE, 6816, pp.681605-1-681605-8 (Jan. 2008)
- 14) N. Ide, W. Lee, N. Akahane, S. Sugawa: "A Wide DR and Linear Response CMOS Image Sensor with Three Photocurrent Integrations in Photodiodes, Lateral Overflow Capacitors and Column Capacitors", IEEE J. Solid-State Circuits, 43, 7, pp.1577-1587 (Jan. 2008)
- 15) 井出典子, 赤羽奈々, 須川成利: "多重電圧・電流読出し動作を用いた線形応答超広ダイナミックレンジCMOSイメージセンサ", 信学技報, pp.67-72 (Oct. 2008)

井出 典子 2007年、東北大学工学部電子工学科卒業。同年、同大学大学院工学研究科博士前期課程入学。現在、同大学工学研究科博士前期課程に在学中。イメージセンサに関する研究に従事。

赤羽 奈々 2004年、東北大学工学部電子工学科卒業。2006年、同大学大学院工学研究科博士前期課程修了。現在、同大学大学院工学研究科博士後期課程に在学中。イメージセンサに関する研究に従事。日本学術振興会特別研究員。学生会員。

須川 成利 1982年、東京工業大学大学院理工学研究科修士課程修了。同年、キヤノン(株)入社。1996年、東北大学大学院工学研究科博士後期課程終了。1999年、東北大学大学院工学研究科助教授。2002年、同教授。半導体・ディスプレイ・イメージセンサの研究に従事。工学博士。正会員。