Technical
Survey

技術解説

携帯電話向けメディアプロセッサの 低消費電力化の動向

(正会員) 岩田 憲一†

携帯電話向けプロセッサの低消費電力化技術は、特定利用シーンの電力削減が主流である。音楽再生時はリーク電力削減が課題であり、電源遮断、データ保持電圧制御を組合せる。一方、フルHD映像処理時はダイナミック電力が支配的であり、並列処理による周波数低減、動的クロック制御、外部メモリーのアクセス高効率化を組合せる。

キーワード：携帯電話、メディア処理、組み込みプロセッサ、低消費電力

1. ま え が き

2009年、HD画質(1280×720×30fps)の映像を記録再生可能な携帯電話機が市場に登場した。薄型テレビやBlu-ray Discプレーヤ/レコーダなどのデジタルAV機器は、フルHD(1920×1080×30fps)対応が標準である。多くの国において、SD画質(720×480×30fps)のアナログ地上波放送から、フルHDのデジタル放送へ移行が進んでいる。マルチメディアインタフェースHDMIの普及やメモリーカードの大容量化が進み、インターネット上では、米Google社の映像配信サービスYouTubeもフルHDに対応した。携帯電話機が備えるディスプレイの画素数は、高々WVGA(848×480)程度であるが、フルHDの映像コンテンツを機器間でやり取りする環境は整いつつあり、携帯電話機においてもフルHD映像が標準機能となる。

フルHD映像を、バッテリー駆動で動作する携帯機器で処理する上で一番の課題となるのは、消費電力である。携帯電話機のアプリケーション処理を実行するSoC(System on a Chip)プロセッサは、音声通話、音楽再生、ゲームなど、さまざまなアプリケーションが動作するようになっており、用途や利用シーンに応じた連続動作時間の要求が大きい。例えば、100時間の音楽再生や、10時間のHD映像視聴などである。

本稿では、アーキテクチャ的な観点から、携帯電話向けメディアプロセッサで用いられる低電力化技術の動向について述べる。実設計例として、最近の半導体回路技術の主要学会IEEE International Solid-State Circuits Conference(ISSCC), IEEE Symposia on VLSI Technology and

図1 低消費電力向け半導体集積回路トレンド

Circuits (VLSI Symposia), IEEE Asian Solid-State Circuits Conference (A-SSCC) で発表された携帯電話、携帯機器向けのマルチメディアプロセッサの低消費電力化技術を紹介する。

2. SoC低消費電力化技術

図1に、低消費電力向けの半導体集積回路プロセスの微細化と電源電圧のトレンドを示す。これまで微細化は、24ヵ月で2倍の集積度を達成してきており(ムーアの法則としてよく知られる)、多くの機能が1チップ上に実装可能となってきた。90nm製造プロセス世代以前は、微細化の世代が進むと電源電圧が低減し、電源電圧の2乗分の電力効率改善と動作速度の改善が同時になされてきた。

65nm製造プロセス世代以降は、電源電圧の下げ幅は小さくなり、電力効率は以前ほど改善しなくなってきた。処理性能を上げるための動作周波数向上は、電力を犠牲にして成り立っていると言えよう。PCやサーバ分野において

†株式会社ルネサステクノロジ SOCシステム統括部/東京大学 大学院情報理工学研究科

"A Survey on Low-Power Media Processors for Mobile Applications" by Kenichi Iwata (System Design Div., Renesas Technology Corp., Tokyo/Graduate School of Information Science and Technology, the University of Tokyo, Tokyo)

表1 半導体低電力化技術

#	項 目	ダイナミック	スタティク
1	クロックゲーティング (Clock Gating)	○	
2	マルチVthトランジスタ (Multiple Voltage Threshold Transistor)		○
3	マルチ電源ドメイン (Multiple Voltage Domains)	○	○
4	動的電圧周波数変更 (Dynamic Voltage and Frequency Scaling, DVFS)	○	○
5	基板バイアス制御 (Body Biasing)	○	○
6	電源分離・遮断 (Power Gating)	○	○
7	データ保持電源遮断 (State Retention on Power Gating)	○	○

図2 消費電力の分類

も、シングルコアの性能改善から、マルチコア並列処理による性能向上へと注力に移っている状況である。

半導体集積回路における消費電力（式（1））は、ダイナミック電力（式（2））とスタティク電力（式（3））の合計で表される。

$$E = E_{dynamic} + E_{static} \quad (1)$$

$$E_{dynamic} = \int_0^t C (V_{DD})^2 f_c dt \quad (2)$$

$$E_{static} = \int_0^t V_{DD} I_{leak} dt \quad (3)$$

図2に示すように、回路動作時に消費されるダイナミック電力は、負荷容量 C に対する $0V$ から V_{DD} までの充放電に必要なエネルギーであり、電源電圧の2乗、スイッチングの実行周波数 f_c に比例する。この際、スイッチングによる電力消費は、処理の内容、パターンに大きく依存する。一方、待機時のスタティクな電力は、リーク電流 I_{leak} によるものとなり、電源が供給されている限り消費される。待機時間の多いアプリケーションでは無視できないものとなっている。

これらの電力を下げるためには、電源電圧 V_{DD} が鍵になっている。ダイナミック電力を最小にするためには、電源

電圧と、スイッチングアクティビティの低減が必要である。一方のスタティク電力を最小にするには、電源電圧の低減、およびリーク電流の少ないトランジスタの選択がある。

表1に、半導体集積回路設計に適用される一般的な低消費電力技術と電力削減効果の分類を示す。

- (1) クロックゲーティング：スイッチング動作しない論理に対して、サイクル毎にクロック供給を停止する。クロックを止める規模の粒度にはさまざまある。一定以上の機能単位の粒度でのクロックゲーティングは、クロックドライバで消費される電力を低減する。
- (2) マルチVthトランジスタ：複数の閾値電圧 V_{th} の異なるトランジスタセルを回路の特性に応じて使い分ける技術である。低閾値＝高速・高リーク電流、高閾値＝低速・低リーク電流の関係がある。CPUコアのように高速動作が必要な限定的なクリティカルパスには、低閾値のトランジスタセルを用いる。動作周波数の低い周辺ブロックは、リーク電流が少ない高い閾値のトランジスタセルを配置する。
- (3) マルチ電源ドメイン：動作周波数が低くタイミングが厳しくないサブブロックは、低い電源電圧で動作させる。電圧の異なるブロック間には、レベルシフタを実装する必要がある。
- (4) 動的電圧周波数変更：電源電圧、動作周波数の組合せを複数定義しておき、処理量にじて最適な組合せを選択する。
- (5) 基板バイアス制御：回路の動作状態に応じて、通常は接地されている基板にも電圧を印加し、スタンバイ時のみ高閾値、動作時は低閾値に制御して電力性能改善を図る。
- (6) 電源分離・遮断：LSI内部で、使用しない一部のブロックの電源を落とす。回路の入出力レベルが確定しない不定状態が伝播しないような仕組みが必要である。また、電源再投入による復帰に多くの時間がかかる課題がある。
- (7) データ保持電源遮断：非動作ブロックの電源を落とすが、復帰に必要なレジスタ（あるいはSRAM）の情報保持（Retention）する最小限の電圧に変更する。

3. 携帯電話用メディアプロセッサの低消費電力化技術

3.1 携帯電話用SoCの構成

従来の第3世代携帯電話システムは、通信処理を行うベースバンドプロセッサ、アプリケーションプロセッサ、マルチメディア信号処理用のコプロセッサを独立に構成していたが、図3 (a) に示すように、ベースバンドプロセッサ、アプリケーションプロセッサなどの複数のサブシステムを一つのSoCに統合し、単一デバイスとして実装する報告がある^{1)~4)}。シングルチップに複数の汎用プロセッサとメディア処理アクセラレータ、ストレージなど、各種I/O周辺機器インタフェースを備える。シングルチップソリューションは、低コスト要求に応えるものであり、携帯電話市場のボリュームゾーンを構成する。さらに、第3.5世代携帯電話へ移行するにつれ、10M画素を超えるカメラ入力や、HD映像の記録再生要求が高まり、図3 (b) に示すように、高性能かつ低電力のメディア処理アプリケーションプロセッサと安価なモデムサブシステムから構成する報告^{5)~8)}が増えてきている。通信規格に比べ、より性能や処理内容の変化の激しいメディア処理部を容易に構築することが可能であり、ハイエンド携帯電話や、スマートフォンに広く用いられている。

図4に、携帯電話における低消費電力化の方策を示す。携帯電話動作モードとして、待ち受け時、音楽再生、HD映像再生など、数10 μ Wから数100mWの消費電力動作モードの遷移がある。例えば、比較的处理負荷の軽い音楽再生時は、図4の②部分電源遮断によるスタティック電力の削減、④極力スタンバイモードへ移行、が主な課題となる¹⁾²⁾。また、HD映像処理時は、①ダイナミック電力削減、③動

図4 携帯電話の電力削減の方策

作時間の短縮、が主な課題となる。外部メモリアクセスの効率化は、システム電力低減に大きく貢献する⁵⁾⁶⁾¹¹⁾。

3.2 音楽再生時の低消費電力化技術

Shirasakiらは、45nm世代の携帯電話向けシングルチッププロセッサを発表した¹⁾。280Mトランジスタを45nm Triple-Vth CMOSプロセスを用いて、8.05mm $\times$ 8.19mm $\square$ に集積した。ベースバンド処理、システム制御用のARMコアと、SD画質の映像処理に対応したDual-core DSPを搭載する。プロセッサの通常動作の電源電圧は1.2V、データリテンションのための0.7Vという二つの電源電圧を持ち、LSI内部のレギュレータで2電源制御を実施する。

処理負荷の軽い音楽再生では、リーク電流とクロックドライバによる消費電力が全体の90%を占める評価結果から、 V_{DD} 電源制御と間欠動作 (Intermittent Operation) を組合せ (図4の音楽再生期間)、リーク電力を90%削減することに成功した。330ms間に20msだけ1.2Vで通常動作、残りの310msは0.7Vでデータ保持のみを行い、AAC音楽再生時の消費電力は9.6mWとなった。電力削減制御を行わないときと比べ、79%の電力削減である。

間欠動作は、1.2V高速動作と1.0Vの低速動作をダイナミックに切替える動的電圧周波数変更よりも有効であることを示した。

Naruseらが発表した携帯電話向けシングルチップSoC²⁾は、307Mトランジスタを65nm Triple-Vth CMOSプロセスを用いて、9.3mm $\times$ 9.3mmに集積した。三つのCPUコアとメディア処理用のハードウェアアクセラレータを搭載する。電源電圧は1.2V固定である。チップ内部を21の電源ドメインに分割し、各ドメインの電源分離をアプリケーションに応じて階層的に制御を行う⁹⁾。この論文では、電源分離・遮断の技術を音楽再生に特化して適用したものである。

図5に、音楽再生時とテレビ電話時の電源遮断制御の概念を示す。オーディオ処理用のDSPの電源と、専用のPLL、クロックドライバを追加で用意する。音楽再生中は、オーディオ処理部を除く他のクロックをすべて停止する。細かい単位でクロック制御を行うことにより、従来クロックを止めることができなかったシステムバスなどの共通部で消費される電流は、16.7mAから5.2mAへ67%削減した。チッ

ブ全体では、AACステレオ再生時に16.3mAとなった。一方、テレビ電話時は、ベースバンド、アプリ部の電源を入れる必要がある。

本節で紹介した二つの携帯電話SoCの音楽再生時の消費電力は、従来技術におけるチップ全体のリーク電流よりも小さい領域に入ってきている。電源やクロックに関するマルチドメインを有するプロセッサが一般的になってきており、図6に示すように、電源領域の細分化、不要領域の電源遮断、ソフトウェアによる電力制御がますます重要になってくる。

3.3 HD映像再生時の低消費電力化技術

3.3.1 並列処理による電力削減

携帯電話における高負荷処理として代表的な、映像再生時の電力削減技術について述べる。

映像再生処理を行うプロセッサは、専用回路²⁾⁴⁾、SIMD演算器を有するメディアプロセッサ⁵⁾、DSP¹⁾、マルチコアプロセッサ¹⁰⁾、これらの組合せたハイブリッド構成^{3)6)~8)}がある。

図7に、H.264デコード（復号）処理のフローチャートを示す。入力ビットストリームは、可変長復号（Variable Length Decoder, VLD）、逆量子化（Inverse Quantization, IQ）、逆変換（Inverse Transform, IT）して得られる予測誤差画像を、外部メモリに格納された、すでに復号されたフレーム画像を参照画像として、元の画像を再構成し（Motion Compensation）、さらにデブロッキングフィルタ

を経て再生画像を得る処理である。各処理は、マクロブロック（MB）と呼ばれる16×16画素の単位で行うことができる。すなわち、各処理をMB単位でパイプライン処理することにより、並列処理が可能になる。一連の復号（あるいは符号化）処理を複数のパイプラインステージに分割し、各機能ブロックが同時に異なるMBのデータを処理可能である。このようにビデオコーデック処理においては、データフロー型パイプライン処理が一般的である。H.264などの符号化規格においては、画面内の近傍のMBとのデータ依存性があり、あるMBのデコードを行うためには、周辺のMBのデコード処理が終わっている必要がある。並列処理を行う複数のモジュール間で、デコードが終了している情報をハードワイヤドの信号線、フラグやセマフォなどの方法を用いて同期化すれば、複数のプロセッサエレメントで並列パイプライン処理が可能である。

Yoshidaらは、4個のプロセッサコアを集積したSoCにより、動的に周波数を変更しながら、MPEG-2デコード処理を実現した¹⁰⁾。各コアの電源電圧は固定、周波数は最大周波数1に対して1/2、1/4が設定できる。複数のプロセッサコアで周波

図9 インタリーブ制御を用いた外部メモリーアクセス効率化

数設定の組合せにより、所望の性能のコアとして動作させることが可能である。周波数を落とした状態Light Sleepを用いることにより、20%の電力削減を達成した。

Nomuraらは、8個のメディアプロセッサエンジン(MPE)を65nm CMOSテクノロジー上に集積した⁵⁾。図8に、アーキテクチャとH.264の並列処理の概要を示す。一つのMPEコアが、タスクスケジューラの役割を担当する。性能に余裕がある場合は、MPE単位で電源遮断を行う。

H.264の処理は、VLD処理をフレーム単位で行う。VLD処理の終わった中間データを、最大8つのMPEが、図8の右図に示すように、MBの空間的な依存関係を満たしながら、MBライン毎に並列処理を進める。論文での評価では、8コアで7.5倍のスループットを達成し、この結果、333MHz動作で、HD720p60のデコード処理が可能となった。また、このメディアプロセッサは、512kBのL2 Cacheを備え、外部メモリーのアクセス、および、各MPE間のデータ通信のバッファとして機能させた。次項で詳細と効果を述べる。

3.3.2 メモリーアクセスの高効率化

映像デコード処理時における外部メモリーアクセスの効率化による、性能改善と低消費電力化について述べる。

Nomuraらのメディアプロセッサ⁵⁾は、L2 Cacheを、図8に示すように、参照画像の再利用と、垂直方向のデブロッキングフィルタ処理のためのラインメモリーとして使用している。参照画像キャッシュは、MB単位(256バイト単位)で入れ替えを行う。ワーストケースでは、非キャッシュ動作よりも外部メモリーアクセスが大きくなってしまいが、実験では720p60デコード時における参照画像リードは310MB/sとなり、32ビット幅のモバイル向けDDR-SDRAM(166MHz)のメモリー帯域で充分余裕があることを示した。

Juらは、Blu-rayディスクプレーヤ用SoCを発表した¹¹⁾。コピー保護回路、ビデオデコーダ¹²⁾、ビデオディスプレイ回路、2Dグラフィックス回路と、全機能モジュールからのアクセス制御を行うSDRAMコントローラからなる。さらに、HDMI 1.3のトランスミッタを内蔵した。

図9に示すように、SDRAMのメモリーバンド幅を削減するために、デブロッキングフィルタ出力の輝度・色差の転送順序を工夫し、アクセス局所性によるアクセス効率を改善した。演算とデータ転送を直列処理すると、待ち時間が発生するため演算効率が悪くなる。並列処理では、演算処理中にDMA転送を実行しているため、データ転送時間が隠蔽される。このインタリーブ動作により、38~57%のデータ転送時間が削減された。

Iwataらは、汎用CPU、オーディオDSP、ビデオコーデック¹³⁾と、タイルリニアアドレス変換回路を集積したアプリケーションプロセッサを発表した⁶⁾。ビデオコーデックは、ビデオ符号化処理に特化したプロセッサと、ハードワイヤドの専用回路のハイブリッド構成である¹³⁾。携帯電話向けには、さまざまなコーデックに対応することが必要であり、規格拡張性を持つハイブリッドアーキテクチャが好適である。

低電力ながら低帯域なモバイル向けDDR-SDRAMを使用する携帯電話用チップに搭載するために、タイルリニアアドレス変換による効率的なメモリーアクセスを実現している。図10に示すように、2次元の矩形のアクセスが、SDRAMの同一ページに局所化させる変換により、SDRAMページミスによるアクセス効率の低下を防いでいる。B-ピクチャにおいて最大1.47倍の性能改善が報告された。性能改善により、1ピクチャを処理する時間が短くなり、結果として消費電力も低減されている。

3.3.3 2010年の携帯向けメディアプロセッサ

携帯電話機やデジタル携帯機器のプラットフォームでは、消費電力、性能、サイズ、コストに対し犠牲を強いる。マルチメディアを扱い、小型化を進めながらも、従来のパソコンやセットトップ・ボックス、ゲーム機並みの性能が要求される。

2010年2月に行われたISSCC 2010のPower Efficient Media Processingのセッションでは、さまざまなマルチメディア処理が、将来のメモリー・システム設計にどう影響

図10 2Dタイラドレッシングを用いた外部メモリアクセス効率化

するか、広いバンド幅の実現、消費電力の削減、低コスト化に対応するための設計の課題などについて議論された。

Kikuchiらが、"A 222mW H.264 full-HD Decoding Application Processor with x512b Stacked DRAM in 40nm"というタイトルで発表を行った¹⁴⁾。

HD画質(720p)までの対応であるマルチコアメディアプロセッサ⁵⁾に、フルHD画質に対応したH.264の専用コーデックを、40nm CMOSに集積したものである。14コアを25電源ドメインに分割し、動作モードに応じた電源制御を行う。

モバイルインターネット端末として、新しい符号化規格への拡張性を保ちつつ、H.264処理は、専用ハードウェア化による低電力動作を行う。面積よりも電力を優先した設計であることが伺える。

また、Chuangらは、"A 59.5mW Scalable/Multi-view Video Decoder Chip for Quad/3D Full HDTV and Video Streaming Applications"というタイトルで発表を行った¹⁵⁾。H.264 Highプロファイルのほか、最新の規格であるMVC (Multi-view Video Coding) SVC (Scalable Video Coding) のデコードに対応する。

H.264のCABACと呼ばれる算術符号化が用いられている。このうち、算術復号処理においては、入力1ビットごとにフィードバック処理が入るために、単純なシンボル並列処理を行うことができない。本発表では、二つ先までのすべてのシンボルの組合せを投機実行し、シンボルが確定した段階で分岐を確定させる方式を採用している。1.95bins/cycleと従来比で約2倍のスループットを実現している。その他、cacheによる外部アクセスの低減、DRAM

のバンクインタリーブオペレーション、2次元データのマッピングを工夫、コマンドの入れ替えによる同一ページ内局所アクセス化を組合せ、外部メモリへの実効転送効率を改善している。

4,160×2,160×24fpsというフルHDの約3倍の処理性能を、90nmプロセスを用いてわずか59.5mWで実現しており、電力効率という観点からは、他のLSIを圧倒した数値である。

4. む す び

本稿では、携帯電話向けメディアプロセッサにおける低消費電力化技術について述べた。実設計例として、最近の半導体回路技術の主要学会 (ISSCC, VLSI Symposia, A-SSCC) で発表された携帯電話、携帯機器向けのマルチメディアプロセッサの低消費電力化技術を紹介した。

これらのプロセッサでは、特定の利用シーンをターゲットとした電力削減手法が話題となっている。音楽再生時は、電源活性領域の最適化、データリテンションのための必要最小限の電圧制御、非動作回路への電源遮断によるリーク電流削減を組合せる。また、フルHD画質の映像処理時は、動的な消費電力が支配的であり、マルチコア、並列処理による動作周波数の低減、動的クロック制御、外部メモリに格納されたフレームメモリへのアクセス局所化・高効率化によるダイナミック電力削減を組合せる。

微細化が進むシステムLSIにおいて、低消費電力化の鍵となる動作電源電圧は下げ止まりつつあり、半導体プロセスの進化だけでは電力効率は向上せず、メディア処理を実現するアルゴリズムと、そのアルゴリズムを効率的に実行

可能なアーキテクチャの選定が重要となる。

(2010年2月18日受付)

〔文 献〕

- 1) M. Shirasaki, et al.: "A 45 nm Single-chip Application-and-baseband Processor Using an Intermittent Operation Technique", in IEEE ISSCC Dig. Tech. Papers, pp.156-157 (Feb. 2009)
- 2) M. Naruse, et al.: "A 65nm Single-chip Application and Dual-mode Baseband Processor with Partial Clock Activation and IP-MMU", in IEEE ISSCC Dig. Tech. Papers, pp.260-261 (Feb. 2008)
- 3) G. Gammie, et al.: "A 45nm 3.5G Baseband- and-multimedia Application Processor Using Adaptive Body-bias and Ultra-low-power Techniques", in IEEE ISSCC Dig. Tech. Papers, pp.258-259 (Feb. 2008)
- 4) M. Ito, et al.: "A 65 nm Single-chip Application and Dual-mode Baseband Processor with Partial Clock Activation and IP-MMU", IEEE J. Solid-State Circuits, **44**, 1, pp.83-89 (Jan. 2009)
- 5) S. Nomura, et al.: "A 9.7 mW AAC-decoding, 620 mW H.264 720p 60 fps Decoding, 8-core Media Processor with Embedded Forward-body Biasing and Power-gating Circuit in 65 nm CMOS Technology", in IEEE ISSCC Dig. Tech. Papers, pp.262-263 (Feb. 2008)
- 6) K. Iwata, et al.: "A 342 mW Mobile Application Processor with Full-HD Multi-standard Video Codec", in IEEE ISSCC Dig. Tech. Papers, pp.158-159 (Feb. 2009)
- 7) H. Mair, et al.: "A 65-nm Mobile Multimedia Applications Processor with an Adaptive Power Management Scheme to Compensate for Variations", in Dig. Symp. VLSI Circuits' pp.224-225 (Jun. 2007)
- 8) D. Witt: "OMAP4430 Architecture and Development", in Proc. Hot Chips Symposium (2009)
- 9) Y. Kanno, et al.: "Hierarchical Power Distribution with Power-tree in

Dozens Power Domains for 90-nm Low-power Multi-CPU SoCs", IEEE J. Solid-State Circuits, **42**, 1, pp.74-83 (Jan. 2007)

- 10) Y. Yoshida, et al.: "A 4320MIPS Four-processor Core SMP/AMP with Individually Managed Clock Frequency for Low Power Consumption", in IEEE ISSCC Dig. Tech. Papers, pp.100-101 (2007)
- 11) C-C. Ju, et al.: "A Multi-format Blu-ray Player SoC in 90nm CMOS", in IEEE ISSCC Dig. Tech. Papers, pp.152-153 (Feb. 2009)
- 12) C-C. Ju, et al.: "A 125Mpixels/sec Full-HD MPEG-2/H.264/VC-1 Video Decoder for Blu-ray Applications", in ASSCC Dig. Tech. Papers, pp.9-12 (2008)
- 13) K. Iwata, et al.: "A 256mW 40 Mbps Full-HD H.264 High-profile Codec Featuring Dual Macroblock-pipeline Architecture in 65 nm CMOS", IEEE J. Solid-State Circuits, **44**, 4, pp.1184-1191 (Apr. 2009)
- 14) Y. Kikuchi, et al.: "A 222mW H.264 Full-HD Decoding Application Processor with x512b Stacked DRAM in 40nm", in IEEE ISSCC Dig. Tech. Papers, pp.326-327 (Feb. 2010)
- 15) T-D. Chuang, et al.: "A 59.5mW Scalable/Multi-view Video Decoder Chip for Quad/3D Full HDTV and Video Streaming Applications", in IEEE ISSCC Dig. Tech. Papers, pp.330-331 (Feb. 2010)

いわた けんいち
岩田 憲一 1993年、東京大学工学部電子工学科卒業。1995年、東京大学大学院工学系研究科修士課程修了。同年、(株)日立製作所に入社。2003年より、(株)ルネサステクノロジに転籍。組込み向け映像符号化処理のアルゴリズム、および、ハードウェアアクセラレータの研究開発に従事。2009年より、東京大学大学院博士課程。正会員。