CMOSイメージセンサにおける高速化技術の動向

[正会員] 須川 成利†

キーワード CMOSイメージセンサ, 高速撮像, AD変換, グローバルシャッタ

1 ま え が き

本稿では、フルハイビジョンプログレッシブスキャン60 frame per second (fps) のフレームレート相当を超える動画撮像性能をもつイメージセンサを高速イメージセンサと定義し、中でも進展がめざましいCMOSイメージセンサにおける最近の高速化技術の動向を紹介する。

高速撮像の対象には、フレームレート桁ごとに列挙すると、
 $10^2 \sim 10^3$ fps: スーパーハイビジョン, 交通監視, マシンビジョン, 自動車衝突実験, ロケットの軌跡
 $10^3 \sim 10^4$ fps: スポーツ工学, エンジン燃焼, 落下試験
 $10^4 \sim 10^5$ fps: ジェットエンジンタービン, インクジェット
 $10^5 \sim 10^6$ fps: 爆轟・衝撃波, ウォータージェット, 溶射
 10^6 fps超: 放電加工, 固体材料破壊, レーザ加工, MEMS駆動, 細胞活動, 核融合

など多彩なものがある。高速イメージセンサは、これらのさまざまな高速現象を可視化したり、機器制御の入力データに利用したりするために使用される。

図1に、最近報告された代表的な高速イメージセンサにおけるフレームレートと画素数の関係を示す。また、表1には、高速化技術ごとにこれらの高速イメージセンサを分類してまとめる。高速化技術としては、並列アナログ出力、列AD変換デジタル出力、チップ内に信号を一時保存するためのメモリー設置、の3種類に大別できる。また、撮像方法、および、シャッタ方式を指標にすると、連続撮像と所定のコマ数の撮像を集中的に行うバースト撮像の2種、および、ローリングシャッタとグローバルシャッタの2種がある。このうち、並列アナログ出力、列並列AD変換デジタル出力を用いた高速イメージセンサは、おおむね1~10Gpixel/s程度の画素読出しレート性能が、また、チップ内に信号一時保存用メモリーを設置した高速イメージセンサは、1Tpixel/s程度の画素読出しレート性能が実現されている。

図1 最近の代表的な高速イメージセンサのフレームレートと画素数の関係 (数字は文献番号)

表1 最近の代表的な高速イメージセンサ

高速化技術	方式	撮 像	シャッタ	画素サイズ	文献
並列アナログ出力	CMOS	連 続	グローバル	4.5~20mm	2)
列AD変換デジタル出力			ローリング	1.65~4.2mm	3)4)5)6)
チップ内に信号一時保存用メモリー設置	CCD	バースト			11)12)
	CMOS	バースト・連続	グローバル	32~66.3mm	13)14)

標準的なCMOSイメージセンサにおいて撮像速度を決める主要因を整理すると図2のようになる。要因には、

- (A) 主にキャリアの拡散・ドリフト時間で決まるフォトイオード内の電荷収集時間
- (B) 主に配線CR時定数で決まる画素駆動信号の伝達時間
- (C) 主に定電流値と配線CR時定数で決まる画素から垂直線への信号読出し時間
- (D) 主にサンプルホールドやAD変換時間で決まる列回路の信号処理時間
- (E) 主に配線CR時定数と出力負荷で決まる水平線およびチップ外部への信号出力時間

† 東北大学 大学院工学研究科

"Recent Technology Trend on High Speed CMOS Image Sensors" by Shigetoshi Sugawa (Graduate School of Engineering, Tohoku University, Sendai)

図2 CMOSイメージセンサの撮像速度を決める主要因

図3 高速CMOSイメージセンサの概略構成図

がある。典型的な製造技術を用いて作成した場合の(A)の要因および(B)～(E)の要因で決まるフレームレート性能線を図1の中に示す。一般的なCMOSイメージセンサでは、中でも(B)と(C)が撮像速度を律速する要因となるといふ解析結果がある¹⁾。

図3に、高速CMOSイメージセンサの概略構成図を示す。

高速CMOSイメージセンサは、上記の決定要因をさまざまな技術によって克服し、撮像速度を向上させている。以下、大別した高速化技術ごとに、最近の主な高速CMOSイメージセンサ技術について述べる。

2 並列アナログ出力回路を設けた高速CMOSイメージセンサ

図2に示した要因のうち、撮像速度に最も影響を与えるものは(E)の要因である。この状況は、CCDイメージセンサにおいても同様である。水平走査、水平線への信号出力時間を短縮するには、図3(b)に示したように、水平走査回路を分割しアナログ出力回路を並列に設ける方法がまず実施されている。

Cypress (現On Semiconductor) は、このタイプの高速CMOSイメージセンサの開発に長年取り組んでいる。同社は、最近、画素数102万、画素サイズ $20\mu\text{m}$ 角、画素内にグローバルシャッター用の信号蓄積容量を持つ6トランジスタ画素構成で、アナログ出力回路を上下に64個ずつ、合計128個設けたCMOSイメージセンサを開発し、連続撮像型イメージセンサの中もきわめて高速な 6.4Gpixel/s の画素読出し速度を達成している²⁾。

アナログ出力回路の並列数を増やせば、原理的にはさらに撮像速度を高めることができるが、同時に、アナログ出力信号を処理する周辺回路の負担が増大するという副作用が伴う。実用的には128並列程度が上限に近いと思われる。

3 列並列AD変換回路を設けたデジタル出力高速CMOSイメージセンサ

最近、信号出力をデジタル化して撮像速度を向上させる高速CMOSイメージセンサが数多く報告されるようになってきた。これは図3(c)に示したような、画素から出力された信号を各列でAD変換し、その出力を消費電力の少ないLVDS回路にて出力する形式をとったものが多い。これは、図2(E)の要因をデジタル出力により克服しようとするものである。

On Semiconductorは、5トランジスタ画素構成、 $4.5\mu\text{m}$ 角のグローバルシャッター画素をもつ画素数2,620万のCMOSイメージセンサにおいて、各列に二つのサンプルホールド回路を設置して、図2(D)の列回路の信号伝達の時間的ロスも低減し、32並列のLVDS出力回路を用いて、10ビットのデジタル画像を 74fps (2Gpixel/s , 20Gbps) で出力できる性能を達成している³⁾。またこの技術は、CMOSイメージセンサが持つ縦横の画素選択が行えるという特徴を活かして、撮像素素領域を限定する技術と併用することで、解像度は落ちるものの、 128×128 画素で、約 $2.6\times 10^4\text{fps}$ の高速撮像を行えるイメージセンサにも展開されている⁴⁾。

CMOSISは、上下32並列ずつ合計64並列のLVDS出力回路をもった、5トランジスタ画素構成で、画素数1,200万、

5.5 μm 角のグローバルシャッタ画素をもつ10ビットデジタル出力のCMOSイメージセンサにおいて、300fps (3.6Gpixel/s, 36Gbps) の高速撮像性能を達成している⁵⁾。

ブルックマンテクノロジー他は、CDSによる画素ノイズの除去を行えるようにするために、5.6 μm 角の画素内に電荷転送できるPN接合を付加したグローバルシャッタ対応の画素構成を有する130万画素CMOSイメージセンサにおいて、サンプルホールド回路と二段のサイクリック12ビットAD変換回路を各列に、また、上下2並列ずつ合計4並列のLVDSを設置し、2,000fps (2.6Gpixel/s, 31Gbps) の高速撮像性能を達成している⁶⁾。

以上は、全画素同時刻に蓄積動作が行われるグローバルシャッタ型のイメージセンサである。グローバルシャッタ型のイメージセンサは、画素内に光信号を1フレーム時間保存する構造をもつ必要があり、その結果、画素サイズは、次に示すローリングシャッタ型のイメージセンサに比べて大きくなる。

行ごとに蓄積時間のタイミングが水平走査時間分シフトする撮像を行うローリングシャッタ型のCMOSイメージセンサは、グローバルシャッタ型よりも画素サイズを縮小することが容易に行え、したがって、より高解像度なイメージセンサが開発されている。以下、最近のローリングシャッタ型高速CMOSイメージセンサの代表例を挙げる。

Yonsei University他は、 $\Delta\Sigma$ 型のAD変換回路を各列に設置した2.25 μm 角2画素共用の206万画素、14ビット上下合計四つのデジタル出力をもったCMOSイメージセンサを開発し、120fps (250Mpixel/s, 3.5Gbps) を達成している⁷⁾。報告されている出力レートは他の技術に比べると低い、 $\Delta\Sigma$ 型AD変換回路の優れた性能ポテンシャルを示した意義は大きい。

ソニーは、裏面照射型の1.65 μm 角4画素共用1,030万画素で、12ビット22fps (230Mpixel/s, 2.7Gbps)⁸⁾、および正面照射型の4.2 μm 角千鳥画素配置の、1,770万画素12ビット120fps (2.1Gpixel/s, 出力データレート34.8Gbps)⁹⁾の、高速CMOSイメージセンサを相次いで報告している。

さらにNHKほかは、上述した二段サイクリック12ビットAD変換回路技術を発展させて、3,300万画素120fps (3.96Gpixel/s, 出力データレート51.2Gbps) の、フルスペックのスーパーハイビジョン対応のCMOSイメージセンサを開発している¹⁰⁾。このイメージセンサは、上下48並列、合計96並列のLVDS出力を設けている。現時点で最高画素数の高画質連続撮像型高速CMOSイメージセンサである。

4 チップ内に信号一時保存用メモリーを設置した高速CMOSイメージセンサ

先端技術開発分野や科学計測分野において、大小さまざまなスケールレベルにおける106fpsの速度を超えるさまざまな物理現象や生命科学現象を動的かつ詳細に観察・解析

図4 チップ内に信号保存メモリーを設置した高速CMOSイメージセンサの概略構成図

したいという研究開発者の要求は高い¹³⁾。こうした超高速な撮像を行えるようにするには、図2に挙げた撮像速度決定要因のうち、(B)～(E)をまんべんなく克服したグローバルシャッタ型のイメージセンサの実現が求められる。3次元実装技術などが進展し配線長を短縮し、1画素または数画素単位で出力信号が取出すことができれば、こうした超高速撮像も比較的たやすく行えるようになるかもしれないが、現状の実用レベルの技術では、平面チップ内での駆動・読出しに制限される。そこで、チップ内に信号を一時保存するメモリー部を設置し、所定のコマ数の画像を高速に撮像・記録し、撮像後に記録データを読み出すという方法が実施されている。

近畿大他は、受光部に隣接して記憶コマ数分のCCDセルを各画素に隣接して配備した高速CCDイメージセンサを早くから実用化し¹¹⁾、最近、裏面照射型の画素を開発し、さらなる性能向上を達成している¹²⁾。ただし、高速化に伴い発熱が増し、付帯冷却装置に対する負荷が増大するという課題が生じている。画素サイズは、短い露光時間の間になるべく多くの光電荷を発生・収集して感度を高めようとすると、必然的に大きなものとなる。

東北大は、画素領域と信号一時保存用メモリー領域を空間的に分離し、1画素ごとに記憶コマ数分のアナログメモリーに接続した低消費電力高速CMOSイメージセンサを試作し、10⁷fpsのバースト撮像と10⁴fpsの連続撮像が行えることを実験的に確認している¹³⁾。図4は、この高速CMOSイメージセンサの概略構成図である。東北大他は、最近、これを発展させた10万画素高速CMOSイメージセンサを開発し、画素内でCDSノイズ補正を施して信号出力回数を減らし、また、開口率を高めるために垂直方向4画素ごとに画

図5 チップ内に信号保存メモリーを設置した高速CMOSイメージセンサによる2,000万fpsの撮像例

素出力信号線を設けるように変更し、10万画素で 10^7 fps、千鳥画素間引きの5万画素で 2×10^7 fpsのバースト撮像 (1Tpixel/s)、および、 780Mpixel/s の連続撮像を非冷却で行うことに成功している。図5は、ガラス板に6mm径のプラスチック球を打ちこんだ際の亀裂が進行する様子を、 2×10^7 fps (50ns毎) で248コマ分バースト撮像した画像の一部を示している。このように、今まで可視化が難しかった材料のミクロスケールの超高速破壊現象も容易に撮像できることが示された。

5 む す び

高速撮像は、歴史をさかのぼると1800年台半ばから始められている。今日まで150年余りの間に数多くの先駆的な高速撮像技術が創出されてきた。本稿で紹介したように、現在、高度化した集積回路技術を駆使したさまざまなCMOSイメージセンサ技術により、 $1\text{Gpixel/s} \sim 1\text{Tpixel/s}$ といったレートの高画質高速度撮像が行える域に到達した。そして、高速撮像は、専門家でなくとも誰でも身近に行えるようになってきた。今後、高速イメージセンサ技術は、新たな科学技術・産業、芸術文化の発展に大いに利用されるようになるであろう。

(2011年12月7日受付)

【文 献】

- 1) G. Meynants, G. Lepage, J. Bogaerts, G. Vanhorebeek, W. Wang: "Limitation to the frame rate of high speed image sensors", Proc.

- 2009 International Image Sensor Workshop, P16 (June 2009)
- 2) B. Cremers, M. Agarwal, T. Walschap, R. Singh, T. Geurts: "A High Speed Pipelined Snapshot CMOS Image Sensor with 6.4 Gpixel/s data rate", Proc. 2009 International Image Sensor Workshop, P9 (June 2009)
- 3) C. Esquenet, J. Compieg, T. Blanchaert, T. Geurts, J. Decupere: "A 26.2Mpixel, 74fps, Global Shutter CMOS Imager with 20Gbps Interface for Multi Object Monitoring", Proc. 2011 International Image Sensor Workshop, pp.332-334 (June 2011)
- 4) LUPA3000, 3MegaPixel High Speed CMOS Image Sensor, <http://www.onsemi.jp/>
- 5) J. Bogaerts, K. Ruythooren, A. Gvozdenovic, K. Van Esbroeck, B. Ceulemans, W. Ogiers, G. Arsint, X. Wang, G. Meynants: "High Speed 36Gbps 12Mpixel global pipelined shutter CMOS image sensor with CDS", Proc. 2011 International Image Sensor Workshop, pp.335-338 (June 2011)
- 6) J. Park, S. Aoyama, T. Watanabe, T. Kosugi, A. Liu, T. Akahori, M. Sasaki, K. Isobe, Y. Kaneko, K. Muramatsu, T. Iida, S. Kawahito: "A High-Speed Low-Noise CIS with 12b 2-stage Pipelined Cyclic ADCs", Proc. 2011 International Image Sensor Workshop, pp.339-342 (June 2011)
- 7) Y. Chae, J. Cheon, S. Lim, D. Lee, M. Kwon, K. Yoo, W. Jung, D. Lee, S. Ham, G. Han: "A 2.1Mpixel 120frame/s CMOS Image Sensor with Column-Parallel $\Delta \Sigma$ ADC Architecture", 2010 ISSCC Dig. Tech. Papers, pp.394-395 (Feb. 2010)
- 8) H. Wakabayashi, K. Yamaguchi, M. Okano, S. Kuramochi, O. Kumagai, S. Sakane, M. Ito, M. Hatano, M. Kikuchi, Y. Yamagata, T. Shikanai, K. Koseki, K. Mabuchi, Y. Maruyama, K. Akiyama, E. Miyata, T. Honda, M. Ohashi, T. Nomoto: "A 1/2.3-inch 10.3Mpixel 50frame/s Back-Illuminated CMOS Image Sensor", 2010 ISSCC Dig. Tech. Papers, pp.410-411 (Feb. 2010)
- 9) T. Toyama, K. Mishina, H. Tsuchiya, T. Ichikawa, H. Iwaki, Y. Gendai, H. Murakami, K. Takamiya, H. Shiroshita, Y. Muramatsu, T. Furusawa: "A 17.7Mpixel 120fps CMOS Image Sensor with 34.8Gbps Readout", 2011 ISSCC Dig. Tech. Papers, pp.420-421 (Feb. 2011)
- 10) K. Kitamura, T. Watabe, Y. Sadanaga, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake, S. Aoyama, S. Kawahito, N. Egami: "A 33Mpixel, 120fps CMOS Image Sensor for UDTV Application with Two-stage Column-Parallel Cyclic ADCs", Proc. 2011 International Image Sensor Workshop, pp.343-346 (June 2011)
- 11) T. G. Etoh, D. Poggemann, G. Kreider, H. Mutoh, A. J. P. Theuwissen, A. Ruckelshausen, Y. Kondo, H. Maruno, K. Takubo, H. Soya, K. Takehara, T. Okinaka, Y. Takano: "An Image Sensor Which Captures 100 Consecutive Frames at 1,000,000 Frames/s", IEEE Tran. Electron Devices, 50, 1, pp.144-151 (2003)
- 12) T. G. Etoh, D. Dung, H. Nguyen, S. V. T. Dao, C.L. Vo, M. Tanaka, K. Takehara, T. Okinaka, H. Van Kuijk, W. Klaassens, J. Bosiers, M. Lesser, D. Ouellette, H. Maruyama, T. Hayashida, T. Arai: "A 16 Mfps 165kpixel Backside-Illuminated CCD", 2011 ISSCC Dig. Tech. Papers, pp.406-407 (Feb. 2011)
- 13) 須川成利, 栃木靖久, 半澤克彦, 加藤祐理, 赤羽奈々, 黒田理人: "バースト10Mfpsと連続10Kfpsの撮像速度を有する高速CMOSイメージセンサのプロトタイプ試作評価", 映像学技法, 35, 17, pp.27-30 (Mar. 2011)
- 14) Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, S. Sugawa: "A Global-Shutter CMOS Image Sensor with Readout Speed of 1Tpixel/s Burst and 780Mpixel/s Continuous", 2012 ISSCC Dig. Tech. Papers (Feb. 2012), to be published

須川 成利 1982年、東京工業大学大学院理工学研究科修士課程修了。同年、キャノン(株)入社。1996年、東北大学大学院工学研究科博士後期課程修了。1999年、東北大学大学院工学研究科助教授。2002年、同教授。CMOSイメージセンサ等の開発に従事。工学博士。正会員。