SSD向けメモリーコントローラ技術

竹内 健†

フラッシュメモリーを記憶媒体とするSSDの性能は、フラッシュメモリーの性能だけでなく、コントローラのアルゴリズムによっても大きく左右され、メモリーとコントローラ両方の最適設計が必要である。本稿では、メモリーを制御するコントローラ技術を中心に、メモリーデバイス技術、メモリー回路技術などSSDに関する技術の現状と今後の展望について解説する。

キーワード：フラッシュメモリー、ソリッド・ステート・ドライブ、信号処理、誤り訂正、ECC、SSD

1. ま え が き

NANDフラッシュメモリーは、デジタルカメラ、携帯電話、音楽プレーヤ等の携帯デバイスの記憶媒体として使用されている。さらに、フラッシュメモリー、NANDコントローラ、DRAMで構成されるソリッドステートドライブ(SSD)として、パソコンやデータセンターのサーバなどのHDD(Hard Disk Drive)を置き換え、消費電力が少なく地球環境に優しいITシステムを実現することが期待されている。SSDの性能はNANDフラッシュメモリーの性能だけでなく、コントローラのアルゴリズムによっても大きく左右されるため、NANDフラッシュメモリーとコントローラ両方の最適設計が必要である。

2. NANDフラッシュメモリー

フラッシュメモリーは図1のように、浮遊(フローティング)ゲートを備えたメモリーセルを32~64個直列接続して構成される¹⁾。コンタクト領域を複数のメモリーセルで共有しているため、小面積・大容量を実現できる。NANDフラッシュメモリーではセルの浮遊ゲートに電子を蓄積することでデータを記憶する。書込みは、FN(Fowler-Nordheim)トンネリング現象により浮遊ゲートに電子を注入することで行う(図2)。また、書込み時にソース・ドレイン間に電位差がないため、微細化が容易である。さらに、書込みにFNトンネルを採用しているため、消費電力が小さい。消費電力が小さい利点から、書込みにおいて、並列動作が可能になり、書込みが高速である。大容量・微細化可能・低消費電力・高速書込みが可能のため、NAND型は携帯電話、音楽プレーヤ、デジタルカメラなどのストレージとして使

用されている。現在NANDフラッシュメモリーは20nmに微細化され、容量は64Gbまで大容量化されている。

図1 NANDフラッシュメモリー

図2 NANDフラッシュメモリーの動作

† 中央大学 理工学部 電気電子情報通信工学科

"Memory Controller Technology for Solid-State Drives (SSDs)" by Ken Takeuchi (Department of Electrical, Electronic and Communication Engineering, Chuo University, Tokyo)

3. SSDの構成

SSDは、NANDフラッシュメモリーとNANDコントローラ、バッファメモリー (DRAM) から構成される (図3)。NANDコントローラのフラッシュトランスレーションレイヤ (FTL) が、NANDフラッシュメモリーの不良ブロックの管理、誤り訂正 (ECC: Error Correcting Code)、メモリーセル当たりの書換え回数を平滑化するウェア・レベリング、論理アドレスから物理アドレスへの変換、複数のNANDチップの並列動作 (インタリーブ) などの制御を行う²⁾。SSDの性能はNANDフラッシュメモリーの性能だけでなく、NANDコントローラのアルゴリズムによって大きく左右されるため、NANDフラッシュメモリーデバイス、回路およびNANDコントローラの最適設計が重要である。

4. NANDフラッシュメモリーとSSDの信頼性

NANDフラッシュメモリーの書込みは、FNトンネリング現象により浮遊ゲートに電子を注入することで行う。消去の際には逆に、FNトンネリング現象により浮遊ゲートから電子を放出する。書込みや消去を繰り返すと、トンネル酸化膜の中に電荷を捕獲するトラップが生成される。浮遊ゲート内の電子がこのトラップを介してチャネルに漏れることで、記憶されたデータが破壊される (データ保持不良)。この漏れ電流は、SILC (Stress Induced Leakage Current) と呼ばれ、メモリーセルの不良の主な原因となる³⁾。

書込みや消去を繰り返していくと、トンネル酸化膜中のトラップサイトの数が増加し、その結果、データ保持不良のセル数も増加する。NANDフラッシュメモリーのデータ保持時間の仕様は、書換えを1個のメモリーセルに2ビット以上のデータを記憶するMLC (Multi-level Cell) 品で5,000回、1個のメモリーセルに1ビットのデータを記憶するSLC (Single-level Cell) 品で数万回繰り返した後に、一定期間データを保つことが求められる。

5. フラッシュメモリーの微細化による信頼性の劣化

NANDフラッシュメモリーでは、4kB~8kBのページ単位で書込みを行う。ページは図1に示すように、同じワード線に接続するメモリーセルで構成される。書込みの際、同じページには1回しか書込めないという制約がある。同じページに多数回の書込みを行うと、書込みディスタース (誤書込み) により、本来は書込みたくない書込み禁止セルに対して、誤ってデータが書込まれてしまうからである。図4に示すように、書込みディスタースには、同一ページの書込み禁止セルへのディスタース (V_{pgm} ディスタース) と、同一NAND列の非選択セルへのディスタース (V_{pass} ディスタース) の2種類の誤書込みモードがある。

書込みディスタースは、微細化の進展とともに深刻化し

図3 SSDの構成

図4 書き込みディスタース

ている。70nm世代以下では、GIDL (Gate Induced Drain Leakage) に起因する誤書込み現象が顕著になっている。NANDストリングの選択ゲート端でGIDLによって生成した電子が、セルのソース領域で加速されてホットエレクトロンになり、浮遊ゲートに入る⁴⁾。微細化により選択ゲートとワード線間隔が短くなるにつれ、書込みディスタースは悪化する。現状では、選択ゲートとメモリーセルの間の距離を長くしたり⁵⁾、ダミーゲートを挿入する⁵⁾といった手法で誤書込みを抑制している。

微細化の進展に伴い、GIDLに起因する書込みディスタースは悪化する。微細化によって生じる短チャネル効果を抑制するために、Dennardのスケールリング則にしたがってメモリーセルのソース、ドレイン、基板の不純物濃度を増やす必要があるからである。不純物濃度を増やすと、ソース・ドレイン部の電界は強まり、GIDLが増大する。論理LSIなどでは、本来のスケールリング則にしたがって、電圧を低くすることで電界を緩和してGIDLを抑制する手法が

採られる。しかし、NANDフラッシュメモリーでは、この手法を使うことができない。データを保持するために、メモリーセルのトンネル酸化膜を薄くできないためである。

6. 3次元積層SSDシステム

SSDは、消費電力の少ないストレージとして期待されているが、フラッシュメモリーを微細化するにつれ、ビット線の配線容量が増大するため消費電力が増大するという問題がある²⁾。また、メモリーセルを微細化すると、メモリーセル間の容量結合ノイズやランダムテレグラフノイズが増大すること、メモリーセルに3ビット以上を記憶する超多値化によりしきい値分布を狭める必要があることから、大容量のフラッシュメモリーでは高精度な書込みが行われ、さらに性能が劣化する。SSDでHDDと同様の書込み性能を実現するためには、8～16個のフラッシュメモリーを並列動作させる必要があるが、並列動作により消費電力のより一層の増大を招く。

以上の問題を解決するため、3次元積層SSDに使われるフラッシュメモリーの消費電力を、従来から68%低減する電源システムが提案されている⁶⁾。LSIの消費電力を下げるには電源電圧を下げるのが一般的であるが、従来のフラッシュメモリーでは、電源電圧を3.3Vから1.8Vに下げると、書込み電圧(20V)発生回路の消費電力が著しく増大するという問題があった。従来は、フラッシュメモリー内にチャージポンプ型の電源回路を搭載していた。

一方、提案する3次元積層SSDシステムでは、図5のように、一つのパッケージ内に半導体チップとともに集積化されたインタポータ中のインダクタCMOSロジックプロセスで作成した適応制御コントローラ回路、フラッシュメモリープロセスで作成した高電圧MOSスイッチと、最適なプロセス技術と回路で電源システムを構成する。図6に示すインダクタを用いたブーストコンバータ回路を採用することで、電力効率の改善に成功した。

従来のチャージポンプ型の電源回路では、電荷をバケツリレーのように1.8Vから1V程度ずつ昇圧するのに対し、ブーストコンバータ回路では、インダクタに蓄えたエネルギーをダイオードを通じて負荷に出力するため、電力効率が高い。SSDデモシステムにより、電源システムの消費電力を従来の12%に低減できることが実証されている。本技術により、フラッシュメモリーの動作電圧を3Vから1.8Vに低電圧化することが可能になり、フラッシュメモリー全体の消費電力を68%低減することができる。

本技術により、SSDのコストを低減することもできる。フラッシュメモリーは、25nmなどの最先端の高価なプロセス技術で製造されるが、本技術では、フラッシュメモリー内のチャージポンプをなくすことで、フラッシュメモリーのチップ面積を5～10%低減することができる。一方、追加に必要な回路は、低コストなプロセス技術で製造可能で

図5 従来のSSDと提案する3次元SSD

図6 提案する電源システム

ある。図6の適応制御コントローラ回路や高電圧MOSスイッチは、0.18μm世代などの旧世代のプロセス技術を用いて製造される。また、フラッシュメモリー、NANDコントローラ、DRAMなどを接続するインタポータ内の配線を用いてインダクタは形成されるため、インダクタ導入に伴うプロセスコストの増加はない。以上述べたように、ブーストコンバータを用いた電源回路を開発し、低コスト・低消費電力なSSDを実現することが可能になった。さらに、出力電圧の立ち上がりを高速度化する技術の導入により、世界最速の毎秒4.2ギガビットの高速SSDが報告されている⁷⁾。

また、NANDフラッシュメモリーでは書込みワード線は20Vが印加されるが、非選択のワード線は書込み非選択電位(10V)が印加される。選択ワード線は1本であることにに対し、非選択ワード線は31本～63本もある。1チップあたりの負荷容量は書込み電圧(20V)が100pFであるのに対し、書込み非選択電位(10V)は1nF以上になる。出力電圧が10Vから20Vというワイドレンジで高負荷の昇圧のために、2段階のブーストコンバータも提案されている⁸⁾。

図7 非対称符号を搭載したNANDコントローラ

7. 高信頼・低電力信号処理技術

フラッシュメモリーは微細化により信頼性が劣化するが、現在のメモリーカードやSSDでは、システム的にエラーを訂正するECCが使われている。ECCの種類としては、ランダムなエラーを訂正するBCH符号が一般的に使用されているが、今後は、より高い誤り訂正能力を持つLow Density Parity Check (LDPC) 符号が使用されると期待されている。ECCによる誤り訂正能力は、シャノン限界に迫っており、ECCと組合せて使用することで、より高い信頼性を実現する信号処理技術が必要とされている。

また、NANDフラッシュメモリーのメモリーセルが小さくなると、ビット線間容量の増大によって消費電力が増大するという問題が生じる²⁾。微細化によってビット線間の距離が短くなり、ビット線間の容量が増大するからである。NANDフラッシュメモリー内では、13万 (16KB) 本ものビット線が同時動作する時、チップ内の全ビット線容量は200nFを超える。また、SSD内の16個以上のNANDフラッ

シュメモリーを並列に動作させて高速な書き込み速度を実現しようとする、容量の負荷は一層増加し、2Aというような大きな電流がSSD内に流れるため、低消費電力化の技術が必要である。

以下では、NANDフラッシュメモリーに書き込むデータを、NANDコントローラ内で変調することで、メモリーセルの信頼性を向上および電力を削減する信号処理技術を紹介する⁹⁾。

まず、メモリーのエラーに非対称性があることに注目し、メモリーに記憶するデータにコントローラで変調を掛けることで信頼性を向上する非対称符号を紹介する。SSDにおいては、データ保持時のエラーが書き込みエラーに比べて100倍以上多いため、非対称符号では保持時のエラーが減るようにデータ変調を行う。図7に、保持特性が最も悪いメモリーセルのしきい値電圧分布(ワーストケース)を示す。これは、すべてのメモリーセルがもっとも高いしきい値電圧、つまり、“10”の保持している場合である。このデータパターンでは、二つの点で保持特性に悪影響を及ぼす。

一つは、しきい値電圧が高くトンネル酸化膜にかかる電界が強いため、浮遊ゲートからチャネルへのリーク電流 (SILC) が増加する。もう一つは、しきい値電圧が最も低い消去状態から、最もしきい値電圧が高い“10”と書換えを行う際に、最も高い電圧がメモリーセルに印加されるため、トンネル酸化膜が最もダメージを受ける。

非対称符号では、下位ページと上位ページにそれぞれ“0”と“1”のデータがエラーを起こしやすいので、下位ページに書込むデータの“1”、上位ページに書込むデータの“0”を意図的に増やし、非対称化する。この非対称符号化手法によって、“10”と“00”の割合をそれぞれ全体の16%と24%にすることができる。“10”と“00”の分布を減らすことで、以下の二つの理由で保持特性を改善することができる。一つは、より低いしきい値電圧で書込まれることが多くなるので、低い書き込み電圧によってトンネル酸化膜にかかるストレスが軽減されるからである。もう一つの理由は、メモリーセルのしきい値電圧が低く、トンネル酸化膜にかかる電界が小さくなり、SILCが減少するからである。

非対称符号化システムを図7に示す。非対称符号の符号

器 (エンコーダ) は NAND コントローラ内に配置される。非対称符号の処理する単位を符号長 n のデータユニットとする。データユニット内の“0”の数を数える。ここで、“0”の数が過半数の場合にはデータを反転し、“1”というフラグを付加する。これによって、“1”データの数を増やすことができる。逆に“0”の数が少ない場合には、データは反転をせずに“0”のフラグを付加する。“0”のデータを増やすことも同様の手法で可能である。フラグビットを記憶するメモリーセル領域は、記憶領域として使えないため、オーバーヘッドとなる。データユニットのサイズが小さいほど、オーバーヘッドの割合が大きくなる。本提案では、データユニットとして16ビットを選んでおり、この場合の面積オーバーヘッドは6.3%である。非対称符号では、しきい値電圧が高いメモリーセルの数を減らした結果、不良数がワーストパターン比べて95%、ランダムパターンに比べて40%減少する。

次に、電力を削減するカラムストライプパターン除去符号を紹介する。NANDフラッシュメモリーの書き込み時に、書き込みを行うビット線と行わないビット線は、それぞれ電

源電圧 (VCC) と 0V (VSS) にバイアスされる。図8に示すように、書込むデータと書込みが非選択のデータが交互に繰り返されるカラムストライプパターンでは、すべてのビット線間容量を充電する必要がある。一方、データがすべて“1”パターンの時は、すべてのビット線がVCCにバイアスされるために、ビット線間容量がなくなり、書込み電流は減少する。図8に、ストライプパターン除去符号を示す。SPEA (Stripe Pattern Elimination Algorithm) エンコーダは、ホストから入力されたデータから最悪パターンであるカラムストライプパターンを除去するように変調する。まずSPEAでは、奇数カラムと偶数カラムそれぞれの“1”の数を数える。次に、その“1”の数の差を計算する。そこで、この“1”の数の差が規定したしきい値 (N_{TH}) よりも大きい場合、ストライプパターンと判定し、NANDフラッシュメモリーに書込まれるパターンは、最初に奇数カラムのデータ、次に偶数カラムのデータと続くように変調される。最大の電力を消費するカラムストライプパターンを除去することで電力が削減できる。

本技術により、書込み電流は4XnmのNANDフラッシュメモリーでは35%、3XnmのNANDフラッシュメモリーでは43%削減される。4Xnm世代より3Xnm世代で電力削減が大きいことから、SPEAはビット線間容量が増大して、消費電力が増大する微細化されたNANDフラッシュメモリーにおいてより有効である。

8. む す び

NANDフラッシュメモリーを記憶媒体としたSSDは、PCやデータセンタなどのHDDを置き換え、消費エネルギーが少なく地球環境に優しいITシステムを実現することが期待されている。フラッシュメモリーおよびSSDのよりいっそうの低消費電力化、高信頼性化、大容量化には、メモリーとメモリーコントローラの最適設計が必要である。特に、微細化によりメモリーの信頼性が劣化しており、メモリーの不良を救済する信号処理システム、誤り訂正回路が重要になる。

(2012年5月23日受付)

〔文 献〕

- 1) K. Imamiya, Y. Sugiura, H. Nakamura, T. Himeno, K. Takeuchi, T. Ikehashi, K. Kanda, K. Hosono, R. Shiota, S. Aritome, K. Shimizu, K. Hatakeyama and K. Sakui: "A 130-mm², 256-Mbit NAND Flash with Shallow Trench Isolation Technology", IEEE J. of Solid-State Circuits, **34**, 11, pp.1536-1542 (1999)
- 2) K. Takeuchi: "Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for sub-30nm Low-Power High-Speed Solid-State Drives (SSD)", IEEE J. of Solid-State Circuits, **44**, 4, pp.1227-1234 (Apr. 2009)
- 3) K. Naruke, et. al: "Stress induced leakage current limiting to scale down EEPROM tunnel oxide thickness", IEDM, pp.424-427 (1988)
- 4) J.D. Lee, et. al: "A New Programming Disturbance Phenomenon in NAND Flash Memory by Source/Drain Hot-Electrons Generated by GIDL Current", NVSMW, pp.31-33 (2006)
- 5) K. Kanda, et. al: "A 120mm² 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology", ISSCC, pp.430-431 (2008)
- 6) K. Ishida, T. Yasufuku, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai and K. Takeuchi: "1.8V Low-Transient-Energy Adaptive Program-Voltage Generator Based on Boost Converter for 3D-Integrated NAND", IEEE J. of Solid-State Circuits, **46**, 6, pp.1478-1487 (June 2011)
- 7) T. Hatanaka, K. Ishida, T. Yasufuku, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai and K. Takeuchi: "A 60% Higher Write Speed, 4.2Gbps, 24-Channel 3D-Solid State Drive (SSD) with NAND Flash Channel Number Detector and Intelligent Program-Voltage Booster", IEEE Symp. On VLSI Circuits, pp.233-234 (June 2010)
- 8) T. Hatanaka and K. Takeuchi: "4-Times Faster Rising VPASS (10V), 15% Lower Power VPGM (20V), Wide Output Voltage Range Voltage Generator System for 4-Times Faster 3D-integrated Solid-State Drives", IEEE Symp. On VLSI Circuits, pp.200-201 (June 2011)
- 9) S. Tanakamaru, C. Hung, A. Esumi, M. Ito, K. Li and K. Takeuchi: "95% Lower Bit Error Rate, 35% Lower Power Intelligent Solid-State Drives (SSDs) with Asymmetric Coding and Stripe Pattern Elimination Algorithm", IEEE International Solid-State Circuits Conference (ISSCC), pp.204-205 (Feb. 2011)

たけうち けん
竹内 健 1993年～2007年、東芝でフラッシュメモリーの研究開発に従事。6度にわたり世界最大容量メモリーの商品化に成功。2007年、東京大学准教授、2012年より、中央大学理工学部電気電子情報通信工学科。SSDメモリーシステム、ReRAM、3次元LSIなどの研究に従事。登録特許は210件。主な著書に「世界で勝負する仕事術」。