G10大型基板向けの革新的なLTPS技術で製造した19.5型4K LCD

A 19.5 inch 4K LCD Fabricated with Novel LTPS Technology at G10 Line

野寺伸武[†], 松本隆夫[†], 小林和樹[†]

Nobutake Nodera[†], Takao Matsumoto[†] and Kazuki Kobayashi[†]

あらまし Partial Laser Anneal Silicon (PLAS) は大型基板向けに開発した革新的な Low-Temperature Polycrystalline-Silicon (LTPS) 技術であり, 今回 G10 ラインにおいて 19.5 型 4K LCD の試作に成功した. ボトムゲート構造において移動度は oxide Thin-Film Transistor (TFT) と同等の $28.1 \text{ cm}^2/\text{Vs}$, 信頼性については LTPS と同等の光安定性を示した. この技術は α -Si 工場の高移動度 TFT への転換を最も容易かつ安価に可能とする画期的な技術である. PLAS の光安定性は Organic Light-Emitting Diode (OLED) バックプレーン, High-Dynamic Range (HDR) TV, 屋外用デジタルサイネージなどへの適応が期待できる.

キーワード: LTPS, TFT, poly-Si, LCD, Laser Anneal

1. ま え が き

近年, TV, モバイルいずれにおいてもパネルの高精細が進んでおり, TV の製品では 4K, スマートフォンなどのモバイルの製品では Full HD が主流となっており, さらに TV は 8K, モバイルは 4K の開発が報告されている. 高精細パネルにおいて高移動度プロセスは必須の技術であり, Low-Temperature Polycrystalline-Silicon (LTPS), または oxide Thin-Film Transistor (TFT) が知られている.

従来の LTPS は CVD 装置で成膜した前駆体 α -Si をエキシマレーザなどで結晶化アニールを実施して poly-Si を形成するプロセスであり, 移動度は $100 \text{ cm}^2/\text{Vs}$ ¹⁾ 程度と量産されている移動度約 $10 \text{ cm}^2/\text{Vs}$ ²⁾ 程度の Oxide TFT よりも優れている. しかしガラス基板サイズが大きくなるほど, 基板全面をアニールできるレーザ発振器の開発が困難であることから, 生産では G6 までであり, 開発では G8.5 の報告が最近なされている³⁾.

加えて, オフ電流は LTPS のもう一つの課題であり, オフ電流を抑制するために Lightly Doped Drain (LDD) が使われている. LDD 構造をもつ LTPS TFT はトップゲート TFT 構造がとられることが一般的である. 一方, α -Si TFT は製造が容易で安価なボトムゲート TFT 構造が一般的である. α -Si TFT 工場を LTPS TFT へ転換するためには, Excimer Laser Annealing (ELA), イオンインプラ, 活性化アニール装置など多額の設備投資が必要となるた

め, G10 などの大型ガラス基板の工場になるほど転換は困難になる. 近年ボトムゲートにおいて LDD レス構造の LTPS の研究が複数報告されており^{4)~6)}, これらはいずれも poly-Si 層の上に LDD の代替として α -Si 層を成膜し, ソース・ドレインと直接コンタクトしない構造である. しかしボトムゲート上の結晶性は表面状態・ゲートテーパー・ガラスによる影響を受けるため, 制御が難しいことから, ボトムゲート構造の工場はほとんど存在しない.

Indium Gallium Zinc Oxide (IGZO) などの Oxide TFT は, 大型パネル向けの高移動度プロセスとして近年盛んに研究されている. しかしながら Oxide TFT は低い光安定性により, 信頼性の制御が難しいことから, 大型パネルの量産工場はほんのわずかに限られる. 一方 CAAC-IGZO^{7)~9)} やデュアルゲート¹⁰⁾ などの光安定性改善の研究が多く報告されている⁴⁾.

上記の課題を鑑み, ボトムゲート構造において Oxide TFT と同等の移動度 $28.1 \text{ cm}^2/\text{Vs}$, LTPS TFT と同等の光安定性を持つ画期的なアニール技術である PLAS プロセスを開発した. この技術は α -Si の工場の高移動度 TFT への転換を最も容易かつ安価に可能とする画期的な技術である. さらに, G10 やさらに大きなサイズなど基板サイズには限られない. PLAS の光安定性は Organic Light-Emitting Diode (OLED) バックプレーンや High-Dynamic Range (HDR) TV, 屋外用デジタルサイネージに最適である.

2. PLAS 技術について

従来の LTPS において結晶化アニールはラインビームを備えたレーザアニール装置を用いることが一般的であるが, PLAS においては Micro Lens Array (MLA) を備えた

2017年3月17日受付, 2017年7月14日再受付, 2017年8月16日採録

[†] 堺ディスプレイプロダクト株式会社

(〒590-8522 堺市堺区匠町1, TEL ?)

図1 レーザビーム方式

Gate Depo	Gate Depo	Gate Depo
Photolithography	Photolithography	Photolithography
Gate Etching	Etching	Etching
n+/α-Si/GI CVD	α-Si/GI CVD	SiO ₂ /α-Si/GI CVD
	Dehydrogenation	Dehydrogenation
	Laser Annealing	Laser Annealing
	n+/α-Si CVD	Photolithography
		SiO ₂ Etching
		n+/α-Si CVD

SD Depo	SD Depo	SD Depo
Photolithography	Photolithography	Photolithography
SD/Si Etching	Etching	Etching
Passivation Depo	Passivation Depo	Passivation Depo
Photolithography	Photolithography	Photolithography
Passivation Etching	Etching	Etching
ITO Depo	ITO Depo	ITO Depo
Photolithography	Photolithography	Photolithography
ITO Etching	Etching	Etching

(a) α-Si TFT (b) PLAS CE TFT (c) PLAS ES TFT

図2 プロセスフロー

部分レーザアニール装置を用いる(図1)¹¹⁾。この装置はG10基板上のゲート電極上のTFTチャネル部などの任意の部分的な箇所を結晶化アニールすることができ、ボトムゲート構造における結晶性やTFT特性の基板面内ばらつきを改善することが可能である。レーザアニールの位置合わせは、高速・高解像度カメラでゲート電極をキャプチャし、目標のTFTチャネル部をリアルタイムで計算、フィードバック制御することで行う。この技術により、G10などの大型基板において高精度な位置合わせと高スループットを達成することが可能である。PLASはエキシマまたはYAGレーザどちらも使用できる。

図2にα-Si TFTとPLAS TFTのプロセスフローを示す。PLASチャネルエッチング型(CE)TFTのプロセスフローはα-Si TFTのものと基本的には同じであり、脱水素アニール、レーザアニール、2nd (n+/α-Si) CVDの工程が追加されるのみである。そのため、α-Siと同じ4~5枚のフォトマスクで製造が可能であり、コストメリットがある。

PLAS CE TFTと比較して、PLASエッチストップパー型(ES)TFTはバックチャネルダメージとチャネル部Siの膜厚分布に対して強みがある。このプロセスではSiO₂のトリソとエッチング工程がさらに追加され、5枚マスクプロセスになる。

(a) CE TFT

(b) ES TFT

図3 PLASの断面構造

図3にPLASの断面構造を示す。PLASはゲート電極上のチャネル部の部分的な領域のみをフォトマスクとエッチングなしに結晶化することが可能である。従来のラインビーム装置はゲート電極上、テーパ上、ガラス上などの表面の結晶性制御の課題がある。一方この装置はゲート上のチャネル部のみを部分的に結晶化することができるので結晶性制御が容易である。

3. 結果

3.1 Excimer Laser Annealing

結晶化に351 nm XeFエキシマレーザを使用した。移動度のエネルギー密度とショット回数依存を図4に示す。350 mJ/cm²以下では移動度はエネルギー密度に比例した。一方350 mJ/cm²以上では微結晶化に起因する急激な移動度の低下が確認された。したがってわれわれは300~350 mJ/cm²のエネルギー密度を採用した。

図4 PLAS CE TFTの移動度のエネルギー密度、ショット回数依存

図5 PLAS CE, ES TFTの伝達特性
レーザー幅 $X = 12 \mu\text{m}$ $W/L = 10/4 \mu\text{m}$
ソース・ドレイン間電圧 $V_{ds} = 10 \text{ V}$

図6 PLAS ES TFTの伝達特性のレーザー幅依存性
レーザー幅 $X = 4, 6, 7, 9, 11 \mu\text{m}$ $W/L = 10/6.3 \mu\text{m}$ $V_{ds} = 10 \text{ V}$

3.2 CE, ES TFTプロセス比較

PLAS CE TFTとES TFTの伝達特性を図5に示す。レーザー条件は 300 mJ/cm^2 、20回ショットまたは 350 mJ/cm^2 、50回ショット、レーザー幅は $12 \mu\text{m}$ である。CE TFT 300 mJ/cm^2 (20 shots) のCE TFTは移動度が $7.32 \text{ cm}^2/\text{Vs}$ 、しきい値電圧 (V_{th}) が 1.48 V 、最小オフ電流 I_{off} が 37.1 pA であった。 300 mJ/cm^2 (20 shots) のES TFTは移動度が $11.41 \text{ cm}^2/\text{Vs}$ 、 V_{th} が 1.67 V 、 I_{off} が 50.7 pA であった。ES TFTの方がCE TFTよりも大きな移動度を示した。さらに、 350 mJ/cm^2 (50 shots) のES TFTは移動度 $28.01 \text{ cm}^2/\text{Vs}$ を示し、量産されているIGZOよりも大きい値を示した。

3.3 部分レーザーアニール

伝達特性のレーザー幅依存を図6に示す。PLAS CE TFTはチャネル部Siの残膜により、特性がばらつくことが懸念される。ここではその影響を最小限にするため、PLAS ES TFT構造を用いてレーザー幅依存性を調査した。

レーザー幅はレーザーアニールのマスクで、フォトリソ工程の増加なしに製作した。レーザー条件は 300 mJ/cm^2 、20回ショットである。レーザー幅 $X = 11 \mu\text{m}$ では、移動度 $11.3 \text{ cm}^2/\text{Vs}$ を示し、 V_{th} は 4.2 V 、 I_{off} は 77.7 pA だった。その他のレーザー幅のTFT特性を表1に示す。さらに移動度とオン電流 I_{on} ($V_g = 30 \text{ V}$) のレーザー幅依存を図7に示す。 I_{on} と I_{off} はレーザー幅に比例した。一方、 V_{th} はレーザー幅にほとんど依存しなかった。移動度はレーザー幅に対して若干の増加が確認された。これはレーザー照射面積が大きくなると照射時温度上昇が大きくなるためと想定される。

PLAS技術はレイヤを追加することなく、同一レーザー条件でもレーザー幅で電流値を制御することが可能である。これは、例えば低いオフ電流が求められる絵素TFTには幅の小さいレーザーアニール、高いオン電流が求められるgate driver on arrayのような駆動回路TFTには幅の大きい

表1 TFT特性まとめ

Laser Width [μm]	4	6	7	9	11
Mobility [cm^2/Vs]	9.3	9.8	10.8	10.7	11.3
V_{th} [V]	4.6	4.2	4.2	4.5	4.2
I_{off} [pA]	3.7	12.2	14.4	15.7	77.7
$I_{on@V_g=30V}$ [A]	1.6×10^{-5}	3.5×10^{-5}	4.6×10^{-5}	5.7×10^{-5}	7.6×10^{-5}

図7 移動度と I_{on} ($V_g = 30 \text{ V}$) のレーザー幅依存性

レーザーアニールなど、異なる特性を持つTFTをレーザーアニールのマスクにより同時に作り分けることができることを示す。さらにこのコントロール可能なTFT技術は、2T1C (二つのTFTに一つのキャパシタを有する) 回路など絵素内に複数のTFTがある、例えばOLEDバックプレーンのようなものにも適用が可能である。

3.4 光安定性

darkとlight測定環境下のTFT特性を図8に示す。PLAS CE TFT, ES TFTともにdark環境下からlight環境下での V_{th} シフトはほとんどなかった (図8 (a), (b))。一方 α

SiのV_{th}はマイナス方向に大きく変化し、オフ電流も悪化した(図8(c)).

NBTIS試験によるV_{th}シフトを図9に示す. PLAS CE TFTとPLAS ES TFTのV_{th}シフトはそれぞれ0.76 Vと0.34 Vであり, α -Si TFTの1.86 Vよりも小さかった. ここで, PLAS CE TFTとPLAS ES TFTの差はチャネルエッチダメージによるものと考えられる.

われわれは残された α -Si領域についても調査した. レーザ幅の異なるPLAS CE TFTのNBTIS結果を図10に示す. レーザ幅X=4 μ mと12 μ m(レーザ領域の割合はそれ

図11 G10ラインにおいて試作した19.5型4K LCD

表2 19.5型4K試作パネルの仕様

	Specifications
Screen Diagonal	19.5-in.
Glass Size	Gen10
Driving Method	Active-Matrix
Alignment	UV2A ¹²⁾
Resolution	3840x2160(UHD)
Pixel Pitch	37.5x12.5 μ m
Pixel Density	226 ppi
ES Size	8x7 μ m

ぞれ0.25と0.75)の間ではV_{th}のシフトに差は確認されなかった. この結果はTFTの実効領域はレーザアニールされた領域によってのみ決められ, α -Si領域の影響は考える必要がないことを示している. この, LTPS同等の光耐性は, PLASがOLEDバックプレーンやHDR TV, 屋外用デジタルサイネージに適していることを示している.

3.5 パネル表示品位

G10ラインでPLAS ES TFTの19.5型4K LCDを試作した(図11, 表2). ムラもなく良好な表示品位を示した. われわれはG10工場にて2017年には高解像度, 高精細, 高輝度屋外用デジタルサイネージなどの大型パネルの量産を予定している.

4. む す び

表3に示すように, われわれはOxide TFTと同等の移動度と, LTPSと同等の光安定性を持つPLAS TFTをボトムゲート構造で開発した. この革新的な技術は α -Si TFTを最も容易にかつ安価に高移動度へ転換することが可能である.

本論文ではIonとIoffが, 新たなレイヤを必要とせずに, レーザの幅を変えるだけでコントロールできることが示された. 加えて, 良好な光耐性も示された. PLASの光安定性はOLEDバックプレーンやHDR TV, 屋外用デジタルサイネージとしても期待される. さらに, G10やそれ以上

表3 TFT プロセス比較

プロセス	α -Si	oxide TFT	LTPS	PLAS
移動度(cm^2/Vs)	0.5	10~30	~100	~30
TFT構造	ボトムゲート	ボトムゲート	トップゲート	ボトムゲート
フォトマスク数	4~5	4~5(CE) 6(ES)	7~10	4~5(CE) 5(ES)
オフ電流(明状態)	Poor	Very Good	Good	Good
光安定性	Poor	Poor	Good	Good
基板サイズ	Gen10	Gen8.5	Gen6(Gen8.5)	Gen10

の大きなサイズなど基板サイズには限られない。G10ラインで19.5型4K LCDの試作に成功した。

〔文 献〕

- 1) T. Sameshima et al.: "XeCl Excimer laser annealing used in the fabrication of poly-Si TFT's", IEEE Electron Dev. Lett., EDL-7, pp.276-278 (1986)
- 2) C.-W. Han et al.: "Advanced technologies for UHD curved OLED TV", Journal of the Society for Information Display, 22, pp.552-563 (2014)
- 3) M. Sobey et al.: "Status and Future Promise of excimer laser annealing for LTPS on Large Glass Substrates", SID Digest of Technical Papers, 45, pp.79-82 (2014)
- 4) T. Kaitoh et al.: "SELAX Technology for Poly-Si TFTs Integrated with Amorphous-Si TFTs", SID Digest of Technical Papers, 39, pp.1066-1069 (2008)
- 5) A. Kanegae et al.: "Self-Aligned Bottom Gate LTPS Backplanes without Ion-Implantation Process", SID Digest of Technical Papers, 43, pp.1090-1093 (2012)
- 6) T. Saitoh et al.: "Backplane Process Technology for AMOLEDs with Bottom-Gate TFTs and Laser Annealing", SID Digest of Technical Papers, 43, pp.191-194 (2012)
- 7) M. Tsubuku et al.: "CAAC-Oxide Semiconductor Material and its Applications", IDW'15 Digest, pp.179-182 (2015)
- 8) S. Yamazaki et al.: "Research, Development and Application of Crystalline Oxide Semiconductor", SID Digest of Technical Papers, 43, pp.183-186 (2012)
- 9) K. Okazaki et al.: "Fabrication of 8K4K organic EL panel using high-mobility IGZO material", Journal of the Society for Information Display, 23, pp.561-569 (2015)
- 10) M. Mativenga et al.: "Oxide Versus LTPS TFTs for Active-Matrix Displays", SID Digest of Technical Papers, 45, pp.1-4 (2014)
- 11) S. Sugimoto et al.: "Selective Laser-Annealing System for LTPS-TFT Panels", SID Digest of Technical Papers, 46, pp.394-397 (2015)
- 12) A. Fujii et al.: "The World's First Photo Alignment LCD Technology Applied to Generation Ten Factory", SID Symposium Digest of Technical Papers, 41, pp.579-582 (2010)

野寺 伸武 1999年、京都大学工学部卒業。2001年、同大学工学研究科修士課程修了。同年、東京エレクトロン東北(株)入社。2008年、シャープ(株)に転職。2012年より、堺ディスプレイプロダクト(株)にて、TFT-LCDプロセスや材料の開発に従事。

松本 隆夫 1997年、山形大学工学部卒業。同年、シャープ(株)入社。2012年より、堺ディスプレイプロダクト(株)にて、TFT-LCDプロセスや材料の開発に従事。

小林 和樹 1988年、神戸大学工学部卒業。1990年、同大学工学研究科修士課程修了。同年、シャープ(株)入社。2012年より、堺ディスプレイプロダクト(株)にて、TFT-LCD、材料、ディスプレイモジュールの開発に従事。2017年より、同社取締役兼研究開発本部長。