12G-SDIへの移行を可能にする
半導体要素技術関連動画
公開中!Nasser Mohammadi[†], 大 縄 貴 士^{††}

市場における4K解像度への移行が進んでおり、放送機器やプロフェッショナル向けの機器についても、4Kへの対応が求められている。それに伴い、12G-SDIへ対応するシステムへの移行が徐々に進み始めている。本稿では、Texas Instrumentsが開発、市場投入した製品を例に挙げ、12G-SDIに必要な要素技術についての技術的な解説を行う。

キーワード：12G-SDI, UHD, 4K解像度, リターンロス

1. まえがき

市場における4K解像度への対応が進んできており、日本国内においては、2016年8月1日より、BSでの試験放送が開始された。また世界的には、YouTubeやNetflix、Amazonなどのストリーミングビデオのコンテンツプロバイダもすでに4Kの解像度への対応を開始している。

放送機器やプロフェッショナル向けの機器についても、4Kへの対応が進んでいる。主な機器として、ビデオスイッチャ、モニタ機器、ルータ、フォーマット変換、分配用のアンプなどがあげられる。

これらの機器の4K解像度への対応において、各機器間の画像用インタフェースとして、これまでのHD/1080p解像度において主に用いられた、3G-SDI (Serial Digital Interface) から12G-SDIへの移行が急速に進むものと考えられている。

4K解像度に必須とされる超高速データ伝送をとりまく要素技術を念頭に置き、12G-SDIのインタフェースにおいて用いられる、ドライバIC、イコライザICについて、Texas Instrumentsが開発、市場投入した製品を例に挙げ、技術的な解説を行う。

2. 4K解像度ビデオインタフェースの市場動向

伝送方式、伝送メディアの選択の2つのポイントについて、4K解像度ビデオインタフェースの市場の動向について述べる。

(1) 伝送方式 (12G-SDI, 10 Gigabit Ethernet)

4K対応の放送機器、ならびコンテンツプロバイダ向けの

図1 解像度の比較

装置はビデオデータの伝送方式として、SMPTE (Society of Motion Picture and Television Engineers) の策定した、12G-SDI (ST-2082-1) によるデータ伝送と、10 Gigabit Ethernet (SMPTE-2022-5/6) をベースとしたIP (Internet Protocol) を用いた伝送方式が候補に挙げられている。

(2) 伝送メディアの選択

12G-SDIを用いた伝送の場合、銅製同軸ケーブル (Coaxial Copper Cable) にて、100 m程度の伝送距離が求められている。映像信号元とその出力を受ける機器のシステム間においては、挿入損失 (Insertion Loss)、高周波ジッタの影響から、伝送される信号が劣化する。したがって、これをクリーンな状態に補正する必要がある。イコライザ機能、リクロッカ機能、ケーブルドライバなどのシグナルコンディショニングを行うための機能がこれにあたる。

また、より長距離の伝送が必要とされる場合においては、光ファイバでの伝送が選択肢となる。光モジュールは市場でポピュラーな、SFP+ (Small Form-Factor Pluggable+) が用いられる。

3. SDI規格概要¹⁾

ビデオ信号のデジタル伝送に関する技術的な要求は

* 本稿の著作権は著者に帰属致します。

[†] Texas Instruments Incorporated^{††} 日本テキサス・インスツルメンツ株式会社

"Semiconductor Components Enabling 12G-SDI Based Product" by Nasser Mohammadi (Texas Instruments Incorporated, Dallas, US) and Takashi Onawa (Texas Instruments Japan Limited, Tokyo)

表1 4K解像度ビデオ信号のビットレート

Mapping Mode	SMPTE Proposed Standard	Signal Type/Sampling Structure	Total Number of Lines/Frame/Sub Image (N_I)	Overall Line Length (L_{LENGTH}) Total Samples per Line	N_{SUB}	F_R	Active Samples per Line (N_{ACTIVE})	Data Stream per Sub Image ($DATA_{STREAM}$)	P_{LENGTH}	BIT_{RATE}	BIT_{RATE} (Mbps)
1	ST 2036-1 3840 × 2160	4:2:2 Component	1125	2200	4	60	1920	2	6.46E-06	1.188E+10	11880
	ST 2048-1 4096 × 2160	4:2:2 Component	1125	2200	4	60	1920	2	6.46E-06	1.188E+10	11880
	ST 2036-1 3840 × 2160	4:4:4 Component	1125	2200	4	30	1920	2	1.29E-05	1.188E+10	11880
	ST 2048-1 4096 × 2160	4:4:4 Component	1125	2200	4	30	1920	2	1.29E-05	1.188E+10	11880
2	ST 274 1920 × 1080	4:4:4 Component	1125	1100	2	120	1024	4	1.38E-05	1.188E+10	11880
	ST 2048-2 2048 × 1080	4:4:4 Component	1125	1320	2	100	1024	4	1.38E-05	1.188E+10	11880
	ST 274 1920 × 1080	4:4:4 Component	1125	1375	2	96	1024	4	1.38E-05	1.188E+10	11880
	ST 274 2048 × 1080	4:2:2 Component	1125	1375	2	96	1024	4	1.38E-05	1.188E+10	11880
	ST 274 2048 × 1080	4:2:2 Component	1125	1375	2	96	960	4	1.129E-05	1.188E+10	11880

SMPTEにより定められている (SMPTEで規定されている項目の詳細については文献^{2)~4)}を参照)。

SDIは、使いやすさ、シングルエンドの電気インタフェース、デジタル実装、および非圧縮ビデオの伝送が可能という観点から、さまざまな業界で使用されてきた。SMPTEは、多彩な機器メーカー間の相互運用を可能にするために一連の仕様を標準化しており、これらはとりわけ、SMPTE 259M (標準解像度ビデオ信号)、SMPTE 292M (高精細ビデオ信号)、およびSMPTE 424M (3 Gb/s 高精細ビデオ信号)によって規定されている。

SMPTE標準化ワーキンググループは、より高い解像度とより高いフレームレートに対応するために、新しい基準を提案している。ST-2081-1とST-2082-1がシリアルインタフェースの電氣的仕様を概説しており、ST-2082-10はソースイメージと補助的データマッピングのガイドラインを提供する。

4. UHD Video Bit Rateの算出

提案されたST2082-10は、異なるソース画像フォーマットおよび補助データを1つの12 Gbps SDI同軸ケーブルにマッピングすることを要求している。ソース画像は、まず2つまたは4つのサブ画像に分割される。次にサブ画像は8つの10ビットストリームにマッピングされ、148.5 MHzクロックレートで動作する80ビット仮想インタフェースを構築する。

マッピングの方法は2つあり、Type1は2160ラインのソースイメージを12 Gbps NRZシリアルインタフェースにマップする。Type2の場合、ガンマ補正されたY'C'BC'R 1080画像が、12G-SDIインタフェースにマッピングされる。

各コンポーネントビデオの情報コンテンツは、各コン

ポーネントの必要帯域幅を決定する。情報内容は、ビデオライン当たりのサンプル数、フレーム当たりのビデオラインの数、およびフレームレートによって決定され、ビットレートを計算することができる。

ST 2082-10を使用して、ビットレート (BIT_{RATE}) およびパソロジカル長 (P_{LENGTH}) は下記のように計算できる (4:2:2 サンプリングを仮定する)。

$$BIT_{RATE} = N_I * L_{LENGTH} * 20 * F_R * N_{SUB}$$

$$P_{LENGTH} = 20 * DATA_{STREAM} * (1 / BIT_{RATE})$$

ただし、それぞれのパラメータは下記の通りである。

L_{LENGTH} : 全体の行の長さ

F_R : フレームレート

N_{SUB} : サブイメージの数

N_I : サブイメージあたりの総ライン数

$DATA_{STREAM}$: サブイメージごとのデータストリーム

N_{ACTIVE} : 1行あたりのアクティブなサンプル数

それぞれのTypeにおいて上記の式を適用し、ビットレートおよびパソロジカル長を算出したものを表1に示す。

5. 12 Gbpsでの伝送を実現する要素技術

近年のギガビットデータ伝送技術の大きな進歩においては、信号品質を十分に保つことを可能にした補正回路技術が大きく寄与している。代表的な例として送信側に実装される、プリエンファシスやディエンファシス、受信側に実装されるCTLE (Continues Time Linear Equalizer)、ジッタ成分を除去するリクロックなどがあげられる⁵⁾⁶⁾。

伝送路では表層効果、誘電損失に起因したローパスフィルタ特性により、高い周波数の信号成分が失われ、伝送に必要な帯域幅を確保することが困難となる。十分な帯域幅

が確保できない場合、データ依存性ジッタ (DDJ: Data Dependent Jitter) などのデターミニスティックジッタ (DJ: Deterministic Jitter) が増加することが知られている。

DDJは、送信側でのプリエンファシスやディエンファシス、受信側でのイコライジングにより高周波の減衰分を補うことで軽減が図れる。しかしながら、SDIにおけるケーブル伝送では、接続されるケーブルの長さがまちまちであるため、送信側の補正技術を積極的に使うことができない。そのため、受信側でのイコライジングが極めて重要になる。

また、データレート的高速化に伴い、イコライジングによりアイの開口が補正されたデータを、さらにクロックで叩き直して波形形成するためのリクロッカが必要不可欠な機能になってきている。この機能は、ケーブルドライバICやケーブルイコライザICに集積される傾向にあり、リファレンスクロックやループフィルタコンポーネントなどの外部素子なしに十分な性能を確保できるようになってきている。

6. リターンロス補正回路の集積化⁷⁾

SMPTEで規定されているリターンロスの要求を満たすことは、歴史的に困難を伴ってきた。受信デバイス端子内部のESD保護用ダイオードの寄生容量が75Ω終端に並列に入るため、高周波において受信インピーダンスが下がり、結果としてリターンロスが劣化する。3G-SDIにおいては受信端近傍に受動素子による補正回路を設け、高周波でのリターンロスを補正することが多く行われていたが、これらの外部受動素子による補正は、システム設計者に複雑なカット&トライを強いてきた。

12G-SDIにおいては信号のさらなる高速化に伴い、外部受動素子によるこのような手法がより困難で現実的ではなくなっている。このような背景から、最近のTexas InstrumentsのSDI対応デバイスでは補正回路を受信デバイス内に集積し、良好なリターンロス特性が確保できるように工夫されている(図2)。この新しいクラスの内蔵終端ソリューションと、一般的な高速ボード設計手法と組合せることにより、システム設計者は、厳しいSMPTE要件を確実に満たす11.88 Gbps UHDへの機器のアップグレードを可能にすることができる。

7. 12G-SDIへ移行における設計上の留意点

12G-SDI世代へ(UHD/4K解像度)の移行により、ビットレートが4倍になることに伴い、①ジッタ、②リターンロス、③クロストーク、にこれまで以上に注意を払う必要がある。

①ジッタ

SDIではタイミングジッタ、アラインメントジッタという2つユニークな要求項目があり⁸⁾、12G-SDIではビットレート的高速化に伴い3G-SDI規定時と比べ、絶対的に厳しい要求が課されている。そのため、リクロッカ機能の必

図2 リターンロス補正回路の集積による基板設計の変化

要性がこれまで以上に高まっている。

②リターンロス

12G-SDIでは3G-SDIの要求を踏襲し、3～12 GHzの範囲に対しても厳しい基準を設けている。この要求の実現のためには、これまで同様困難が予想されるが、PCB製造技術の向上、リターンロス補償回路の集積化、レイアウト上でのノウハウの蓄積などが活用されると考えられる⁹⁾。

③クロストーク

5 GHzを超えるような高速信号ではクロストークによる影響が顕著に現れる。このため、PCBの設計において意図せぬ線路の結合について、注意を払う必要がある。

特に、プリント基板上のデバイス-BNCコネクタ間から放射される電磁波ノイズはこれまで以上に問題になる可能性がある^{6) 7)}。

8. 12G-SDIに対応するケーブルドライバ、ケーブルイコライザICの概要について (TI製品LMH1218, 1219)

主な12G-SDIケーブルドライバ、ケーブルイコライザICの構成を、Texas Instrumentsの製品のブロック図を用いて説明する。

8.1 12G-SDI対応ケーブルドライバIC (LMH1218)

ケーブルドライバICは大きく分けて3つの機能ブロックにより構成されている(図3)。①イコライジング回路、②リクロッカ回路、③ドライバ回路である。送信される波形のジッタをできる限り低減するために、リクロッカ回路を内蔵しており、高品質な信号の送信を可能にしている¹⁰⁾。

①イコライジング回路(PCB側)

FPGAなどから送信され、PCBを伝播してきた信号は差動100ohm終端の内蔵された入力端子を介してイコライザに入力される。入力された信号は、FR4素材の基板条件に合った周波数補正特性を持ち、6 GHzにおいて最大27 dB

図3 ケーブルドライバICのブロック図

図4 ケーブルイコライザICのブロック図

までの補正効果を得ることができる。LMH1218は2系統の差動100ohm入力端子を備えており、後段のMuxによってリクロック回路に接続されるチャンネルを任意に選択することができる。

② リクロック回路

CDR (Clock-and-Data Recovery) ブロックは、位相差検出器、チャージポンプ、電圧制御発振器 (VCO)、およびフリップフロップなどにより構成されている。このブロックに入力された信号は、デバイス内部のVCOにより生成される、ジッタ成分が抑制された同期クロックによりリクロックされる。この仕組みにより、デバイスまでに蓄積されたジッタが低減され、送信波形の品質が向上される。

このリクロック回路は、外部リファレンスクロックおよ

びループフィルタコンポーネントを必要とせず、270 Mbps～11.88 Gbpsの範囲のデータレートを自動的に検出してロックする。このため、ボード設計が簡素化され、システムコストの削減が見込める。

③ ドライバ回路

リロックされたシリアルデータは、シングルエンド75ohmまたは差動100ohmに最適化されたドライバにより出力される。これらのドライバ回路は、両方を同時に動作させることも可能である。出力電圧振幅は、OUT1がSFF-8431、OUT0がST-2082/1、SMPTE 424M、344M、292M、および259M規格に対応するように設計されている。

8.2 12G-SDI対応ケーブルイコライザIC (LMH1219)

ケーブルイコライザICもケーブルドライバIC同様に大き

く分けて3つの機能ブロックにより構成されている(図4)。
①イコライジング回路, ②リクロック回路, ③ドライバ回路である。ケーブルの伝送により劣化した波形を補償することに特化したケーブルイコライザ回路を集積している¹¹⁾。

① イコライジング回路

入力された信号は, 伝送レートおよび伝播経路に依存した劣化に対して, 適切なイコライジング処理を施されたのちにリクロック回路に送られる。

LMH1219は, 2系統の入力端子を備えており, それぞれ用途に応じて差動100ohm (IN1), シングルエンド75ohm (IN0) の終端回路が内蔵されている。先に述べたFR4イコライザ (IN1側)に加え, IN0側には, ケーブル伝送による信号の劣化の補償に最適化されたケーブルイコライザを内蔵している。また, 集積されたリターンロスネットワークにより, すべてのデータレートで厳しいSMPTE仕様を満たすことができる。

② リクロック機能部

ケーブルドライバIC同様に, SDI規格および10.3125 Gbpsのデータレートにも対応したCDR回路を中心に構成されている。また集積されているEye Monitor機能 (LMH1218にも同様に内蔵)により, これまで確認することが難しかった, イコライジング前後の波形を観測することができる。

③ ドライバ回路 (PCB側)

2系統の差動100ohm出力ドライバを備えている。出力ドライバは, 基板トレースでの損失の補償し, 伝送距離の延長に寄与するプログラマブルなディエンファシス機能を備えている。

Texas Instrumentsでは, 開発環境として, LMH1218, LMH1219に対応したPC上で用いるGUIツールを提供している。このGUIにより各種レジスタ設定などを容易に行うことができ, 結果として開発設計作業の簡略化が期待できる。

9. むすび

本稿ではTexas Instrumentsのデバイスをもとに, 12G-SDIに必要な要素技術の解説を行った。Texas Instrumentsでは, 本稿にて取り上げたデバイスと次世代ケーブルを用いて, 12G-SDI信号の100 m超の伝送を実証し, これら要素技術の有効性を確認した。

今後の8K解像度を念頭に置いたデータレートは今回のテーマである12G-SDIの4倍の情報量となる。この情報量の伝送には困難が予想されるが, 要素技術の観点からは, 下記のような伝送技術が候補として挙げられる。

- (1) 高速伝送の分野をおおきく引っ張ってきた基幹通信系のシステムにおいては, 40 Gbps以上の伝送を実現するための信号線のパラレル化, 波長多重技術。
- (2) データ通信系のシステムにおいては, PAMベースの多値化伝送技術。

(2016年12月16日受付)

〔文 献〕

- 1) N. Mohammadi: "SDI Video Bit Rate Calculation", Texas Instruments (2015)
- 2) B. Grob and C.E. Herndon: "Basic Television and Video Systems, 6th ed. Westerville", OH: McGraw Hill (1999)
- 3) K. Jack: "Video Demystified. San Diego", CA: HighText Interactive, Inc. (1996)
- 4) National Semiconductor Corp.: "Broadcast Video Owner's Manual 2nd ed." Santa Clara, CA: National Semiconductor Corp. (2008)
- 5) Texas Instruments: "LVDS オーナーズ・マニュアル Part1", Texas Instruments (2004)
- 6) Texas Instruments: "LVDS オーナーズ・マニュアル Part2", Texas Instruments (2008)
- 7) A.T.-k. Chin: "What You Need to Know About Return Loss" (2016), <https://www.thebroadcastbridge.com/content/entry/5841/what-you-need-to-know-about-return-loss>
- 8) Society of Motion Picture and Television Engineers: "SMPTE RP 184:2004, Specification of Jitter in Bit Serial Digital Systems", Society of Motion Picture and Television Engineers (2004)
- 9) Texas Instruments, High-Speed Interface Layout Guidelines, Texas Instruments (2014)
- 10) Texas Instruments: "LMH1218 Datasheet", Texas Instruments (2016)
- 11) Texas Instruments: "LMH1219 Datasheet", Texas Instruments (2016)
- 12) Society of Motion Picture and Television Engineers: "SMPTE274M-2005; for Television 1920 x 1080 Image Sample Structure, Digital Representation and Digital Timing Reference Sequences for Multiple Picture Rates", Society of Motion Picture and Television Engineers (2005)

Nasser Mohammadi ミズーリ工科大学電気工学課程修了。Texas Instruments所属。SDIアプリケーションエンジニア。高速信号デザインの研究や分析に従事。“SDI Video Bit Rate Calculation”などのアプリケーションノートを執筆。

大縄 貴士 おおなわ たかし 2012年, 宇都宮大学工学研究科修了。同年, 日本テキサス・インスツルメンツ(株)入社。同社営業技術本部にて, 車載システム, 基幹通信系のシステムおよびデータ通信系のシステム関連製品の技術サポートに従事。現在, 首都圏エリア所属フィールドアプリケーションエンジニア。本稿では翻訳および加筆を担当。