大規模集積化 (LSI) への動きと現状

東京大学 宇宙航空研究所 後 川 昭 雄

本講座も“集積回路の生いたち”から始まって10回、各装置への応用まで包含されてくわしい紹介がなされてきた。各回に若干の記述があるように、集積回路(IC)も大規模集積化(Large Scale Integration, 略してLSI)への動きは必然で、やがて1970年代にはICとの共存共栄のLSI時代を迎えることと思う。ここに最終回としてLSIへの動きと現状技術について概観してご紹介したい。

1. LSI への動き

ICからLSIへの動きには、それを支える必然性が背景にあるわけで、そうした背景を量的に把握することがLSI化の道程を根本から理解するために必要なことと思われる。本章では具体的な事例をあげて説明しながら、LSIへの動きを概観する。

1.1 LSI への動きと必然性

ICの技術開発ならびに実用化はまさに隔世的な進歩を遂げ、国内においても卓上電子計算機などを軸として各方面にIC化が進み、三大メーカでは国際的な量産水準である月産100万個に達しているが、さらに各社の増産計画が発表されて半導体ICは昨年の約3倍、年間6000万個といった線に飛躍し、IC実用化の時代が本格的に訪れようとしている。さらに情報処理産業の急速な発展に象徴されるような電子システムの大形化の要求は、電子計算機の年率30%以上の伸びとともに強まり、現在、2万~5万個のICを使用した第三世代の大形計算機の段階に入り、ますます大形・高速化へと進んでいる。

このシステムの大形化は、各サブシステム、機器の超小形化、高信頼度化、機能あたりのコストの低下を要請し、IC製造技術の進歩がこれに応じて、単一のゲート、フリップフロップ段階から、さらに集積度を上げてサブシステムからシステムの集積化を目指し高速化、低電力化といった高性能からむしろ予想しなかったシステム機

能の向上まで期待させることとなった。これがLSIであって、とりもなおさずICが本質的にもっていた高信頼性、量産などによるコスト低下、小形軽量、高性能といった特長をさらに深くつきつめていった結果、必然的にLSIの概念に到達したものである。

さて、1970年過ぎにLSIの計算機が実用されるといわれる段階であるが、先端的にはTexas Instrument(以下TI社)が464個の4ビットシフトレジスターから成る1000ビットバイポーラLSIシフトレジスターを用いた空軍用LSI計算機¹⁾を発表しているし、またAutoneticsがMOSLSIのみを用いたD-200形計算機を発表、また国内でも、早川電機が3mm角チップに1,875個の部品を集積したLSI卓上計算機を開発している。しかし、全体的には試作段階というべきで、各種の異なった方式が試みられているだけでなく、歩留り、実装技術を初め、多くの諸問題も今後解決を待っている。

現実的にはむしろ、現段階で経済的に見合って高い歩留りを保証できる中規模集積化(Medium Scale Integration, 略してMSI)が先行しており、これがLSIの試作と入り乱れ、各社各方式のレベルに応じて、必ずしも狭義のLSIとはいえなくとも、適性規模の集積度をもつRSI(Right Scale Integration)が試みられている。

このように、ICの必然的な発展方向にLSIが位置しその動きには技術の総合化の面が強いとしても、量が質への変革を呼び起こす大きな発展へとつながっている。トランジスタからICまでの発展では、電子システムの組立と部品との関係は、まだ分業体勢ですんだものの、図1のようにLSIでは、材料技術からサブシステムまでが一体化され、従来、装置製造側でもっていた電子回路に対する考えを根本的に変えさせ、図2のように設計思想に大幅な改革をせまってくる。

すなわち、部品側とシステム製造側の関係は不可分といえるほど密接であることが必要となり、システム側は、LSIの製造能力、技術に合わせてシステムの目標も定めLSI製造側は従来の単なる半導体技術者を中心とした体制を広げて、システム技術者をも含めて多くの分野の専

¹⁾“Trend toward Large Scale Integration” by Akio Ushirokawa
(Institute of Space and Aeronautical Science, University of Tokyo)

門家を方向づける必要が生じ、早期にシステム側の考えをつかむ努力をして情報を交換し、両者が密着していっしょに設計をしなければならなくなる。またたとえば、従来のように装置の経済的設計をするのに、回路素子の数と種類を最小にするといった通念ではなく、たとえ回路素子数がふえようとも、歩留りの高い回路のほうが、結局、機能あたりのコストが低下するので、そのほうを選ぶ必要が生まれてくる。また一応、部品数の制限がはずれるので、冗長性を充分にもたせるとか、巨大なシステムのために、二重回路網、誤り検出の自己診断回路などの新機能まで付加しうる。

かくして LSI がシステム規模のところまで及ぶことを考えると、それが産業全体に及ぼす意義は高く評価されねばならない。

さて、1964 年 Sack 氏ら³⁾の“Computer on a Slice”として、LSI の概念が発表されたが、表 1⁴⁾の米国の例によると、MSI、LSI の伸び率と IC 全体に占める位置が明らかである。1968 年は予測を上廻って、IC 総額で 5 億ドル、1972 年には約 12 億ドルが予想され、2.4 倍の伸びが見込まれるが、IC アレイの項で示されている LSI 関係総額では、約 5 倍という大きな伸び率となる。IC 総額に対する割合は、1968 年が 1 割程度であるのに対し、1972 年には 2 割強に達する。内訳では、当分 MSI が支配的で、1972 年でも LSI の 5 倍強が予想されている。

表 1 米国における IC の需要動向（単位：百万ドル）

	1968	1969	1972
(1) モノリシック IC	342.3	425.4	734.2
リニア (<12ゲート)	76.3	89.2	171.6
デジタル (<12ゲート)	242.9	296.8	435.6
単一チップサブシステム (シフトレジスタ、スク ラッチパッドメモリー、 DCA など能動)	23.1	39.4	127.0
(2) 混成 IC	51.3	61.2	92.0
リニア	19.9	24.2	38.3
デジタル	31.4	37.0	54.7
(3) IC アレイ	52.8	108.0	263.4
MSI (12～100ゲート)	49.2	100.0	225.0
LSI (100ゲート以上)	3.6	8.0	38.4
(4) モノリシック演算増幅器	22.8	26.9	41.0
(5) 薄膜、厚膜受動素子	33.2	38.3	74.0
総計	502.4	649.8	1,205.6

1.2 集積度の向上

LSI の背景にシステムの大形化、機能向上の面があることを述べたが、LSI を成立させるには技術的にみてもマスク製作、ウェハー処理および組立、試験の各技術の発展が前提になっている。Petritz は IC の故障率、価格、形状が同じ傾向で年ごとに向上する（図 3）ことを示したが、IC 本体の故障率、価格が下がるにせよ 1966 年以後ではプリント板、コネクタを含めた相互配線のほうが問題となるようになり、むしろ内部で相互配線をすましてしまう LSI へと飛躍する。

ところで、IC、LSI 本体に関係するウェハー処理技術（エピタキシャル成長、拡散、写真食刻、内部配線など）の進歩は表 2 に見られ、薄い精密なエピタキシャル成長、浅い不純物拡散およびパターンの微細加工技術などの向上によって、ベースの深さと幅も微小化に進み、1966 年には 1μ 幅のエミッタまでが開発され⁵⁾、飛躍的に集積

図 3 システム寸法の推移

表 2(a) 半導体加工技術の進歩

年 度		1960	1961	1963	1965	1966
寸法, パラメーター						
エミッタ	幅 (μ)	40	20	7.5	2.5	1
	面積 (mil^2)	7.7	3.2	1.0	0.34	0.16
	容量 (pF)	—	—	1.2	0.73	0.3
	深さ (μ)	—	—	1.5	0.5	0.15~0.2
ベース 深さ (μ)		—	—	2.0	0.7	0.3
ベース 幅 (μ)		—	—	0.5	0.2	0.1~0.15

表 2(b) 二相フリップフロップの進歩例
(含トランジスタ 14, 抵抗 10, 容量 2)

年	幅 (mils)	許容差 (mils)	抵抗 ($\Omega/\square$)	抵抗の全表面積 (mils^2)	トランジスタの全表面積 (mils^2)	表面利用率 (%)	ダイの寸法 (mils)
1964	0.5	0.5	200 (拡散形)	830	892	40	70×70
1965	0.3	0.3	1,000 (薄膜形)	45	451	45	40×40
1966	0.2	0.2	3,000 (")	14.8	257	50	30×30
1967	0.1	0.2	10,000 (")	4.4	200	55	25×25

図 4(a) ゲート当りの価格と欠陥密度との関係

図 4(b) ゲート当りのコストとゲート面積の関係

度が高められるようになった。それに呼応して、ウエハー寸法の拡大化が欠陥密度を減少させる努力と見合って進められ 2inφ ウエハーから、将来は 3inφ ウエハーが期待されている (ウエハーの寸法の二乗に比例してチップの取得数も増加し、コストはさらに低下する)。

なお、代表的な例として、図 4 (a) にゲート当りの価

格と欠陥密度の関係を、図 4 (b) にゲート面積の及ぼす影響を、MOS IC を含めて示した。現時点では、バイポーラ IC よりも MOS IC のほうが有利である。また、集積度の小さいときは、容器・組立費用が支配的となり集積度が増加するに従ってチップ本体の歩留りの低下がきいてくるが、技術の進歩により組立費用との合成曲線の最小値 A 点が右側に移る。すなわち、採算点のゲート数が増加し、図 3 とも呼応して年々集積度が向上して、LSI 時代へと進んでいく (図 5 参照)。なお、実際には製造コスト以外に規格、設計、実装および検査の費用まで考慮せねばならない。1966 年には、経済的回路としてはチップ当り 70 素子程度が最適とされていたが、1970 年代には 1000 素子以上、さらに 2 年たつと 5000 素子の高密度の集積が可能となり、Fowler によると、1976 年の LSI では 10,000 ゲートまで期待される状況に達してきた。

1.3 歩留りと面積

図 4 でも明かなように、集積度の最適規模を判断する基礎は、歩留りを支配する不良原因の大部分がウエハ

図 5(a) 集積度の変遷

図 5(b) モノリシック LSI における集積度の推移予想

一に含まれる格子欠陥や、写真食刻工程で生ずるピンホールなどの点状欠陥に起因することを認識することである。

まず、IC の活性領域(欠陥に敏感部分の面積)を A とし、欠陥密度を D として、その分布がランダムであるとするれば、歩留りは次式で与えられる。

$$Y_0 = e^{-DA} \quad (1)$$

いま、上記単位回路を n 個含むような LSI を考えると、

$$Y_{LSI} = e^{-nDA} = (Y_0)^n \quad (2)$$

さて、欠陥分布がランダムであるとした仮定は、実際には必ずしも妥当ではないので、一般的には欠陥密度の分布関数 $f(D)$ を考え、次式によって歩留りを求めなければならない⁶⁾。

$$Y = \int_0^{\infty} e^{-DA} f(D) dD \quad (3)$$

B. T. Murphy は $f(D)$ について図 6 に示すようなデルタ関数的な分布、三角形分布、長方形分布の 3 つの場合について、次の結果を得ている。

$$Y_a = e^{-D_0 A} \quad (4)$$

$$Y_b = \left(\frac{1 - e^{-D_0 A}}{D_0 A} \right)^2 \quad (5)$$

$$Y_c = \frac{1 - e^{-2D_0 A}}{2D_0 A} \quad (6)$$

LSI の場合は、 A が非常に大きくなったときに問題である。(4)式はデルタ関数的な場合で、ランダム分布の(1)式と同じく、歩留りは、指数関数的に減少する。(5)式は三角形分布の場合で、歩留りは A^{-2} の形で減少する。また、(6)式は長方形分布の場合で、歩留りは A^{-1} の形で減少する。つまり、欠陥分布をランダムであると仮定することが、LSI の歩留りについて最も悲観的な評価を与えることになる。しかし一方、実際には集積度の増大による歩留りの減少は、それほど急激には起こらない。そのことは、Seeds⁷⁾の図 7 によってもわかるように、面積増大による歩留りの減少は、指数関数よりゆ

図 6 欠陥密度の分布関数モデル

図 7 活性領域長と歩留りの関係

るやかで、実際に実験結果とよく一致する式は次のとおりである。

$$Y = 1 / \{ (1 + A/A_0) (1 + A/2A_0) (1 + A/4A_0) \} \quad (7)$$

A_0 は、欠陥密度に関連した面積の規準化定数で、LSI の場合は A^{-3} の形で減少する。しかし、面積(あるいは LSI の集積度)の増大によって、歩留りの低下という事実はさけられず、設計の際に回路の占有面積をできるだけ小さくすることが重要となる。そのため、①回路素子数を減らす、②素子の密度を上げる、努力が必要となる。

2. LSI の現状

2.1 LSI 方式の分類

表 3 に LSI 方式の分類を示す。IC と同じく、まずモノリシック LSI とハイブリッド LSI に 2 大別できる。モノリシック LSI は、別名 LSI on Slice と呼ばれるように、単一の Si ウエハーまたは、チップ上に多数の単位回路(unit cell)を形成し、それらの間を結線し機能化するものである。さらに分けると、(1)チップの高い歩留りを前提とする 100% yield approach, すなわち固定配線方式と、(2)必ずしもそれを期待できないとして生れた選択配線方式(discretionary wiring)になる。初期は LSI バイポーラチップ技術として、もっぱらチップ段階での集積度の増加を 100% 歩留り法で行ないモノリシック IC 同様、素子の良、不良にかかわらず、一定の配線パターンを用いるもので、単位回路の IC の歩

表 3 LSI 方式の分類

図 8 モノリシック LSI 構成図

図 9 ハイブリッド LSI 構造例略図

図 10 LSI 開発パターン

留りが、そのままにひびいてきた。

この固定配線方式では、IC と同様標準スライス方式、マスタースライス方式、カスタムスライス方式の3種類が考えられた。その後、選択配線方式も考えられて、full slice としてウェハー全体に集積するほど、集積度が上がってきた(図8参照)。この段階になると、LSI がシステムに近いので、その方式は個々の場合によって異なり、製品としては困難となってきた。カスタムスライスの純粋な特定機能方式は、多量の注文でないと高価につくが標準化の考えを加味した、マイクロマトリックス、building block 方式が、両者の中間方式として現実的に注目されている。以上は、モノリシック IC の集積度を上げる点から発展し、主としてデジタルシステムの分野で大きく伸びている。

写真 1 TI 社の選択配線方式によるバイポーラ LSI (スライス直径 1.5 in, 200 ゲート)

写真 2(a) 2240 ビットの読取専用 MOS LSI メモリー (TMS 484 X)

写真の下半分はデコーダー部、左側は出力バッファ段、右側大部分がメモリー

写真 2(b) (a) が 28 ピンのデュアルインライン・セラミックパッケージに入ったところ

一方、膜 IC の技術を母体として発展してきたのがハイブリッド LSI で、一名 LSI on Substrate と呼ばれ、IC チップを配線した絶縁基板上に図9のように、フリップチップまたは、ビームリードのようなフェースダウンボンディング技術で取付けるものから出発して、伸び

写真 3 128 ビットのフリップチップメモリー
(ハイブリッド MSI)

ようとしている。モノリシック LSI との関係を図 10 に示したが、また、SOS (Silicon on Sapphire) 方式¹⁹⁾や最近では、絶縁基板でなく Si 基板の“ウエハーチップ”方式¹⁷⁾も開発され、また、透明なプラスチック構成方式²⁰⁾が生まれて、フェースアップボンディングによるものまで開発されてきた。ハイブリッド LSI は、高周波を含むリニアシステムにも適しているが、素子の実装密度そのものは劣り、初めは、集積度の低い MSI が主体であったが、高集積度の IC チップを複数個マウントしうることから、大きな集積規模の可能性も期待され、将来、高速論理システムにも適用されよう（しかし、上の分類も厳密なものではなく、SOS や Si 基板の“ウエハーチップ”方式は材料、構成に重点をおいた分類で、製法上からはモノリシック LSI に入りうる）。

要するに「多数個の集積回路群を 1 枚の基板上に相互配線し、大規模な集積化を行なうことで、全体としてサブシステムとなりうるもの」を LSI²¹⁾と呼んでよいだろう。

さて、ここで各方式の個々についての紹介に入る前にそれらに流れる基本的な設計思想を再整理し、要約しておこう。

- (1) 歩留りを上げるための回路占有面積の最小化
- (2) マスタースライスの考え方など標準化
- (3) 計算機による設計の自動化(CAD)

の 3 項目となる。LSI の設計、検査は、IC のそれよりはるかに複雑となるため、これらの費用の低減と試作期間の短縮をはかり、ミスの発生もなくすために、CAD (computer aided design) は不可欠な技術である。

ところで、標準化と設計を最適化することとは、要求として相反する場合が多いので、どちらを重視するかによって、これから述べるような異なったやり方が生じてくるのである。

2.2 モノリシック LSI

(1) 選択配線方式(discretionary wiring approach)

ウエハー上の単位回路をあらかじめ検査し、良品の単位回路のみを使って配線するように 1 枚 1 枚オーダーメイドの配線を行なう方法である。現在、一般の中・低速論理 IC のウエハーの歩留りが 50~70%，より高性能の回路で 20~30% 程度とみられるが、いま、先の(2)式によって歩留りの一例を考える。 $Y_0=50\%$ の単位回路を 10 個含む LSI では $Y_{LSI}=(1/2)^{10} \approx 0.1\%$ となる、これは、固定配線方式のままとした場合で、このような低い歩留りでは実用の LSI を実現するのは困難との判断のもとに、選択配線方式が生まれてきたわけである。

良品の単位回路のみを選択する方法として、ウエハーを行と列に分けて欠陥をさけ、列のみの場合、行、列の選択の場合、まったく自由に欠陥をさける完全な選択の場合を考え、各場合に対応する LSI アレイの歩留りを図 11 に示した。(a)の単位回路が 9 セルの場合は、固定配線方式でもチップの歩留りが 80% 程度以上あればアレイとしても数十%が得られる。しかし、(b)の 100

図 11 アレイ内チップの選択配線と歩留りの関係

セルの場合には、固定配線方式では、チップの歩留りが90%以上ないと問題にならない。完全な選択配線方式では、チップの歩留りが70~80%確保できれば充分で、大きな偉力が期待できるとしている。ただし、選択配線方式は、たとえばTI社方式では、単位回路ごとに良否判定のための電極が必要であるなど、工程の複雑さも加わるために、歩留りが下がるとか、評価の基準とした両方式のチップの歩留りが異なるなどの問題があるので、結局、総合判断が必要である。しかし、ウェハー上に不規則に分布している不良セルをさけて配線を行なう結果歩留りは一応集積規模に無関係となり、大規模集積化が可能となる。欠点は、第2層配線のマスクパターンはウェハーごとに異なり、特性のばらつきとともにコスト高と所要時間が長くなる点である。なお、各単位回路ごとの測定電極は回路本体と同じぐらいの面積を要し、Si表面の面積利用率が下がる。

(a) TI社のMIGシステム^{8)~10)}

基本的には、マスタースライスの考え方であるが、標準化に伴う歩留り低下を計算機を活用して補っている点が特徴である。一例をあげると、3種類のウェハーをそろえておくことにより、価格低下を実現しようとしている。第一はゲートだけ、第二はフリップフロップだけ、第三は交互にゲートの列とフリップフロップの列をもつウェハーで、それぞれの1枚のウェハー内には881のゲート、200のフリップフロップおよび90のフリップフロップと521のゲートが含まれており、これらを配線するわけである。

図12に、そのCADによるMIG (multilevel interconnection generator) システムを示す。まず、ウェハーは標準マスクを使用して第一層の配線工程終了まで量産しておく。このウェハーを自動測定機にかけてDCテストを行なう。その結果を良品セルと不良セルに分類して“セルマップ”と呼ぶ分布図が得られ、この良品セルの位置が計算機に記憶される。次にこれらの良品セルだけを連結して、要求された論理機能を構成するように、計算機に配線パターンを決定させ、その出力を高分解能のCRT (cathode ray tube) 上に表示させる。この画像でフィルムあるいは乾板を露光して、セル間の配線用マスクを作成する。

設計自動化システムの情報の流れを図13によっていま少しくわしく述べる。

目的とする論理機能は、たとえば論理ダイアグラムで与えられる。この情報をデータチェックプログラムおよび、マスターファイルアップディテイングプログラムによって処理し、必要な単位回路 (ゲート、F/F など) の数と種類を表現した回路データテープを作成する。

図12 TI社のMIGシステム

図13 TI社の設計自動化システムにおける情報の流れ

次に、回路データテープから必要な単位回路の数と種類 (例、80ゲート、28F/F) を得て、良品セルの浪費を最小にするようなスライスを、LSIアレイのために割り当てる。使用するスライスがきまったら、良品セルの位置と論理ダイアグラムとを選択配線用のレイアウトを決定するプログラムで処理する。この結果、配線可能であることが確認されたら、配線の情報を適当なフォーマットに翻訳してCRTシステムを制御する。これによりフィルムフォトマスクを作成する。このマスクは次の4種すなわち、①第2層配線前の絶縁層エッチングホール用、②第2層配線パターン用、③第3層配線前の絶縁層エッチングホール用、④第3層配線パターン用、である。

図13の出力は、(1)フォトマスク作成のためのMIGテープ、(2)最終テストのテープ、(3)技術者用リスト、(4)CALCOMPプロットの4つである。技術者用リス

図 14 LSI の配線用自動露光装置 (IBM)

トは論理ダイアグラム、セルの種類、位置などの設計情報、CALCOMP プロットはセルの位置を示す図面であって、LSI アレイが完成後不良となった場合の検出用資料である。

このように、CAD は TI 社の LSI 設計製造でも中核となっており、LSI をささえる必須の技術である。

(b) IBM の自動マスクング¹¹⁾

相互配線用自動システムの代表的なもので、図 14 に自動露光装置を示す。この場合も、マスクの設計は計算機が行ない、プログラム LAGER (layout generating routine) によってマスク作成に必要な機械語で表現された磁気テープを作るが、あらかじめ計算機の出力を X-Y レコーダーによって図形として描かせて検査を行ない誤りがなければ光テーブルを動作させてフォトレジストを塗布したウエハー上に配線パターンを描かせる。この露光装置は 1~2 mils² に細くしぼられたキセノンランプからの光ビームの下にウエハーをのせる X-Y テーブルがあり、その場合は磁気テープで制御されたステップモーターによって、X、Y 方向に動かすことができる。動作範囲は約 2 in²、繰返し精度は $\pm 20 \mu\text{in}$ 、絶対精度は $\pm 50 \mu\text{in}$ となっている。

(c) 電子ビームによる自動マスクング

電子ビームで衝撃すると分解や重合などが起こるのでこれを利用して、KPR、KMER などの有機感光材の重合、金属薄膜の形成、エッチングなどを行ない、しかも従来のフォトレジストによる方法よりも精度の高い選択配線マスク、エッチング用マスクが可能となり、注目されている。図 15 の系統図で構成され、ネガパターンを計算機より発生させ、電気信号に変えて電子ビームを交調し、ターンテーブルの位置ぎめを行なっている。

電子ビームの露光に際し相前後するマスクングの位置合わせが重要で、この位置合わせは電子ビームシステムをフライングスポット電子顕微鏡として、有機感光材の

図 15 電子ビームと電子計算機による自動蒸着装置

図 16

反応エネルギー以下にビームを絞り、ウエハー上を走査しウエハーからのバックスキャタリングによる反射ビーム検出によって、モニタリングしながら行なう (図 16 参照)。

(2) 固定配線方式 (fixed interconnection pattern)

(a) 標準スライス方式

メモリー、シフトレジスターなどの、できあいの標準回路が用いられるもので、LSI on chip 段階での少数の例外的存在といえよう。

(b) マイクロマトリックス方式¹²⁾

Fairchild の開発になる方式で、マスタースライスの考えに基づき、ゲート程度まで配線をあらかじめ施したウエハーを用意しておいて、これらゲート間の配線を注文に応じて作り、LSI を構成する。4500 アレイにおける DTL (diode transistor logic) の 4 ゲートから成るユニットセルの配置図を図 17 に示すが、約 2 mm × 3 mm のチップ内に 4 × 2 に配列している。さらに要点は、ユニットセル自体に “specializing bar” という考え方を導入して、融通性を上げている点にある。

図 18(a) の基本回路は、specializing bar S_1 によってインバータトランジスタのコレクタから負荷抵抗をはずし、他のゲートと接続することにより “Wired OR” 機能をとることができ、 S_2 によってファインを 20 まで

図 17 マイクロマトリックスにおける DTL のユニットセルの配列例 (Fairchild)

○ 端子
□ specialized bar bar

図 18 マイクロマトリックス方式におけるユニットセルの回路図

増すことができ、 S_3 によって AND ゲートをインバーターから切り放し、他のゲートと接続して AND-NOR 機能とすることができる。切り放された残りの部分は、他の論理部分に使用できる。配線パターンの製作には、基本回路を構成するために、必ず必要とされる回路素子接続パターンを原図をあらかじめ作成しておき、これと注文に応じて作った specializing bar および基本回路間の接続パターンの原図を重ねて写真にとり、配線マスクを作るという方法をとっている。このように、必ず必要な部分は、あらかじめ作っておくことにより、マスク製

造の迅速化と設計ミスの低減をはかっている。

以上、本方式の長所は、①電算機利用による安く速い納期、②ウエハー生産の標準化により確実に制御された再現性が得られることであり、(7)式でも述べたような

歩留りについて独自の評価をもっている結果である。また、LSI も高集積化に向かうほど、標準化、実際的には部分的な標準化が必要となるので、この意味で注目したい。

(c) 特定機能方式¹⁶⁾ (specific functional approach)

(i) building block 方式 本来、拡散の深さ、抵抗率などのプロセス条件、ならびにマスクパターンを、特定の機能の LSI に対して専用に設計、製作する方式で、設計段階に多くの時間と費用がかかるが、比較的システムが標準化しやすく、大量生産が可能な場合には有効な方法である。融通性はなくなるが、Si 面積の利用効率率は最大になる。よい例は Autonetics の digital differential analyzer の MOS IC で、 $2.54\text{mm} \times 3.3\text{mm}$ のチップに 28 ビットシフトレジスタ 2 個、アダー 7 個のインフレンメンタルアダー、モードコントロール回路などが含まれている。220 のゲートと 100 のフリップフロップを構成するために、770 個の MOS 素子が使用され、部品の実装密度は、 $60,000/\text{in}^2$ 、消費電力は 50mW である。表 4 にモノリシック LSI の各方式の比較をまとめてある。ただし、特定機能方式を中心にした立場に立っている。

表 4 モノリシック LSI の各方式の比較

方 式	選択配線	マスタースライス	特定機能
チップサイズ	大	中	小
融 通 性	高	"	低
性能(速度, 電力)	低	"	高
価 格	高	"	低

(ii) ポリセル (Polycell) 方式 (i) のように、特定機能に対する最適化に重点をおきつつ標準化を取り入れる努力をした方式が Motorola, RCA ならびに Philco Ford の “DECAL 法” などに見られる building block 方式である。すなわち、いくつかのユニットセルを標準化しておき、要求に従って必要なセルを組合せて、普通の方式で IC の製造を行ない、2 層配線以上を行なう。代表的な例として、CAD システムを中核とした Motorola のポリセル方式を説明する。概略は図 19 に示すように LSI の基本セル (ポリセル) に関する情報を、計算機のライブラリーとして記憶しておき、設計者が CRT ディスプレイを通して人間-機械の対話をするにより、これらの情報を有効に使うことを特徴としている。このポリセルの組合せで希望の LSI を構成するが、ゲート、フリップフロップ、アダー、レジスタなど、基本セルはあらかじめ最適設計がすんでいる。その意味では標準化できているが、ウェハー上の配置は標準化できないためマスタースライスの考え方があてはまらない。マスク設計の負担は計算機でカバーさせる。

すなわち、顧客から LSI アレイの仕様が与えられると

図 19 CAD システムを中心とした Motorola の LSI 製造方式

設計者は CAD システムにより適当なポリセルを選択する。仕様を満たす回路解析が終わった後、設計者はポリセルを CRT 上に描かせ、ライトペンとキーで合成、レイアウトの設計をする。このとき配線の決定は、計算機のプログラムで自動的に行なわれる。顧客の満足する最終設計が完了したら、計算機により自動製図、自動検査のためのデータを作成させ、フローチャートにしたがって LSI アレイを製造する。以上により、全くブレッドボードなどの試作が不必要である。16 bit content addressable memory などが試作された。RCA の Celluar 方式¹⁵⁾も、セル内の配線情報などをライブラリーとして計算機に記憶しておく方法がとられている。

2.3 ハイブリッド LSI

セラミックなどの基板上に膜技術を用いて配線と、あるいは受動素子を作成しておき、この配線基板上に適当な集積度を有する IC または LSI チップ複数個をマウントする形で LSI を構成し、集積度を増していく方式で、LSI on substrate と呼ばれる。モノリシック LSI と比較した場合は、

(1) あらかじめ検査して保証済みの IC チップのみで構成されるので、歩留りからの制約をそれほど受けない。

(2) 構成要素の選択に自由度があるので、設計の融通性が高い。npn, pnp の両トランジスタ、あるいは MOS トランジスタとの組合せなど、モノリシック LSI で作りにくい回路が製作可能。

(3) セラミック基板上の配線は信号遅延時間が短いので、高速論理および高周波用に適する。

(4) IC チップまでは標準性は良く、標準性の悪くなる配線基板は設計も簡単で、所要時間も少ないので、多種少量生産に適する。

(5) 実装密度の許容限界は、もちろんモノリシック LSI のほうが大きい。LSI チップを複数個マウントできるので、同一時点ではさらに大きな集積規模

の LSI が可能である。

という原理的な特徴をもっている。ただ、セラミック基板上の多層配線技術、チップの基板へのマウント技術が新しい技術であり、その真価を充分発揮するところまではいっていない現状である。可能性のある手法がいくつかあり、分類表にも示しておいた。以上、重複をさけ、簡単に新しいところのみにふれる。

講座第 3 回でも出ていた、①フリップチップによるフェースダウンボンディング方式(写真 3 参照)では、最近 Philco Ford が開発した Si 基板による“ウエハチップ”方式¹⁷⁾が注目を集めている。IC の配線を行なうのと同じ技術で Si 基板上に多層配線を施し、それに、IC または LSI チップをフェースダウンボンディングする(図 20 参照)。配線の密度は薄膜や厚膜の場合より高く全体として集積度が上がる。1,200 個の MOS トランジスタを含む 2.5mm 角のチップを 10 個、0.3in×0.6in の Si 基板上に取付け、全体として 2,000 ビットのシフトレジスタが試作された。さらに集積度を 10 倍にし 2,000 ビットのもの 10 チップから 20,000 ビットのシフトレジスタを構成している由である。

② ベル研究所が熱心に関係を進めているビームリード技術による方式では、RSI の旗印のもと、1,024 ビットのメモリー¹⁸⁾を試作した。これは熱酸化した Si ウエハを基板として、表面に金で配線しておき、この配線パターンに 64 個のビームリード IC チップを接続した構成である。

③ Autonetics などに関係した相補形 MOS トランジスタを用いた LSI¹⁹⁾に代表される SOS 方式は分離が

図 20 ウエハチップ方式

図 21 GE の STD 製造工程

写真 4 プラスチック構造 STD 方式のディケードカウンタ

よいので、高周波、高耐圧の装置をつくることが可能なおうえ、バッチ生産で経済的になるので、多くのところで応用研究が活発である。

④ プラスチック構成方式は、GE の開発で図 21 の工程から成る STD²⁰⁾ (semiconductor on thermoplastic on dielectric) 方式であり、相互接続は同一平面上ででき、熱圧着ボンディングなど不要で、ビームリードにも適するため注目されている。

アルミナまたはベリリヤのような絶縁基板上に、第 1 層の導体および抵抗を付着する。ついで(2)に示すように、層間連絡をする個所に台形状の導体を設ける。これにテフロン類似の透明なプラスチックを(3)のように全面付着するとともに、プラスチックを高温溶融し、(4)のように IC チップを押して溶融プラスチック内に埋込む。この場合、層間連絡用台形導体および IC チップの上面は、プラスチック表面に合わせる。最後に、第 2 層配線および抵抗を、(6)のように、表面に付着すれば、2 層構造の配線基板が完成するとともに、IC チップと配線基板間の電気接続をフェースアップの形で、なしうることになる。

テフロン系プラスチックは、非常に $\tan \delta$ の小さい高周波特性の良い誘電体として用いられ、層間絶縁層を第 1・第 2 導体で挟むことにより、良質のコンデンサを得ることができるし、また、この配線基板は、きわめて良質の信号伝送路ともなりうる。また、 $-200^{\circ}\text{C} \sim +180^{\circ}\text{C}$ と使用範囲が広く、透明のため、目視検査が可能となる利点がある。

写真 4 に実例を示す。黒い四角が IC チップ、灰色の線が第 1 層導体、白色の線が第 2 層導体、小さい四角が層間連絡用台形導体である。

3. む す び

以上、大規模集積化への動きを中心に、LSI の概論を

述べ、代表的方式を紹介してきた。紙数や前講座との重複をさけるため、製造技術の詳細、特に多層配線技術、ボンディング技術、LSI の試験などは省略したが、総括的に IC と比較して表 5 のみを示す。また、CAD の技術の確立が急がれているが、IEEE 特集号²³⁾²⁴⁾など文献も多いので、参照されたい。

MOS IC は、占有面積が小さく、プロセスが簡単で、消費電力が少なく、機能当りの価格も低いという基本的特長を生かして、LSI についてパイポーラ形に一步先がけて実用化時代が来るかと思われる(表 6)。現在、電子式卓上計算機など、高速化が必ずしも絶対条件でない分野に限られているが、相補形 MOS や 4 相クロック方式の活用で、中・高速システムへも伸びよう。反面、パイポーラ形は高速で信頼性が高いので、大形高性能計算機などに適している。

ところで、各種 LSI 方式を総覧すると、それぞれ特徴があり、今後の CAD や実装技術などの進歩で、その評価も一変する要素をもっているが、現時点で考えると、マイクロマトリックス方式、選択配線方式など、マスタースライスの考えに基づく方法は、少量の製品を短期間

表 5 LSI のための製造技術

		1966	1970
線 幅 (μ)	エ ミ ッ タ	5	2.5
	抵 抗	10	5
	配 線	10	5
相 互 配 線		1 層	多 層
マ ス ク	設 計	人 手 に よ る	計 算 機 活 用
	ア ー ト ワ ー ク	機 械 化	計 算 機 制 御
	フ ォ ト レ ジ ス ト	密 着 方 式	投 影 方 式
	露 光		
試 験		自 動	計 算 機 制 御
実 用 化 さ れ る 技 術		<i>n</i> pn バイポーラ μ -チャンネル MOS	<i>n</i> pn バイポーラ μ -チャンネル MOS 相補形 MOS 絶縁基板 ビームリード 絶縁層分離膜 光学的效果

表 6 1970 年までの MOS 技術予想

	1967	1968	1970
(1) 機能/ダイ面積 (90×90 mils)			
シフトレジスタ (ビット)	100	256	2000
ランダムアクセスメモリー (ビット)	32	64	256
汎用ロジック (ゲート)	40	100	300
(2) 消費電力/機能 (1MHzでの値)			
シフトレジスタ (μW/ビット)	600	100	20
ランダムアクセスメモリー (μW/ビット)	2000	1000	200
汎用ロジック (μW/ゲート)	500	100	20
(3) 動作速度			
シフトレジスタ (クロックレート MHz)	2	10	30
ランダムアクセスメモリー (サイクル時間 μs)	1	0.8	0.3
汎用ロジック (伝搬遅延時間 ns)	100	20	5
(4) 平均見積り価格/機能			
シフトレジスタ (ドル)	0.20	0.05	0.01
ランダムアクセスメモリー (ドル)	0.60	0.25	0.05
汎用ロジック (ドル)	0.50	0.20	0.10

に供給する場合、たとえば、システムモデルを試作する場合にも適しており、純粋な特定機能方式になるほど 1 個当りの設計費用より性能、良品率に経済的なウエートのある場合、すなわち 1 品種で多量の需要が期待できる製品に適している。一般的には、マイクロマトリックス方式や building block 方式は、現実的に有効な方式として魅力がある。ハイブリッド LSI は、モノリシック LSI 技術が確立するまでの過渡的役割を果たすかとも推測されていたが、本質的にモノリシック LSI の困難な、たとえば、高速論理回路、非標準回路およびリニア回路などに適している。

また、最近の大勢は、パイポーラ形で数百ゲートまでをモノリシックで集積し、それ以上の要求がある場合は、それを複数個マルチチップで集積し、総合の集積度を上げようという傾向も出てきている。技術的にもまだまだその発展は流動的で、意欲的な試みもなされており、注目すべきである。

真の LSI 時代は、米国で 1972 年から 1975 年ともみられている。わが国では、卓上計算機のみならず、民生用リニア分野の MSI, LSI が工業的に花々しい成果を上げる時点できまってくると考えられるが、ハイブリッド LSI もまた、どの方式が現実的發展をとげ、全 LSI に対してどの程度大きな比重を占めるまでに成長しているか楽しみである。本稿が LSI への手引きと関心を呼び起こす一助にもなれば望外の喜びである。

最後に、原稿の整理などに協力いただいた研究室各位に厚くお礼申し上げる。

【参 考 文 献】

- 1) Electronic News, Oct. 28 (1968) 48
- 2) Electronics, 41, 25, Dec. 9 (1968) 33
- 3) E. A. Sack, et al: IEEE, 52, 12 (1964)
- 4) Electronics, 42, 1, Jan. 6 (1969) 108
- 5) 田内: エレクトロニクスダイジェスト, No. 101 (1967.5)
- 6) B. T. Murphy: IEEE, 52, 12 (1964) 1537
- 7) R. B. Seeds: IEEE Conv. Rec., Mar. (1967) 498
- 8) R. L. Petritz: IEEE Trans., SC-2, 4, Dec. (1967) 130
- 9) J. W. Lathrop: Wescon, 10/3 (1966)
- 10) J. W. Lathrop, et al: IEEE, 55, 11 (1967)
- 11) P. W. Cook, et al: IEEE Trans., SC-2, 4, Dec. (1967) 190
- 12) Fairchild Semiconductor 4500 Micromatrix Array Design Handbook.
- 13) C. D. Philips, et al: IEEE Trans., SC-2, 4, Dec. (1967) 156
- 14) L. Hazlett: Electronics, Feb. 20 (1967) 166
- 15) M. V. D'Agostins: ISSCC, Feb. (1968) 40
- 16) O. R. Baker: IEEE Conv. Rec., Mar. (1967) 376
- 17) C. G. Thornton: ISSCC, Feb. (1968) 42
- 18) J. E. Iwersen, et al: IEEE Trans., SC-2, 4, Dec. (1967) 196
- 19) J. F. Allison, et al: ISSCC, Feb. (1967) 76
- 20) I. J. Suran, et al: ISSCC, Feb. (1968) 96
- 21) 「超小形電子回路」関係用語集, 日本電子工業振興協会 (昭 43.11)
- 22) J. Robertson: Electronics News, Oct. 7 (1968) 44
- 23) IEEE CAD 特集号, 55, 11, Nov. (1967)
- 24) G. J. Herskowitz: Computer-aided integrated circuit design, McGraw Hill (1968)