電界効果トランジスタを用いた走査 パルス発生 IC

日本電気株式会社 中央研究所 安藤隆男・石原保雄
赤星司

固体撮像装置に使用することを目的として、電界効果トランジスタ (MOST) のみで構成される走査パルス発生 IC を設計、試作した。この走査 IC の動作は MOST のゲートの静電容量を利用してパルス幅を延長するシフトレジスタの原理を応用したもので、この IC が 4MHz のクロック周波数まで動作することを確かめた。この結果、固体撮像装置の走査部として充分実用性をもつことを明らかにする。

1. ま え が き

撮像および表示デバイスを電子管方式から固体に移行させようとする、感光面および発光面の開発とともに“走査”という機能をいかなる手段で実現するかという点が大きな問題になる。

マトリックス状に配置した感光素子または発光素子を走査パルス発生回路と組合せて画像を走査することは、

古くから多くの人により提案されているが、当時としては十分な解像力を持たせうる走査パルス発生回路を実現することは非常に困難なことであった。しかし近年、シリコンを中心とした集積回路技術の発展は、1枚の半導体基板上に複雑な回路を構成することを可能にした。この結果、この思想のもとで撮像装置を固体化する試みが最近いくつか報告されている¹⁾²⁾。

この他に、機能装置的な考え方に基づいた走査装置も

いくつか提案されているが³⁾，現状では
 固体化技術に基づいて集積化した電子回
 路によるものが最も信頼性および実用性
 が高い。

筆者らは撮像 IC に使用することを目的として、集積化しやすいエンハンスメントモードの電界効果トランジスタ（以下 MOST という）を用い、そのゲート容量を利用してパルスを遅延するシフトレジスタ形式の走査パルス発生 IC を開発した。この IC の回路を図 1 に示す。この回路の動作の概要は次のとおりである。

まず、MOST-TR₁ のゲートにスタートパルスが加印されず、TR₂ がクロックパルス ϕ によりオン状態になっているときには、TR₁ のドレインおよび TR₂ のソースと TR₃ のゲートがほぼ電源電圧に充電されるので、TR₃ はオン状態となり、出力端子 V_1 には走査パルス電圧が発生しない。また TR₂ がオフ状態のと

図 1 走査パルス発生 IC の回路
図(a)と各パルスの時間関係
(b)

A schematic representation
of scan pulse generator.

"Scan Generator Using MOST Integrated Circuit" by Takao Ando, Yasuo Ishihara and Tsukasa Akahoshi (Central Research Laboratories, Nippon Electric Co., Ltd, Tokyo)

きにも TR₃ はゲートの浮遊容量とオフ状態にある TR₂ のコンダクタンスで定まる長い時定数によってオン状態を保持しているの、結局クロックパルスの有無にかかわらず、いずれの場合も走査パルスは現われない。

時刻 t_0 に TR₁ のゲートにスタートパルスが加えられ、クロックパルスの遅延部の TR₁ および TR₂ はともにオン状態となり、その中点の電圧 (TR₃ のゲート電圧に等しい) は低くなって、インバーター部の TR₃ がオフ状態となる。この状態はゲート回路の時定数によって1つのクロックパルス時間だけ遅延され、TR₄ のドレインにクロックパルス ϕ が印加されたとき、このパルスが負荷抵抗として働く TR₄ を通し出力端子 V_1 に走査パルスとして現われる。この走査パルスは、次段の遅延部の MOST-TR₅ に対してスタートパルスとして働くから、以後順次同様な動作が繰り返され、クロックパルス ϕ , $\bar{\phi}$ が $V_1, V_2, \dots$ の各出力端子に交互に走査パルスとして現われる。

試作した走査 IC は、集積化に適すると同時に 30 Hz から 4 MHz のクロックパルスで動作する。この結果、撮像 IC と組合せて通常のテレビ方式に準じた固体撮像装置に充分使用しうること確かめた。

2. 回路の動作条件

走査 IC はクロックパルスの遅延部とそのインバーター部からなる基本回路の多数段連続回路である。この回路が安定に動作するためには、特に次の条件を満足する必要がある。

- パルス遅延部の遅延時間がクロックパルスの周期に比較して充分長いこと。
- インバーター部からの出力 V_{on} , V_{off} は $|V_{off}| \gg |V_{on}|$ であること (ただし V_{on} , V_{off} は MOST-TR₃ がそれぞれオン、オフしたときの出力端の電圧を示す)。
- インバーター部からの V_{off} は次段のスタートパルス電圧となるので、 $|V_{off}| > |V_p|$ (MOST のピンチオフ電圧) であること。

これらの必要条件から走査 IC の回路定数を定めるにあたり、MOST は次の条件を満足するものとする。

〔仮定 1〕 オン時の MOST の立上り特性は直線近似ができる。

〔仮定 2〕 MOST のオフ抵抗 (ドレイン-基板間のリーク抵抗) は負荷抵抗に対して充分高く、無視できる。

〔仮定 3〕 次段または外部負荷の直流抵抗は充分高く無視できる。また MOST の出力特性は Hofstein, Sah の式にしたがって、次式で示されるものとす

図 2 インバーター回路の等価回路

An equivalent of MOST inverter.

る。

$$i_{ds} = \frac{\mu \epsilon \epsilon_0}{T_{ox}} \cdot \frac{W}{L} \left[(V_{gs} - V_p) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad (1)$$

ただし、 $(V_{gs} - V_p) > V_{ds}$

$$i_{ds} = \frac{1}{2} \cdot \frac{\mu \epsilon \epsilon_0}{T_{ox}} \cdot \frac{W}{L} (V_{gs} - V_p)^2 \quad (2)$$

ただし、 $(V_{gs} - V_p) \leq V_{ds}$

ここで、 i_{ds} はドレイン電流、 μ はキャリア移動度、 ϵ は SiO₂ 膜の誘電率、 T_{ox} はゲートの SiO₂ 膜の厚さ、 W はチャネル幅、 L はチャネル長、 V_{ds} はドレイン・ソース間電圧、 V_{gs} はゲート・ソース間電位、 V_p はピンチオフ電圧。

インバーター部の等価回路は図 2 のように書けるのでその出力電圧 V_{off} と V_{on} は次式で表わされる⁵⁾。

$$V_{off} = V_c - V_d = V_{gg} - V_p \quad (3)$$

$$V_{on} = V_{off} \cdot \frac{r_i}{r_i'} \quad (4)$$

ただし、 V_d は MOST を負荷にすることによって生ずるオフセット電圧で $V_d = V_c - (V_{gg} - V_p)$ である。 V_{gg} は負荷抵抗用 MOST のゲートバイアス電圧、 r_i は MOST-TR₃ の立上り内部抵抗であるから、

$$r_i = \frac{T_{ox}}{\mu \epsilon V_p} \cdot \frac{L}{W} \cdot \frac{1}{\{(V_{gs}/V_p) - 1\}} \quad (5)$$

r_i' は抵抗接続された MOST-TR₄ の等価抵抗値で、本来 2 次曲線になるが、

$$r_i' = V_{ds} |i_{ds}=0| / i_{ds} |V_{ds}=0$$

で近似すると、

$$r_i' = \frac{2 T_{ox}}{\mu \epsilon V_p} \cdot \frac{L'}{W'} \cdot \frac{1}{\{(V_{gg}/V_p) - 1\}} \quad (6)$$

L' , W' は負荷 MOST-TR₂ のチャネル長およびチャネル幅である。したがって、 V_{on} は次式で書きなおされる。

$$V_{on} = \frac{1}{2} \cdot \frac{(L'/W') \cdot (V_{gg}/V_p) - 1}{(L'/W) \cdot (V_{gs}/V_p) - 1} (V_{gg} - V_p) \quad (7)$$

この回路は $|V_{off} - V_p| > 0$, $|V_p - V_{on}| > 0$ であれば使用できるが、走査される素子がアナログ素子でもありうるので (b) の条件が必要になる。したがって、(3) 式と (7)

図3 走査パルス立上り時のインバーター部の等価回路
An equivalent circuit of inverter, where transient time alone which scanning pulse is built-up is taken into account.

式から、この条件を満たすためには、次の条件が満たされる必要がある。

$$\left(\frac{L}{L'}\right) \cdot \left(\frac{W'}{W}\right) \ll 1 \quad (8)$$

すなわち、MOST-TR3 と TR4 の相互変換コンダクタンス g_m を $g_{m3}/g_{m4} \gg 1$ なるように設計する必要がある。

また、(3)式の条件を満足するためには、

$$|V_{off}| > |V_p| \quad (9)$$

が成立するように、 V_{off} および V_p を選ぶ必要がある。

次に走査パルス回路の動作速度について検討する。最高速度は走査パルスの立上り時間によって定まる。

インバーター部の TR3 がオフになると TR3 のドレイン・ソース間の抵抗は少なくとも $10^{10} \sim 10^{11} \Omega$ 以上であるからこれを無視すると、インバーター部は図3の等価回路に書ける。C は TR3 のドレイン電極と、次段の MOST のゲート電極のもつ静電容量の和である。回路を流れる電流は MOST-TR4 を流れる電流であるから、(2)式から次式で与えられる。

$$i_d = \frac{1}{2} \cdot \frac{\mu \epsilon \epsilon_0}{T_{ox}} \cdot \frac{W}{L} (V_c - V_p - V_0)^2 \quad (10)$$

ここで、 V_c はクロックパルス電圧である。したがって等価回路から V_0 を求めるための微分方程式は、

$$C \frac{dV_0}{dt} = i_d = \frac{\beta}{2} (V_c - V_p - V_0)^2 \quad (11)$$

ただし、 $\beta = (\mu \epsilon \epsilon_0 / T_{ox}) (W/L)$

V_c は正確には時間の関数である。これを $V_c = V_c(t)$ とおき(11)式を書きなおすと、

$$\frac{dV_0}{dt} - \frac{\beta}{2C} [V_0^2 - 2\{V_c(t) - V_p\} V_0 + \{V_c(t) - V_p\}^2] = 0 \quad (12)$$

この式は一般的な形ではなかなか解けないが、 V_c を理想的なパルス電圧と仮定してステップ関数で表わすと、 V_c は境界条件を考慮するのみでよくなる。この(12)式を、

$$dt = \frac{2C}{\beta} \cdot \frac{dV_0}{(V_c - V_p - V_0)^2} \quad (13)$$

図4 スタートパルスが除かれ、クロックパルス振幅が零 (TR1, TR2 とともにオフ) のときのパルス遅延部の等価回路

An equivalent circuit of pulse delay section when start pulse is removed.

と変形して時間に関して解くと、次式が得られる。

$$t = \frac{2C}{\beta} \left[\frac{1}{(V_c - V_p - V_0)} - \frac{1}{(V_c - V_p)} \right] \quad (14)$$

立上り時間として V_0 が $V_c - V_p$ の 90% になる時間と定義すると、(14)式から立上りに要する時間は次式で与えられる。

$$T_{(turn\ on)} = \frac{2C}{\beta} \cdot \frac{9}{(V_c - V_p)} \quad (15)$$

この関係から最高動作周波数に関する設計ができる。

動作速度の下限は、(a)の条件である走査パルスが発生しない段のパルス遅延部の遅延時間による。オフ時の MOST-TR1 と TR2 の等価抵抗を r_1, r_2 とすると図4の遅延部の等価回路から、TR3 のゲート電圧 V_g の変化は次式にしたがう。

$$C \frac{dV_g}{dt} = \frac{E - V_g}{r_1} - \frac{V_g}{r_2} \quad (16)$$

$$\therefore \frac{dV_g}{dt} = \frac{r_2 E - (r_2 + r_1) V_g}{C r_1 r_2}$$

$r_1 = r_2 = r$ と仮定すれば、

$$\frac{dV_g}{dt} = \frac{E}{Cr} - \frac{2V_g}{Cr} \quad (17)$$

(17)式を V_g について解くと次の式を得る。

$$V_g = \frac{E}{2} (1 - e^{-(2t/Cr)}) \quad (18)$$

V_g が V_p を超えると TR3 をオンにするから非走査期間に大きな電圧が発生する。したがって、動作周波数の下限をきめる最大の遅延時間は $V_g = V_p$ となる時間を求めその値を ΔT とおけば、次式で与えられる。

$$\Delta T = \frac{Cr}{2} \ln \left[\frac{E}{E - 2V_p} \right] \quad (19)$$

r の値は少なくとも $10^{10} \sim 10^{11} \Omega$ 以上であるから、 ΔT として必要な最低必要周波数の走査パルス幅を代入すれば TR1 の出力容量 (TR3 の等価ゲート容量とも等しい) の最小値を求めることができる。(19)式を用いて、走査パルスの最低周波数を 1kHz, TR2 のドレインに 10V 加えたときのリーク電流を 1nA, $V_p = 4V$ とし、必要

表 1 設 計 値
Value of design parameters.

MOST (TR ₁ ~TR ₃)	$L=8\mu, W=300\mu$
MOST (TR ₄)	$L=25\mu, W=90\mu$
$T_{ox} (C_{ox})$	$=2000\text{\AA} (\approx 0.5\text{pF}), (\text{実測値 } 1.8\text{pF})^*$
$ V_p $	$=3\sim 4\text{V}$
$C_{\geq 0.13\text{pF}}$	

* ボンディング端子等の容量を含む

な遅延時間を得るのに最低限必要な C の値を計算すると、 $C \approx 0.125\text{pF}$ となる。この値は通常の MOST のゲートおよびドレイン等のストレイ容量で充分まかなえる値である。

以上の考察をもとに、われわれは少なくとも次の条件を満足するように走査 IC のパターンの設計を行なった。

動作周波数範囲	1kHz~4MHz
V_{off}/V_{on}	10
V_p	3~4V

選ばれた設計値を表 1 に示す。

3. 構造および製法

前章で導いた理論および設計値にもとづいて MOST の回路パターンを構成するのであるが、特に次の点に留意した。

- 撮像 IC との連結に都合の良いよう、出力端を一行に順序よく取出すと同時に、全体の小形化をはかるため MOST は縦長の棒状形式にした。
- MOST 製作の際の歩留りを考えて、10 段分をまとめて 1 つのペレットとした。
- 多数段走査をするときには、このペレットを連続する。そのために都合が良いように入力端をペレットの左右両側に設けた。

1 つのペレットに集積した 40 個の MOST の配置を写真 1 に示す。ペレットの大きさは、 $1.1\text{mm} \times 2.2\text{mm}$ である。基板には比抵抗 $6\Omega \cdot \text{cm}$ の n 形シリコンを用いた。

この回路に使用する MOST はゲート電圧に閾値をもつ必要がある。したがって、負極性の走査パルスの場合 p -チャネルエンハンスメントモード (p -ch E -mode) が、正極性の走査パルスの場合には、 n -チャネルエンハンスメントモード (n -ch E -mode) の MOST が使用される。 p -ch E -mode MOST は通常得やすいのでこれに関しては通常の MOST の IC に使用されるシリコンウエハーとその結晶面およびその製作工程にしたがった。 n -ch の MOST については次のような問題がある。すなわち一般にシリコンの表面に SiO_2 膜をつけた場合、シリコン表面が n 形化する傾向がある。この n 形化は SiO_2 膜中に正イオンが混入し、ゲートに印加する電圧

写真 1 走査パルス IC の拡大写真 (1 ペレット分)
An enlarged view of scan pulse generator.

が零の状態ですでに Si と SiO_2 の界面に反転層を生ずるに充分な電荷が存在するためと説明されている。このように、表面が n 形化すると、 E -mode になり得ず閾値特性を示さない。この現象に打勝って、閾値特性をもつ n -ch E -mode の MOST を得る方法として、従来いくつかの提案がある。すなわち

- n -ch D -mode MOST を熱処理する。
- D -mode のチャネル部に p^+ 拡散を行ない、すでに存在するチャネルを消滅させる。

われわれは (20) 式で示される p 形基板についてのピンチオフ電圧 V_p を定める要素を検討し、次のような工程および考慮をはかることによって、 n -ch E -mode 化を計画した。

$$\left. \begin{aligned} V_p - V_{FB} &= \phi_s + \sqrt{2\epsilon\epsilon_0 q N_A \phi_s / C_0} > 0 \\ V_{FB} &= \phi_{MS} - \frac{Q_{SS}}{C_0} - \frac{1}{C_0} \int_0^{x_0} \frac{x}{x_0} \rho(x) dx \end{aligned} \right\} \quad (20)$$

ここで、 ϕ_s は基板の表面電位、 N_A は基板のアクセプター濃度、 C_0 はゲート酸化膜容量、 ϕ_{MS} はゲート電極とシリコンとの仕事関数の差、 Q_{SS} はシリコンと酸化膜界面の表面単位密度、 $\rho(x)$ はゲート酸化膜中の位置 x の点の電荷、 x_0 は酸化膜の厚さである。したがって、 V_{FB} はシリコンとその酸化膜との界面で生ずるエネルギーの曲りを平らにするのに要する電圧で、flat band potential と呼ばれる。

- シリコン基板の p 形不純物濃度 N_A に関しては、表面が n 形化し難いように耐圧が許されうる限り高濃度の基板を用いる。
- ゲート酸化温度に関しては、不純物の再分布をなるべくさけるために高温酸化をほどこす。これはシリコンから酸化膜中へ不純物の混入する割合を減らし、酸化膜の電荷 $\rho(x)$ を減らす。
- 酸化膜形成後の処理として、wet N_2 中で 400°C の加熱処理をする。これは表面の単位密度 Q_{SS}

写真 2 n -ch E -mode MOST のドレイン電圧-ドレイン電流特性 (H : 2V/div, V : 1mA/div, ゲート電圧: 1V ステップ)

I_{DS} : V_{DS} characteristics for n -channel enhancement mode MOST.

を減らすのに有効であった。(b)および(c)はともに flat band potential V_{FB} を零電位に近づけ V_p を正の大きな値にするのに役立つ。

この方法によりゲート酸化膜厚が 2500 Å で $V_p = 4$ V の n -ch E -mode IC が得られた⁶⁾。写真 2 はこのようにして作った MOST のドレイン電流 (I_{DS}) 対ドレイン電圧 (V_{DS}) 曲線である。

4. 特 性

4.1 動作周波数範囲

p -ch E -mode MOST で作った 10 段の走査 IC の周波数特性を負荷容量をパラメータにして図 5 に示した。動作範囲はだいたい 30 Hz~4 MHz で、ほぼ初期の設計値が達成された。MOST の周波数限界は原理的にはチャネル部でのキャリアの移動度で定まるが、このように回路を構成した場合には、主として各段のインバータ部の出力容量と負荷抵抗用 MOST のインピーダンスで定まる時定数で制限される。

試作した走査 IC で得られた MOST の $g_m = 1.2$ mV

図 5 走査 IC の周波数特性

Dependency of output pulse voltage upon the clock frequency.

図 6 MOST- TR_3 のゲート回路の時定数と出力電圧の関係
Output voltage vs the time constant of the gate circuit in MOST- TR_3 .

クロックパルス電圧 $V_c = -10$ V, ピンチオフ電圧 $V_p = -3.5$ V から出力容量 $C = 10$ pF と仮定したときの走査パルスの立上り時間を計算してみると,

$$T_{(\text{turn on})} \approx 0.23 \mu\text{s}$$

の値が得られる。この値は図 5 で示した周波数範囲の高域限界を比較的良好に説明する。

一方、周波数範囲の下限は MOST- TR_3 のゲート回路の時定数で定まる。すなわち、2 章で述べた条件 (a) が、 TR_3 のゲートにおけるパルスの保持時間と同時に、走査パルスを発生するとき以外に常時出力端に現われるパルス電圧 V_{on} の振幅を小さな値に保つのに必要である。この模様を図 6 に説明した。

クロックパルスのパルス幅より TR_3 のゲート回路の時定数が短くなると、ゲート電圧がピンチオフ電圧以下になり TR_3 がオン状態になる。このときには出力端に擬似走査パルスが発生する。したがって回路は安定に動作しない。

試作した IC の MOST のゲート容量は約 1.8 pF, MOST- TR_1 のドレインの容量は 0.2 pF であるから、この値を (19) 式に代入して時定数を求めると、 $\Delta T = 1.6 \times 10^{-2}$ sec を得る。この値はクロック周波数 62 Hz に相当する。非走査期間のもれパルスの振幅 V_{on} を測定すると図 5 に示されるように、この周波数の近傍から急激に増大する。したがって、この原因は 2 章で述べた条件 (a) が満足されなくなったものと考えられる。しかし、この条件は各素子によりばらつきがあるので、100 Hz 以下では走査 IC の動作が不安定になりやすい。

この周波数範囲から考えて、試作した走査 IC は約 10 pF 以下の負荷容量の場合、通常のテレビ方式で使用

図 7 走査パルス振幅 (V_{out}) とクロック電圧 (V_c) の関係

Amplitude of output voltage vs clock pulse voltage.

する撮像装置の走査パルス発生器として充分使える。

4.2 走査パルス振幅のクロックパルス電圧による変化

必要な走査パルスの振幅を取出すのに必要なクロックパルス電圧を知るとは、走査 IC の設計および応用に際して重要である。

MOST を負荷とするインバーター回路の出力電圧 V_{out} と、電源電圧 V_c との関係は、負荷 MOST のピンチオフ電圧を V_p とすれば、スイッチ MOST がオフ状態の場合には、図 7 に示す等価回路から、次式で与えられる⁷⁾。

$$\begin{aligned} V_c - V_p &= V_{out} + \Delta V_p \\ &= V_{out} \pm k_1 \{ \sqrt{(\phi_s + V_{out})} - \sqrt{-\phi_s} \} \end{aligned} \quad (21)$$

ただし、 $k_1 = (t_{ox}/\epsilon_{ox}) \cdot \sqrt{2q\epsilon_s N}$ で符号は p -ch に対しては (+)、 n -ch の場合には (-) をとる。 ϕ_s は Si-SiO₂ 界面の Si の表面電位、 N は基板の不純物濃度である。また ΔV_p は MOST がソースフォロウとして使用され、ソースが基板に対し逆方向にバイアスされたために生ずるピンチオフ電圧の補正項である。

(21) 式に $V_p = 5V$ 、 $t_{ox} \approx 1500 \text{ \AA}$ の値を代入して、 $k_1 = 0, 0.5, 1$ および 1.75 の場合について V_{out} を計算した結果を図 7 に実線で示す。これから、 k_1 が大きくなるほど、つまり基板の比抵抗が下るほど、同じクロック電圧でも出力電圧が低下することがわかる。図中点線で示したのがわれわれの試作した IC によるクロック電圧 V_c と出力電圧パルスの振幅 V_{out} との関係で、 V_{off}

はスイッチ MOST がオフ状態のときの出力電圧を、 V_{on} はオン状態のときの出力を示す。使用した基板の比抵抗が $6 \Omega \cdot \text{cm}$ であることを考えると、 V_{off} の値は理論曲線と一致しないが、変化の傾向はほぼ一致している。

V_{on} は不必要な出力電圧で、固体撮像装置などの応用にあたっては、映像信号の SN 比低下の大きな原因となる。したがって、 V_{off}/V_{on} の比が大きな範囲で使用する必要がある。クロック電圧が $-25V$ を越せば V_{on} はほとんど変化しないが、逆に $-22V$ 以下では V_{on} が増大してくる。

この理由は、クロックパルスの減少につれて MOST-TR₂ のインピーダンスが増し、TR₂ のゲートに加わる電圧が小さくなりピンチオフ電圧に近づき、この結果 MOST-TR₃ のインピーダンスが大きくなって V_{on} がしだいに増大してくるためである。この走査 IC ではクロック電圧が $-17V$ 以下に下ると走査パルスが規則正しく出なくなり、正常な動作をしない。

4.3 スタートパルスとクロックパルスの位相関係

連続した走査パルスを次々と規則正しく出すためにはクロックパルスとスタートパルスの間に適当な位相関係が保たなければならない。

回路の動作条件から考えてスタートパルスが MOST-TR₂ のゲートに加わるクロックパルス ϕ よりも先に零電位に下がってしまえば、MOST-TR₃ のゲート電圧がただちに電源電圧 $-E$ に充電されるため、パルスの遅延が起こらず走査パルスが発生しないことは常識的に予想される。しかし実際には、スタートパルスおよびクロックパルスともに厳密には方形波ではなく、いくらかの立下り時間を持つ。さらに回路自身もある時定数をもつので、この位相関係は、それほどクリティカルではなくなる。

試作した回路につき、①スタートパルスとクロックパルスの立下り時間を同じにして、相対的な位相関係のみを変えた場合、②スタートパルスの立下り時間は 50 ns 一定とし、クロックパルスの立下り時間をパラメーターとして相互の位相関係を変えて、動作領域と不動作領域との関係を調べた結果を図 8 (a) (b) に示す。安定な動作領域から不動作領域への移行は、走査パルスの振幅が次第に小さくなってゆくだけで、突然不安定になることはなかった。

これらの結果から、回路を高速度動作させようとするほど、2つのパルスの位相関係は厳密に押える必要がある。さらに 2 段目以降は各走査パルスがそれぞれ次段のスタートパルスとして働くので、クロックパルスの立下りは走査の立下りよりは少なくとも充分小さくすることが回路を安定に動作させるための必要条件である。実際

図 8 クロックパルスとスタートパルスの位相関係と出力電圧

(a) スタートパルスとクロックパルスの立下り時間を同じにした場合、(b) クロックパルスの立下り時間のみを変えた場合

Dependence of the output voltage up on the relative phase between the clock pulse and start pulse.

に要求されるクロックパルスの立下り時間は、走査パルスのそれが 100ns 程度であるから、だいたい 50 ns 以下の値が必要である。

4.4 パルスの立上りおよび立下り時間

図 9 に試作した回路で得られた走査パルスの立上りおよび立下り時間(それぞれ振幅の 0~90% に要する時間)を示す。立上りは 10M Ω 、7.5pF の負荷で、通常使用されるクロック電圧 -25~-30V で約 1 μ s、立下りは約 100ns である。立上り時間が特に悪いのは、インバーター回路の負荷 MOST-TR₄ のインピーダンスが高くこのインピーダンスと出力線の浮遊容量および負荷容量できまる時定数が大きいことによる。この立上り時間がこの回路の高周波限界を決定する。写真 3 はクロック周波数 100kHz で動かした 10 段分の走査パルスの波形を示す。

4.5 負荷特性

この走査 IC では、負荷電流を増すと走査パルス電圧が急激に低下する。図 10 はこの抵抗負荷特性である。

図 9 走査パルスの立上り、立下り特性

Rise time and fall time of the scanning pulses.

写真 3 走査パルス波形 (クロック周波数: 100kHz, 負荷: 10M Ω , 7.5pF)

Pulses form obtained by scan pulse generator.

図 10 負荷特性

Load characteristics of scan generator.

この原因は負荷 MOST-TR₄ のインピーダンスが大きいためで、そのうえこの回路方式では図 7 に示したように①ゲートのピンチオフ電圧分の損失、②ソースのバイアス効果による電圧の損失の 2 点から、負荷 MOST の電

圧降下が大きく、クロックパルス電圧を走査パルスとして充分利用できない欠点がある。この欠点を除くには、(21)式から使用する基板の比抵抗を上げ k_1 の値を小さくするののひとつの方法であるが、本質的な改善には次の2つの手段のいずれかを採用することが必要である。

- (a) p -ch MOST の場合には MOST-TR₄ を n 形化し、デプレッション化する。
- (b) MOST-TR₄ のゲート・ドレインを分離して、ゲートに直流バイアスを加え、MOST-TR₄ の内部抵抗を下げる。

以上のような特性をもつ走査 IC は、等価的に各端子間をパルス電圧が等速で伝搬すると見なすことができるので、固体撮像装置の走査部としてばかりでなく、走査 IC の端子に適当な負荷を接続し、各負荷になんらかの信号、たとえば電圧、光、圧力、温度などを与えておくと、パルスが通過するたびに、これらの信号にもとづく電気的変化を次々に拾い上げて共通の出力線から送り出して行く。したがって、空間的に分布している信号を時間系列に変換することが原理的に可能である。

この回路はリング状にして用いることもできるので、信号の周期的なサンプリングや記憶装置中の情報の読出しにも利用することができる。

5. む す び

IC 技術を用いた走査 IC を設計、試作し、その特性を調べた。その結果、次の点が明確になった。

(1) MOST のゲート電極に付随するストレー容量を利用して、パルス幅を延長することにより p -ch E mode (n -ch E -mode) MOST のみによる負極性(正極性)走査パルス発生 IC が実現できる。

(2) 走査 IC の動作周波数範囲は、だいたい 30 Hz ~ 4 MHz で、この値は MOST のゲート容量およびインバーター部の時定数から定まる。

(3) 試作した走査 IC は、通常のテレビ方式(同一フレーム周波数)を使う固体撮像装置の走査パルス発生器として充分に実用化できる。

この形式の走査 IC は MOST のみを使用するため、集積化が容易であるうえ、製作上の歩留りも高い。また性能面では、クロックパルスの繰返しを変えることにより、走査速度を大幅に変えることができ、さらに走査速度および走査間隔を常に確実に保つことが容易であるから、特にディジタルな走査を必要とする装置または回路にも有用である。

試作した走査 IC は、1 段あたり約 5 mW の電力を消費するので、多数段を縦続するにつれて消費電力が増大する。その他、原理的には段数を制限するものはないが、非常に多くの段数を縦続する場合には、対応する負荷(たとえば固体撮像 IC)との間に 1 対 1 での接続を必要とするために実際上の限界はあるであろう。しかしこれは製造技術面とのかね合いになるので、その限界数を一義的に定めるのは困難である。このような意味から空間的に連続な負荷を、しかもアナログに走査する必要のある分野には、機能素子的な走査装置が望まれる。

本研究の遂行にあたり、ご指導、ご激励をいただいている植之原中研所長代理、村上電子デバイス研究部長、内田同部長代理に感謝します。また、IC の試作にあたり様々の援助をいただいた集積回路事業部の方々にも感謝いたします。

(昭和 45 年 4 月 14 日受付)

〔参 考 文 献〕

- 1) M. A. Schuster and G. Strull: A Monolithic Mosaic of Photon Sensors for Solid-State Image Applications, IEEE Trans., ED-13, 12 (1966) 907
- 2) G. P. Weckler and R. H. Dyck: Integrated Arrays of Silicon Photodetectors for Image Sensing, WESCON, Tech. Program (Sept. 1967)
- 3) たとえば, B. W. Hakki: Solid State Acoustoelectric Light Scanner, Appl. Phys. Letters, 11, 5, Sept. 1 (1967) 153
- 4) 谷, 大久保, 安藤, 川路, 白石: 集積化走査パルス発生回路, テレビ全大予, 7-10 (1967)
- 5) 久保, 大野: MOS トランジスタ論理スイッチとその集積化について, 信学誌, 49, 4 (1966) 697
- 6) 谷, 大久保, 安藤, 川路: N-チャンネル・エンハンスメントモード MOS 形 IC—走査パルス発生器, 昭 43 年電気四学会連大予 1722
- 7) R. H. Crawford: MOSFET in Circuit Design—Metal-oxide-Semiconductor Field-Effect Transistors for Discrete and Integrated-Circuit Technology, McGraw-Hill Book Co. (1967), p. 92