FET とそのテレビチューナーへの応用

東京芝浦電気株式会社 松 井 孚 夫

テレビチューナーが半導体化されて久しいが、過去の受信管式にくらべ唯一の問題点と見られ、その解決が強く望まれていた混変調特性も MOS FET の採用により大幅に改善されつつある。本文ではテレビチューナーに広く用いられ始めて来た MOS FET とその特性につき解説するとともに、その将来展望につき若干の紙面をさいた。

1. ま え が き

近年、カラーテレビ受像機がオ尔特ランジスタ化され、さらに IC 化されるとともに、その一部であるチューナーもまた固体化されたが、これに伴い、強電界地域における混変調特性が特に重要な問題となった。

このため、混変調特性の良好な電界効果トランジスタ (FET) を VHF チューナーの高周波増幅段 (RF) に使用することが試みられたが、FET の使用には、混変調以外の問題 (たとえば AGC 特性等) が存在し、いままです量産セットに組込まれることはなかった。

しかしながら RCA によって、帰還容量の小さい、したがって AGC 特性の良好なデュアルゲート MOS FET が開発され、さらにその FET のゲート・ソース間に静電圧を吸収する保護ダイオードを組込んだ FET ができるにおよんで、VHF チューナーの RF 段に本格的に使用されるようになった。

ここでは、現在 VHF チューナー RF 段に広く使用されるようになった、デュアルゲート MOS FET の特性およびチューナー全般への応用に重点を置いて解説する。

2. MOS FET の原理および構造

2.1 シングルゲート MOS FET

デュアルゲート MOS FET の原理および構造の説明の前に、シングルゲート MOS FET について説明する。

通常 MOS FET は、軽くドーピングされた比較的厚い単結晶 Si の基体上に図 1 に示すような構造に作られる。基体とゲート電極との間の絶縁膜は、一般には、シリコン酸化膜 (SiO_2) でできている。ソース (S) 電極とドレ

図 1 シングルゲート MOS FET

イン (D) 電極は、基体と極性が逆になるように強くドーピングされている。これらは通常は拡散によって作られる。

MOS FET には、p チャンネル FET と、n チャンネル FET の2つの型があるが、Si の場合、電子の易動度 μ_e が正孔の易動度 μ_h より約3倍大きいので、高周波用 FET としては、n チャンネル FET がほとんどで、したがって、以後の説明は n チャンネル FET についてのみにする。

ソース電極と基体間およびドレイン電極と基体間は、pn 接合のダイオードを構成するが、通常の動作時は、ソース電極は素子内部にて基体と電気的に短絡しており、またドレイン電極と基体間ダイオードは、逆バイアス状態となるようにドレイン電圧 (V_D) が印加されている。

次にゲート電圧 (V_G) を負電圧より正電圧に向かって印加した場合について考える。この場合、まず最初にゲート直下の p 型基体より正孔が追出され、この部分に空乏層が発生する。この空乏層は電圧 (V_G) を上昇させるに従ってある程度まで広がるが、さらに V_G を上げて、もはやそれ以上広がらず、そのかわり非常に薄い (約 $10^2 \text{ \AA}$) チャンネルと呼ばれる電子層が誘起される (図 2 参照)。この電子層 (逆転層) によってソース (S) ドレイン (D) 間が導通状態となり、ドレイン電流 (I_D) が流れ始める。この I_D は、ゲート・ソース間電圧 (V_{GS})

"FET and Its Applications for Television Tuner" by Takao Matsui (Tokyo Shibaura Electric Co., Ltd., Kawasaki)

図 2 シングルゲート MOS FET 動作時の断面図

によって制御される。ドレイン電流 (I_D) の、ドレイン電圧 (V_D) およびゲート電圧 (V_G) との関係は次式で示される²⁾。

$$I_D = \frac{C\mu_n}{2L^2} [2V_D(V_G - V_T) - V_D^2] \quad (1)$$

ただし $V_G - V_T > V_D$ の場合。

$$I_D = I_{D(\text{SAT})} = \frac{C\mu_n}{2L^2} (V_G - V_T)^2 \quad (2)$$

ただし $V_G - V_T \leq V_D$ の場合。

ここに C : ゲート・チャンネル間容量

μ_n : 電子の移動度

L : チャンネル長

V_T : 閾電圧であり、チャンネルに電子が誘起し始めるゲート電圧、言い換えれば I_D が 0 となるゲート電圧。

次に伝達コンダクタンス g_{m0} は、

$$g_{m0} = \frac{\partial I_D}{\partial V_G} = \frac{C\mu_n}{L^2} V_D \quad (3)$$

ただし $V_G - V_T > V_D$ の場合。

$$g_{m0(\text{SAT})} = \frac{\partial I_{D(\text{SAT})}}{\partial V_G} = \frac{C\mu_n}{L^2} (V_G - V_T) \quad (4)$$

ただし $V_G - V_T \leq V_D$ の場合。

(1)式では、 I_D は V_G の 1 次関数、また (2)式では $I_{D(\text{SAT})}$ は V_G の 2 次関数になる。これより MOS FET は良好な混変調特性を持つことが予想される。

(3)式、(4)式より、 g_{m0} を大きくするにはバイアス条件として、① ドレイン電圧 $V_D \geq V_G - V_T$ であること、② V_G はできるだけ大きくすることが必要である。しかしながら、 V_G を大きくすることは、 I_D の増大、したがって消費電力 (P_d) の増大となる。

高周波における素子自体の性能は、簡単には古典的な性能指数 (ω_0) を用いて (4)式より、

$$\omega_0 = \frac{g_{m0(\text{SAT})}}{C} = \frac{\mu_n(V_G - V_T)}{L^2} \quad (5)$$

これより高周波用 FET は、チャンネル長 L をできるだけ小さくすべきで、また使用方法としては、ゲート電圧を充分大きくすべきである。

FET に AGC を掛ける方法は、バイポーラトランジスタと同様 2通りある。ひとつは電流を減らす逆方向

図 3 デュアルゲート MOS FET

AGC であり、実際にはゲート電圧を下げることで行なわれる。他はドレイン電圧を下げる順方向 AGC である。 g_m の下がり方は (3) 式、(4) 式より示されるが、逆方向 AGC では FET 特性が $V_G \leq V_T$ にて $g_{m0} = 0$ となり、 g_{m0} の変化が急な、いわゆるシャープカットオフ特性となる。したがって、このバイアス点の混変調特性は著しく悪い。これに対し順方向 AGC は、 g_{m0} が V_G にまったく関係がなく、良好な混変調特性が得られる。しかしながら、ドレイン電圧が下るとドレイン・ソース間容量が大きく増加し、同調点がずれるだけでなく、AGC 範囲が充分得られないことになる。この問題を解決するひとつの方法として、デュアルゲート MOS FET が考えられた。

2.2 デュアルゲート MOS FET

図 3 にデュアルゲート MOS FET の構造図を示す。図 1 のシングルゲート MOS FET と比較すると、ゲートが 2 つある他、両ゲート間に島と呼ばれる n^+ 領域がある。この領域は外部電極と接続されていない。

このデュアルゲート MOS FET は、シングルゲート MOS FET を 2 つ縦続接続したものと考えることができる。すなわち、島をドレインとし、ゲート 1 をゲートとするシングルゲート MOS FET と、同じ島をソースとし、ゲート 2 をゲートとするシングルゲート MOS FET とに分けられる。この接続にて、入力信号をゲート 1 (G_1) に印加し、ゲート 2 (G_2) を交流的に接地すれば、初段ソース接地、次段ゲート接地の、いわゆるカスコード接地となる。したがって、デュアルゲート FET の解析は、簡単にはシングルゲート MOS FET のカスコード接地を考えることによってすすめられる。

さらに解析を簡単にするため、両シングルゲート MOS FET は同一特性を持つものとする。いま、初段ソース接地 FET のゲート電圧を V_{G1} 、次段ゲート接地 FET のゲート電圧を V_{G2} とし、初段のドレイン電圧 (これはまた次段のソース電圧となるのであるが) を V_{D1} とし、両 FET のドレイン電流を I_{D1} 、 I_{D2} とすると、電流は同値であるから、

$$I_{D1} = I_{D2} = I_D \quad (6)$$

ドレイン電圧 (V_D) が充分大きい場合、次段の FET は飽和領域に入っているから、(2) 式の V_G を $V_{G2} -$

V_{D1} と置きかえて,

$$I_D = I_{D2} = \frac{C\mu_n}{2L^2}(V_{G2} - V_{D1} - V_T)^2 \quad (7)$$

$V_{G1} - V_T > V_{D1}$ の場合, (1) 式の V_D を V_{D1} に, また V_G を V_{G1} と置きかえて,

$$I_D = I_{D1} = \frac{C\mu_n}{2L^2}(2V_{D1}(V_{G1} - V_T) - V_{D1}^2) \quad (8)$$

この場合, (6), (7), (8) 式より V_{D1} を消去して,

$$I_D = \frac{C\mu_n}{8L^2} \{ V_{G2} - V_{G1} + \{(V_{G1} + V_{G2} - 2V_T)^2 - 2(V_{G1} - V_T)^2\}^{1/2} \}^2 \quad (9)$$

また, (9) 式を V_{G1} にて微分することにより, g_{m0} は,

$$g_{m0} = \frac{C\mu_n}{4L^2} \{ V_{G2} - V_{G1} + \{(V_{G1} + V_{G2} - 2V_T)^2 - 2(V_{G2} - V_T)^2\}^{1/2} \} \{ -1 + \{(V_{G1} + V_{G2} - 2V_T)^2 - 2(V_{G2} - V_T)^2\}^{-1/2} (V_{G1} + V_{G2} - 2V_T) \} \} \quad (10)$$

次に $V_{G1} - V_T < V_{D1}$ の場合は, (2) 式の V_G を V_{G1} と置きかえて,

$$I_D = I_{D1} = \frac{C\mu_n}{2L^2}(V_{G1} - V_T)^2 \quad (11)$$

(11) 式を V_{G1} にて微分して, $g_{m0(\text{SAT})}$ は,

$$g_{m0(\text{SAT})} = \frac{C\mu_n}{L^2}(V_{G1} - V_T) \quad (12)$$

この場合, 初段 FET の特性が全体の特性を定めることになる。

次にデュアルゲート MOS FET の特長として, 帰還容量 (C_{rs}) の小さいこと, ならびに出力抵抗 (r_{out}) の高いことがあげられる³⁾. これはカスコード接地の特長であって, 次段ゲート接地 FET の電圧増幅率を μ_2 とすると, デュアルゲート MOS FET のゲート 1・ドレイン間の帰還容量 (C_{rs}) および出力抵抗 (r_{out}) と, ゲート 1・島間の帰還容量 (C_{rs1}) および出力抵抗 (r_{out1}) との関係は次式のようになる。

$$C_{rs} = C_{rs1}/\mu_2 \quad (13)$$

$$r_{out} = r_{out1}/\mu_2 \quad (14)$$

(13) 式より, デュアルゲート MOS FET の帰還容量は, シングルゲート FET の帰還容量の $1/\mu_2$ 倍だけ小さいことを意味する。これとリード配置とによって, 通常 C_{rs} として 0.02 pF が得られる。このごく小さな帰還容量のため, デュアルゲート MOS FET は中和なし増幅回路でも安定に動作し, ミラー効果も小さく, さらに AGC 範囲も大きくとれるようになった。

2.3 保護ダイオード

MOS FET は, ゲート電極下の酸化膜の厚さが 500

図 4 ゲート保護ダイオード

写真 1 デュアルゲート MOS FET のチップ

~1000 Å と薄いため, 数十 V の電圧によって簡単に破壊してしまう。このような破壊電圧発生の原因のひとつは, 人体容量あるいは他のプラスチック等の摩擦によって発生した静電荷によるものであり, 他は, アンテナからの誘導落雷あるいは B 電源ライン等を通じて来る CRT 管内スパークによる外来サージ電圧である。このため, 現在テレビ受像機に使用される FET には, ゲート・ソース間に図 4 に示す 2 個のツェナーダイオードを相互に逆接続した保護回路が組込まれている。この保護ダイオードは, 耐スパーク強度, パルス応答速度の他に, 高周波損失 (特に雑音指数に影響を与える), AGC 印加電圧範囲等に考慮がなされている。

市販の FET の大部分は, この保護ダイオードと FET 本体を同一チップ内に組込み, これによって工程の簡略化, チップサイズの縮小, ペレット時の破壊防止, さらにボンディングミスの減少による歩留り向上をはかっている。

写真 1 にデュアルゲート MOS FET のチップの例を示す。保護ダイオードは, ゲート 1, ゲート 2 のリード取出し電極の下につくられている。

3. デュアルゲート MOS FET の高周波特性および最適バイアス条件

VHF チューナーの RF 段に要求される特性は,

- (1) 電力利得: 帯域幅 8 MHz にて 15 dB 以上
- (2) 雑音指数: 5 dB 以下

図 5 ドレイン・ソース間電圧に対する Y パラメーター特性

図 6 ゲート 2・ソース間電圧に対する Y パラメーター特性

- (3) AGC 範囲: 40 dB 以上
- (4) スキュー(Skew): 1 dB tilt 以下
- (5) SWR: 2 以下
- (6) 1% 混変調妨害波入力: 隣接チャネル間で 100 mVrms 以上

上述の事項の他に、消費電力を考慮して FET のバイアス点は定められるが、以下に実際のデュアルゲート MOS FET の特性例を基に高周波特性の解説を行なう。

3.1 高周波 Y パラメーター

素子の高周波特性の一部は Y パラメーターによって示される。図 5、図 6 に周波数 200 MHz における Y パラメーターのバイアス特性の一例を示す。ドレイン電圧に対する Y パラメーター特性を、図 5 (a)～図 5 (d) に示すが、デュアルゲート MOS FET の特長を生かすためには、④ ドレイン電流はゲート 1 によって制限し、⑤ ゲート 2 の FET の増幅率 μ_2 が大きく得られるよう、ドレイン電圧を充分高くしなければならない。この条件は、ゲート 1 の電圧 V_{G1} が与えられた場合、(6)式、(11)式、およびその条件から、次式で与えられる。

$$V_{G2} > 2V_{G1} - V_T \quad (15)$$

$$V_D > V_{G2} - V_T > 2(V_{G1} - V_T) \quad (16)$$

実際のチューナー回路では、ドレイン・ソース間電圧は 10 V 以上、ゲート 2・ソース間電圧は 3.5 V 以上となるよう設計されている。

図 6 (a)、(b) のように入出力アドミッタンスのゲート 2・ソース間電圧依存性は小さい。これから AGC による同調回路の帯域幅および中心周波数の変動も小さいことがわかる。

入力コンダクタンスは周波数の 2 乗に比例するが⁶⁾、これと FET はバイポーラトランジスタと比較して入力コンダクタンスが元々小さいこと等のため、中間周波数に対する入力コンダクタンスは非常に小さくなる。このため、UHF チューナーと FET を使用した VHF チューナーとを組合せた場合、UHF チャネルでの NF、スキュー特性等が悪い。この問題の解決方法のひとつは、FET の入力コンダクタンスを大きくすることであり、実際に一部 FET ではこのような特性を持たせてある。

3.2 電力利得、安定係数

安定度の定義は種々あるが、ここでは Linbill の安定係数を用いる。

$$C = |y_{rs}y_{fs}| / \{2g_{is}g_{os} - R_e(y_{rs} - y_{fs})\} \quad (17)$$

この式に Y パラメーターを入れると、図 7 のように、C は VHF チャネル帯にてほぼ 1 となり、デュアルゲート MOS FET は安定に動作する。

図 7 安定係数の周波数特性

図 8 最大有能電力利得の周波数特性

一方、電力利得のひとつの目安となる最大有能電力利得 (MAG) は(18)式で示される。

$$MAG = |y_f|^2 / 4g_{is}g_o \quad (18)$$

図 8 に MAG の計算例を示す。順方向伝達アドミッタンス y_f はドレイン電流とともに大きくなるため、一般に電力利得はドレイン電流とともに増加する。ドレイン電流を増すためには、ゲート 1 電圧、ゲート 2 電圧をそれぞれ高くしなければならず、結局、電源電圧を高くしなければならないことになる。

3.3 高周波雑音指数

現在のデュアルゲート MOS FET の VHF 帯での雑音指数は、バイポーラトランジスタとほぼ同程度の値まで改善されている。

雑音指数のバイアス依存性は、ドレイン電流に対して

図 9 ドレイン電流に対する雑音特性

図9のように、約2mA以上ではほぼ一定の値となる。電圧に対しては、デュアルゲート MOS FET の場合、ゲート2の電圧がドレイン電流を制限し始めると雑音指数は急速に増加するので、ゲート2の電圧、したがってドレイン電圧はとくに充分高くしておくことが必要である。

雑音指数の信号源アドミッタンスに対する依存性は、コンダクタンス、サセプタンスの両方に対し大きい⁴⁾。しかしながらテレビ受像機の場合、ゴースト、混変調等の問題より、コンダクタンスの不整合による雑音指数の最適化のみを、定在波比が1.5~2.0にとどまる範囲で行なっている。この場合、不整合の最適点は高低の2点が存在するが、通常、信号源コンダクタンスをFETの入力コンダクタンスに対し小さくとる。これは混変調特性に関しても望ましい。

3.4 AGC 特性

AGC 特性にて考慮しなければならない点は、① 混変調特性、② 入出力アドミッタンスの変動、③ 利得減衰度等である。図10のように順方向伝達コンダクタンス (g_{m0}) は V_{G1} および V_{G2} によって変化する。したがって AGC の掛け方としては3種類の方法が考えられる。すなわち、

- ① V_{G1} を下げて g_m を減らす方法
- ② V_{G1} を上げて g_m を減らす方法
- ③ V_{G2} を下げて g_m を減らす方法

である。

このうち、①はシングルゲート FET の場合と同様に、シャープカットオフ特性となるため、カットオフ付近にて混変調特性が著しく悪くなる。またカットオフ付近にて入力サセプタンスの変動が著しいため、入力回路の離調が大きく、望ましい方法ではない。

② の場合は良好な混変調特性が得られるが、利得減衰度は充分得られない。

③の方法は、入力アドミッタンスの変化は少なく、また利得減衰度も大きい⁵⁾が、混変調特性は AGC がシャ-

図10 V_{G1s} に対する g_{fs} 特性

図11 混変調特性の良い AGC 回路

図12 図11の回路を用いた混変調特性

プカutoff特性に近い⁶⁾ため、②の場合ほど良好ではない。したがって、通常 AGC は③の方法に②の方法を軽く組合せて行なわれる。このような AGC 方法は図11のように、ゲート1・アース間電圧を固定し、ソース・アース間に適当なバイアス抵抗を挿入し、ゲート2の電圧を可変することにより得られる⁵⁾。ソース抵抗を用いるこの方法は、最大利得時における FET のドレイン電流のばらつきをおさえる意味からも必要である。

図12にソース抵抗の有無による AGC の混変調特性の違いを示す。

図10と図12とにより、AGC の混変調特性のよりいっそうの改善は、AGC のバイアス点の軌跡を g_m -

図13 V_{G2s} に対する利得減衰特性

V_{G1} 曲線の傾きがよりゆるやかになるよう選択することによって得られることがわかる。

さらに、ゲート 1 に順方向 AGC を加えた場合に得られる他の利点は、入力信号が大なるに従ってゲート 1 電圧が大きくなるため許容入力が大きくなることである。

次に、AGC 範囲とは、最大感度時と最大減衰時の利得差であるが⁷⁾、最大減衰時の利得は、逆方向電圧利得で定まってしまう。デュアルゲート MOS FET は、シングルゲート MOS FET に比較して帰還容量が本質的

に小さいため、利得減衰度も約 1 桁以上大きい。図 13 に V_{G2} に対する利得減衰特性を示す。

3.5 耐 圧

ドレイン・ソース間耐圧は、ドレイン電極と基体間のダイオード耐圧のほか、ドレイン・ソース間のパンチスルー等によって定まる。また逆に素子のドレイン・ソース間耐圧があまり高いと、ドレイン側にサージ等の高電圧が印加された場合、ゲート 2・ドレイン間の酸化膜が破壊する。通常 FET の耐圧は、このような問題に対し

図 14 VHF チューナー回路例

表 1 VHF RF 用デュアルゲート MOS FET

名 称	3SK37	3SK39	3SK40	3SK44	3SK45	40820	MFE120	3N211
製 造 者 名	ソ ニ ー	松 下	日 電	東 芝	日 立	R C A	MOTROLA	TEXAS
最 大 定 格								
V_{DS} (V)	20	20	20	20	20	20	25	27
V_{GS} (V)	± 8	± 8	± 7	± 6	± 7	$\begin{smallmatrix} +3 \\ -6 \end{smallmatrix}$	± 7	± 6
V_{GS} (V)	± 8	± 8	± 7	± 6	± 7	± 6	± 7	± 6
P_T (mW)	230	170	250	300	330	330	300	360
電 気 的 特 性								
I_{DSS} (mA)	$\sim 10 \sim$	10 $\sim$ 24	4 $\sim$ 25	3.0 $\sim$ 40	4 $\sim$ 17 $\sim$ 32	0.5 $\sim$ 15	2 $\sim$ 18	$\sim 6 \sim 40$
V_{GS} (OFF) (V)	~ -3	~ -3	~ -4	-0.3 $\sim$ -3.7	-0.3 $\sim$ -3	$\sim -1 \sim -3$	~ -4	$\sim -0.5 \sim -5.5$
V_{GS} (OFF) (V)	~ -3	~ -3	~ -4	-0.3 $\sim$ -3.3	-0.7 $\sim$ -2	$\sim -1 \sim -3$	~ -4	$\sim -0.2 \sim -2.5$
$ y_{fs} $ (mS)	7 $\sim$ 9.5 $\sim$	7 $\sim$ 12 $\sim$ 18	8 $\sim$ 10 $\sim$	10 $\sim$	$\sim 14 \sim$	$\sim 12 \sim$	8 $\sim$ 18	$\sim 17 \sim 40$
C_{iss} (pF)	$\sim 4.0 \sim$	$\sim 4.5 \sim$	$\sim 5.0 \sim 6.5$	5.0 $\sim$ 8.25	$\sim 4.0 \sim$	$\sim 6 \sim 8.5$	$\sim 4.5 \sim 7$	
C_{oss} (pF)		$\sim 3 \sim$	~ 4.0	2.0 $\sim$ 3.0	$\sim 2.0 \sim$	$\sim 2.0 \sim$	$\sim 2.5 \sim 4$	
C_{rss} (pF)	$\sim 0.02 \sim 0.04$	$\sim 0.01 \sim$	$\sim 0.03 \sim 0.05$	~ 0.06	$\sim 0.02 \sim 0.03$	$\sim 0.02 \sim 0.03$	$\sim 0.023 \sim$	0.005 $\sim$ 0.05
G_{ps} (dB)		18 $\sim$	18 $\sim$ 20 $\sim$	17 $\sim$ 23	17 $\sim$ 20 $\sim$	14 $\sim$ 17 $\sim$	17 $\sim$ 19.6 $\sim$	24 $\sim$ 35
NF (dB)			$\sim 3.0 \sim 4.5$	~ 4.0	$\sim 2.2 \sim 3.3$	$\sim 4.5 \sim 6$	$\sim 2.9 \sim 5.0$	~ 3.5

ても充分な注意が払われている。

3.6 FET の特性一覧

表 1 に国内外メーカーのテレビ用デュアルゲート MOS FET の特性を示す。

4. テレビチューナーへの応用例

実際の量産チューナーは、VHF チューナーの RF 段のみ FET を使用しているが、他の部分に使用した場合の問題点および実験回路例も簡単に紹介する。

4.1 VHF チューナー RF 段への応用

図 14 は 20 インチカラーテレビ受像機に組込んだ VHF チューナー回路であり、RF 段にデュアルゲート MOS FET を使用している。

アンテナからの入力信号は、トラップおよび同調回路を通り、MOS FET (3SK44) のゲート 1 (G_1) に印加される。アンテナ入力近くのコイル L_{10} は誘雷サージを側路させ、FET のゲートを保護する。ゲート 2 は保護抵抗を通じ、AGC 制御電圧が加えられる。AGC 制御電圧は、+5 V から -3.5 V まで変化する。ゲート 2 のリードにははめてあるフェライトビードは、UHF 帯の寄生発振を防止するためのものである。

ゲート 1 には固定バイアスが与えられ、これとソース抵抗とにより、AGC によって入力信号増大に比例してゲート 1・ソース間電圧を増加し、混変調特性を良好に保つ。

デュアルゲート MOS FET は、逆伝達アドミタンス (y_{rs}) が非常に小さいが、この特長を十分に生かすためには、チューナーの配線にも充分な注意を払う必要がある。MOS FET を VHF 帯にて使用する場合、回路の逆伝達アドミタンスは、素子自体の帰還容量 (C_{rs}) および外部回路の配線等の入出力間容量、およびソース

リードのインダクタンス (L_s) によって定まる。特に周波数が高い場合には L_s の影響が大きく、もしこれに注

図 15 FET の配線

図 16 MOS FET 使用 VHF チューナーの電力利得特性

図 17 MOS FET 使用 VHF チューナーの雑音特性

意が払われずに配線が行なわれると、利得減衰度が充分に取れないほか、ミラー効果によって、AGC による入力回路の周波数レスポンスの変動が大きいく、さらに不要輻射の増大、回路の不安定等、数々の高周波特性が悪くなる。

このため実際のチューナーでは、図 15 に示すように、シールド板によって、入出力間の干渉を極力防ぎ、さらにソースリードのインダクタンス (L_s) の影響を小さくするため、FET 自体のケースにも側路コンデンサを直接ハンダ付することにより交流的に接地している。

図 16～図 18 にこのチューナーの雑音指数、電力利得特性、AGC 特性、図 19 に混変調特性を示す。

4.2 VHF チューナーミキサー段への応用

FET の伝達特性が 2 乗特性にきわめて近いため、混変調特性とともに周波数変換効率もすぐれている。

さらに、デュアルゲート MOS FET の場合は、逆伝達アドミッタンスがきわめて小さいため、変換利得がより大きく、また IF 周波数の入力への帰還が少ない。こ

図 18 MOS FET 使用 VHF チューナーの AGC 特性

図 19 MOS FET 使用 VHF チューナーの 1% 混変調特性

図 20 VHF ミキサー応用回路

のため、USA, 6ch ビート発生も小さい。さらに回路設計より見ても、混変調特性がすぐれているため、段間同調回路を調整の簡単な単同調回路ですませる可能性がある⁸⁾。その他、ゲート 1 に入力信号を、ゲート 2 に局発信号を印加し、不要輻射をより小さくすることができる等、利点が多い。図 20 にミキサー回路の例を示す⁸⁾。

4.3 UHF チューナーミキサー段への応用

現在の UHF チューナーの形態は、国内セットの場合、① 入力信号をミキサーダイオードによって直接周波数変換する方法と、② バイポーラトランジスタにより RF 増幅した後、ミキサーダイオードにて周波数変換する方法とに分けられる。

①の方法は、混変調特性にすぐれているが、雑音指数はミキサー回路の変換損失および VHF チューナーの IF 周波数における雑音指数に大きく依存する。変換損失はミキサーダイオードにショットキーバリアダイオードを使用した場合でも 4 dB 以上あり、雑音指数が VHF チューナーに比較して悪い。

また、ダイオードミキサー方式は、入出力間の分離が充分にできないため、UHF チューナーの周波数選択に際し、ミキサー回路の出力アドミッタンス、したがって VHF チューナーとの段間結合回路のアドミッタンスが変化し、IF レスポンスにスキュー (skew) を生じる。これは、IF における振幅および位相特性を変化させるため、特にカラーテレビ受像機で問題になるが、これを防ぐためには段間結合回路を十分にダンピングしなければならない。これにより雑音指数はより増加することになる。

しかしながら、FET をミキサーとして使用すれば、混変調特性を損なうことなく入出力間の分離を行なうこ

図 21 VHF ミキサー応用回路

図 22 伝達コンダクタンスの周波数特性

図 23 UHF チューナー回路例

とができるため、変換利得が大きいくことと合わせて、雑音特性およびスキュー特性の良好なチューナーが実現できる。

ミキサーに接合型 FET を使用した回路例を図 21 に示す⁹⁾。

4.4 UHF チューナー RF 段への応用

現在のところ UHF チューナーでは、VHF チューナーほど混変調特性を大きな問題としていないが、今後は UHF 局数の増加が考えられるし、また RF 段付電子同調チューナーも普及するであろうから、FET の使用が次第に問題となるであろう。

電子同調チューナーの場合、可変容量ダイオードの Q が低いため、雑音特性を良好に保つためには RF 増幅段

を必要とし、さらに入力回路の損失を防止するため、入力同調回路の帯域を充分広げなければならない。このため RF 増幅段に混変調特性のすぐれた FET を使用する必要がでて来た。また RF 増幅段に AGC を加える場合、UHF、VHF 両方のチューナーに FET を使用すれば AGC 回路も簡単にできる。

UHF チューナーの場合、周波数範囲が広いためチャネル相互間の利得差が問題となるが、図 22 のように同一チャネル長ではデュアルゲート MOS FET はシングルゲート MOS FET に比較して周波数特性が悪い²⁾。また周波数が高いため、ゲート保護ダイオードの付加がむずかしい。この解決方法のひとつとして接合型 FET をゲート接地にて使用する方法がある。図 23 に UHF チューナー RF 増幅段に接合型シングルゲート FET を使用した回路例を示す¹⁰⁾。

しかしながら、最近の技術の進歩によってチャネル長の短い、したがって周波数特性のきわめて良好な UHF チューナー用デュアルゲート MOS FET が発表され始めた。

5. む す び

以上、MOS FET を主体にその基本特性、応用上の諸問題、応用例等について概説した。さらに今後 UHF 帯への進展が予想され、そのきざしもしみさか見えて来たといえそうである。

UHF 帯への応用を主眼とした同様の記事が紙面をにぎわす日の一日も早く来ることを期待してむすびとしたい。

(昭和 48 年 2 月 8 日受付)

(参 考 文 献)

- 1) J.A. van Nielen: Operation and d.c. behavior of MOS transistor, Philips Tech. Rev., **31**, 7/8/9 (1970) 209
- 2) J.R. Burns: High-Frequency Characteristic of the Insulated-Gate Field Effect Transistor, RCA Rev., **XXVIII**, 3 (1967) 385
- 3) T. Okumura: The MOS tetrode, Philips Tech. Rev., **30**, 5 (1969) 134
- 4) RCA Solid State Databook Series, SSD-201 (1972)
- 5) RCA Solid State Databook Series, SSD-202 (1972)
- 6) 菅野卓雄ほか: MOS 電界効果トランジスタ, 日刊工業新聞社, (1969)
- 7) 竹大正孝ほか: 接合形電界効果トランジスタ, 3, 日刊工業新聞社 (1970)
- 8) Tae, Hyung, Moon: A High Performance VHF Solid-State TV Tuner, IEEE Trans., **BTR -15**, 2 (1969) 209
- 9) S. Weaner: UHF MIXER USING 2N3823 FET, Texas Instr. Application Note
- 10) Field-effect transistors in UHF tuners, Texas Instr. Application Report
- 11) J.M. Shannon: Ion-implanted high frequency MOS transistor, Philips Tech. Rev., **31**, 7/8/9 (1970) 267
- 12) Hans J. Sigg et al: D-MOS Transistor for Microwave Applications, IEEE Trans., **ED-19**, 1 (1972)
- 12) R.J. Nienhuis: A MOS tetrode for the UHF band with a channel 1.5 μ m long, Philips Tech. Rev., **31**, 7/8/9 (1970)