(第7回)

デバイスの評価

ソニー株式会社 中央研究所 柴田 明 一

1. ま え が き

今回はデバイスの評価について述べる。最初にデバイスの評価ということを考えよう。評価の意味には素子自体の特性の評価、ならびに素子を用いることにより生じる利点の2つがある。この他にコストの面も忘れられない。ここでは半導体デバイスの特性の評価と、その特性と半導体物性の関連に焦点をおいて述べることにする。

わが国では、特性評価については日本工業規格および電子機械工業規格として、各種半導体素子の試験方法が決められている。昭和48年10月現在、入手可能なものを表1に示す。最近開発された発光ダイオード、ガンダイオード等の特性測定法はまだ規格化されておらず、それぞれの製造者および使用者が独自の方法を用いている。

2. ダイオード

ダイオードには断面構造を図1に示すように多くの種類があり、1つの規準をもってすべてのダイオードの評価をすることはできない。ここでは通常の小信号ダイオ

表1 半導体素子の試験方法、通則

	規格番号	名 称	制定、確認
J I S	C-7012	半導体素子の形名	1972.11.1
	C-7016	光導電セルの形名	1972.11.1
	C-7030	トランジスタ試験方法	1970.12.1
	C-7031	小信号用半導体ダイオード試験方法	1972.11.1
	C-7032	トランジスタ通則	1971.9.1
	C-7040	半導体集積回路の寸法通則	1972.8.1
電 子 機 械 工 業 会 規 格	SD-11	3極双方向サイリスタ試験方法	1969.7.22
	*SD-21	3極逆阻止サイリスタ試験方法(2版)	1969.1.28
	*SD-31	電界効果トランジスタ試験方法	1969.11.25
	*SD-41	整流ダイオード試験方法	1968.3.26
	SD-51	小信号ダイオード試験方法	1968.11.26
	SD-56	マイクロ波用ダイオード試験方法	1971.11.30
	*SD-71	トランジスタ試験方法(4版)	1969.11.25
	SD-74	半導体デバイスの標準外形図	1968.3.27
	SD-91	可視域、近赤外域用光導電セル試験方法(2版)	1969.3.13
	SD-102	半導体デバイス用文字記号および略語	
	SD-104	半導体デバイス用図式記号	
	SD-121	個別半導体デバイスの環境および寿命試験方法	1971.12.12
	*IC-1	集積回路試験方法	1969.7.8
	IC-2	リニア集積回路試験方法	1969.12.10
	IC-3	MOS型ディジタル集積回路試験方法	1972.3.8
	IC-101	混成集積回路用基板通則	1969.3.13
	IC-111	集積回路の標準外形図	
	IC-121	集積回路信頼度試験方法	1972.9.25

*印は JIS に原案として提出し、JIS 制定または審議中のものを示す。

図1 ダイオードの種類

"Semiconductor Physics and Semiconductor Devices; 7. Evaluation of Semiconductor Devices" by Aki-kazu Shibata (Research Center, SONY Corporation, Yokohama)

ードの試験について、電子機械工業会規格 SD-51 に準じて述べ、さらにいくつかの特性と半導体物性との関連について述べよう。半導体素子の電氣的試験を行うときは、トランジスタを含め電源としてリップル含有率 1% 以下の直流、交流では高調波 5% 以下を規定されている。ただし商用 50/60Hz の交流を用いる場合は高調波 10% 以下でもよい。低周波で動特性を測定する場合は、270Hz の信号を用いる。用いる計器は精度 0.5 級を原則とし、基準周囲温度は 25°C である。

2.1 順電流電圧

図 2 に示される回路により、指定電圧または電流を加えたときの電流または電圧を測定する。1kHz 以下の交流を用い、オシロスコープ (CRO と略す) 上で観測してもよい。電力消費による接合部の温度上昇があるときには、熱平衡に達した後で測るか、パルスを用い温度上昇を避けて測定する。逆電流の測定も同様に行う。

ここで観測される電流電圧特性は、接合の特性自体ではなく、基板等の直列抵抗の影響を含めた特性である。したがって、接合部以外での電圧降下が無視し得ない大電流の領域では $I = I_0 \exp(eV/nkT)$ とならず、電流は電圧に比例して増加するようになる。

2.2 尖頭逆電圧

図 3 の回路により回路印加電圧 V_{DD} を増し、ダイオード印加電圧が規定値となるか調べる。降伏電圧とは異なることに注意。

2.3 降伏電圧

降伏電圧は、ダイオードに加える逆方向電圧を増加し

図 2 順電流電圧試験

図 3 尖頭逆電圧試験

図 4 降伏電圧試験

$R_1 \gg T$ の入力抵抗
 R_2 : 電流測定用抵抗

図 5 交流法による降伏電圧試験

たとき、急に電流の増加する電圧である。定電圧ダイオードは、急峻な降伏特性を利用したものであり、降伏電圧は図 4 の回路で規定の直流電流を流したときのダイオード印加電圧として与えられる。他のダイオードの降伏電圧も同様に測定されるが、交流を用いるときには図 5 の回路が用いられる。一般には逆電流 100 μ A 時の電圧を求める。

接合の降伏については、すでに第 3 回 1.2 節で述べられているように、ツェナー降伏となだれ降伏がある。ツェナー降伏は、接合部に印加された高電界のために電子が価電子帯から伝導帯へ飛び出すことによる。トンネルダイオードにおける電流機構は、このツェナー降伏とバンド間の遷移という点では類似しているが、高不純物濃度半導体における接合のために接合幅が非常に狭くなり (200Å 以下)、量子力学で考えるキャリヤトンネル遷移が n 側の伝導帯と p 側の価電子帯の間で、接合を通して行われる。

なだれ降伏は、加速されたキャリヤが原子と衝突し、電子・正孔対を増倍発生して生じる。これらの降伏現象は高電界によるもので、空乏層にかかる電界がある値を越したときに生じる。接合幅はキャリヤ濃度に依存するので、高抵抗の半導体を用いた接合ほど降伏電圧は高くなる。基板中のキャリヤ濃度と降伏電圧の関係を図 6 に

図 6 階段接合における降伏電圧と基板不純物濃度

図7 種々の接合における接合容量のバイアス依存性

示す。

2.4 端子間容量

ダイオードの容量は、接合部容量とパッケージによる容量の和である。これはダイオードに指定のバイアス電圧を与え、指定の周波数で測定する。測定はインピーダンスブリッジによるか、または LC 共振回路にダイオードを挿入、ブリッジの平衡または共振を得るのに必要な容量変化より求める。可変容量ダイオードの場合は、バイアス電圧を変化させ、それぞれの電圧における容量を求める。測定回路は省略する。

ここで可変容量ダイオードの容量変化について少しふれよう。ダイオードを可変容量として用いる場合には、逆電圧を加え、空乏層の厚さの変化を利用するのであるが、合金接合のような階段接合では、容量は印加電圧の $1/2$ 乗に比例して変化するのに対し、拡散による傾斜接合では $1/3$ 乗に比例する。これに対し超階段接合では接合部での不純物濃度が高く、接合から離れるに従い濃度が少なくなる(第4回、図24参照)。このために印加電圧が小さいときは空乏層は非常に薄く(容量が大きく)、電圧が高くなると容量は小さくなる。このような構造

を作ることにより、大きな容量変化比を得ることができる。ほぼ同じ面積をもつ接合の電圧に対する容量変化の様子を図7に示そう。接合面積が異なれば容量の絶対値が異なる。

2.5 逆方向回復時間

ダイオードに直流電流 I_F を流しておき、パルスによる逆電圧 V_g を加える。パルス印加後電圧が定常値の10%に達する時間から、電流がある規定された回復電流 I_R に達する時間を測定する。測定回路の一例と電流電圧波形を図8に示す。

逆方向回復特性は、逆電圧が加えられたとき、まだ残っている注入された少数キャリア、 p^n 接合の場合には n 側に残っている正孔によって決まる。したがって、この場合再結合が急速に進むようにすると(寿命を短くする)、キャリアの蓄積は減少し、逆回復時間が短縮される。半導体素子のスイッチング時間を短くするには、このような再結合中心を入れてやり、キャリアの蓄積効果を減らすのが有効であり、スイッチング素子作製時にライフタイムキラーとして一般に Au 等の金属を添加する。

このようにキラーを入れて寿命を短くすると、すでに示されたダイオードの電流の式から明らかなように、逆電流は増加する。なお少数キャリアの蓄積作用を積極的に利用したのがステップリカバリダイオードである(第4回、5.6節参照)。

2.6 雑音

ダイオードの雑音は直列な雑音電圧 V_N または並列な雑音電流 I_N で表わされる。 I_N の測定回路を図9に示す。バンドパスフィルタは $1000 \pm 100 \text{ Hz}$ とし、雑音電流は 1 Hz のバンド幅に換算する。

$$V \overline{I_N^2} = V \overline{V_N^2} / A_V R \quad (A_V: \text{電圧増幅度})$$

ダイオードを含め、半導体素子の雑音には熱雑音、シ

(b) 電圧電流波形

図8 逆方向回復時間測定

図9 ダイオード雑音測定系統図

ショット雑音およびフリッカー雑音の3種が存在する。このうち半導体素子に特有の雑音はフリッカー雑音であり周波数 f に反比例するため、 $1/f$ 雑音とも呼ばれる。 $1/f$ 雑音は、表面および基板内で再結合過程に関連するものと考えられており、製造プロセス制御が低雑音化に重要である。特に結晶欠陥により作られる再結合中心が問題となるようである。

2.7 連続寿命試験

ダイオードを半波整流回路に入れ、決められた入力電圧、周波数、波形、負荷抵抗を用い、指定時間動作させる。連続寿命試験の途中または終了後特性を調べ、不良の発生を求めて信頼度を求めるが、工業用半導体素子の場合、最大定格使用時の故障率は $30\%/10^3\text{hr}$ 以下であるといわれ、使用電力が最大定格の半分以下とする通常の使用条件では、 $0.01\%/10^3\text{hr}$ が期待される。これは、接合等の能動部の温度に故障率が指数関数的に依存するためである。

2.8 その他の試験

以上述べた他に、ダイオードの電気的試験として、定電圧ダイオードの温度係数、動作抵抗、可変容量ダイオードの Q 、遮断周波数、容量変化比、直列インダクタンス、蓄積電荷等の試験がある。これらの詳細については参考文献を見られたい。電気的試験の他には、機械的試験として浸水、温度サイクル、リード線強度、振動、ハンダ試験等を行う。

3. トランジスタ

トランジスタは、基本的には2つの接合をもつ半導体素子といえる。したがって、トランジスタの基本的な特

性と半導体物性との関連は、ダイオードにおけるものと同様に考えてよい。ここでは JIS C 7030 によって、トランジスタの各種試験とトランジスタの構造による特徴等を主に述べる。一応 pnp 型を基準とするが、電源等の極性を適当に変えることにより npn 型にも適用できる。また、この測定法の多くは、電源の与え方等一部の変更により電界効果トランジスタにも適用し得る。

3.1 電極電流電圧試験

ベース接地およびエミッタ接地における試験回路を図10に示す。各電極に指定の電圧電流を与えて測定するが、コレクタ電流電圧試験およびエミッタ試験ではベース接地を、ベース電流電圧試験ではエミッタ接地回路を用いる。

3.2 つきぬけ電圧

図11のようにベース接地エミッタ開放とし、コレクタ逆方向電圧 V_C を増し、エミッタ電圧が $1V$ となる時、コレクタ電圧より、つきぬけ電圧 V_{PT} は $V_{PT} = V_C - 1$ として与えられる。 V_{PT} が V_{CB} より大きいとこの測定でトランジスタが破壊されることがある。このつきぬけ電圧は、ベース・エミッタ間接合の空乏層がベース領域に広がり、ついにはコレクタに達する電圧である。

3.3 静特性曲線

図10において、各パラメーターを XY 記録計に記録すれば静特性曲線は得られるが、トランジスタカーブトレーサーを用い CRO 上に描くのが一般的である。得られるデータは必ずしも公表データと一致しない。差動増幅器等で特性のそろったものが必要な場合、同一生産ロットまたは特性別に選別されたものの中からさらに

図10 電流電圧試験

図11 つきぬけ電圧測定

(a) 測定回路

(b) V_E - V_C 特性

図 12 4 端子回路網

選定して用いる必要もあろう。同一基板上に作られた隣接している素子の特性は、ほぼ完全に同一と見てよい。自動選別の場合は、曲線上の代表点での電流電圧を測定し、基準値との比較を行う。

3.4 小信号パラメータ

h, y パラメータは第 3 回に述べられているが、4 端子回路網をあらためて図 12 に書くと、 h パラメータはそれぞれ次の意味をもっている。

$h_i = v_i / i_i$ ($v_o = 0$): 閉路入力インピーダンス

$h_f = i_o / i_i$ ($v_o = 0$): 閉路電流増幅率

$h_r = v_i / v_o$ ($i_i = 0$): 開路逆方向電圧増幅率

$h_o = i_o / v_o$ ($i_i = 0$): 開路出力アドミタンス

一般的なエミッタ接地の場合には添字 e をつける。低周波 h パラメータには種々の方法が JIS で例示されている。電流電圧計法の一例を図 13 に示す。

3.5 雑音指数

トランジスタの雑音指数は、普通エミッタ接地で動作させ、次式で与えられる。

$$NF = 10 \log \{ (S/N)_s / (S/N)_o \}$$

$(S/N)_s$: 信号源の S/N

$(S/N)_o$: トランジスタ出力での S/N

雑音 2 極管法による測定では、図 14 の構成を用いる。

雑音発生器の出力をゼロとして S_1 を 1 とし、減衰器 1 を調整してある出力を得、ついで 3dB 減衰器を挿入、

図 13 電流電圧計法による h_f 測定法の一例

図 14 雑音測定系統図

同一出力を得よう雑音発生器の出力を調整する。雑音 2 極管の陽極電流を I_D (A) とすれば、

$$NF = 10 \log \frac{e}{2kT} I_D R_g \text{ (dB)}$$

e は電子電荷、 k はボルツマン定数、 T は絶対温度、 R_g は信号源抵抗である。

トランジスタの雑音もダイオードの場合と同様、熱雑音、ショット雑音および $1/f$ 雑音の 3 種がある。 $1/f$ 雑音は結晶欠陥により生じる再結合中心によると考えられ、結晶にひずみを与えないような拡散技術、熱処理技術を用いることにより、低周波での雑音を 3~4dB 改善することが可能である。バースト雑音と呼ばれるものも $1/f$ 雑音の一種と考えられる。

3.6 遮断周波数および f_T

所定の電圧電流を与えた増幅器で周波数を上げて行き電流増幅率が低周波における値より 3dB 低下する周波数を遮断周波数、また電流増幅率が 6dB/oct で減少する周波数を h_{fe} を測定、周波数 f と h_{fe} の積で f_T を求める。 f_T は電流増幅率が 1 となる周波数である。

トランジスタの周波数特性は、ベース内での少数キャリアの走行時間および拡散により決まる。キャリアの移動度を μ 、ベース幅を W 、ベースに加えられる電圧を V とすると、走行時間は近似的に $W^2/\mu V$ となる。したがって、移動度の大きい材料、また狭いベース幅を利用すれば高周波特性は改善される。高周波トランジスタの開発は、この条件を実現するための技術の開発であった。

3.7 その他の電氣的試験

トランジスタでは、上記の試験の他に電氣的試験として、コレクタ出力容量、ベース抵抗、低周波および高周波電力利得、変換電力利得、発振電圧、最高発振周波数、ひずみ率、熱抵抗、およびケース電極間絶縁試験等が規定されている。これら試験の詳細は JIS 本文および参考文献にゆずり、これらの試験があることに言及するに止める。

3.8 環境試験等

トランジスタは、パッケージに入れた部品として使用される。したがって、部品として見たときのトランジスタの機械的強度——リード線の強さ、温度および湿度への耐性および寿命試験が規定されている。寿命試験は、

表 2 コレクタ電流 100mA *pnp* トランジスタの特性例

	型	構 造	P_c (mW)	C_{cb} (pF)	h_{fe}	f_T (MHz)
$V_{CBO}=30\text{ V}$	2S D61	Ge 合金	120	35 _{±5}	50	1*
	2S C74	Si プレーナ	360	2.5 _{±0.5}	50	100
	2S C588	Si 二重拡散	600	2.5~5 _{±0.5}	35~200	580
	2S C1204	Si エピ・プレーナ	310	1.8 _{±0.3}	60~500	230
	2S C1255	Si "	3.5W	1.0 _{±0.2}	30~200	2.3 GHz
$V_{CBO}=300\text{ V}$	2S C515A	Si 三重拡散プレーナ	20W	7	60	20
	2S C1235	Si 三重拡散メサ	6.5W	7.5	30~160	60
	2S C1390	Si 三重拡散	6.5W	5~12	30~150	25

* 遮断周波数

図 15 トランジスタの構造

1000 hr 程度で行うため、実際の寿命を知るには多数の試料を用い、得られた結果を統計的に処理する。特性にはあまり関連はないが、この他に外形および包装の検査がある。

3.9 トランジスタの構造と特徴

トランジスタの主な構造を図 15 に示す。これらのうち成長接合型は現在ではまったく使われていない。これらのトランジスタは、高周波へ、また大電力動作の実現への開発の歴史でもある。ひとつの例とし、 $I_c=100\text{mA}$ を例にとり、 V_{CBO} が 30V のもの、ならびに 300V の場合の特性の変化を表 2 に示す。

電流増幅率については付録参照。

4. 電界効果トランジスタ

電界効果トランジスタ (FET と略す) は最も古い半導体素子であるが、実用化されたのは 1960 年になってからである。特に絶縁ゲート型 (MOS と略す) が実用化されたのはさほど古いことではない。以下 SD-31 に準じ単体 FET の試験方法、および FET の問題点について述べる。

FET は次の 3 区分に分類され、それぞれの試験項目の後に適応する区分を記入する。以下、ソース、ドレイン、ゲートをそれぞれ S, D, G と略記する。また測定回

路中の R は保護抵抗とする。

A: 接合型

B: 絶縁ゲートディプレッション型

C: 絶縁ゲートエンハンスメント型

これら 3 種の説明は、本講座第 3 回を見られたい。ここで述べる試験方法は、FET の一種と考えてよい CCD (charge coupled device) や、MOS 記憶素子にはこのままでは適用できない。

4.1 G-D 間電圧 (A)

D-S 間を指定状態とし、指定 G 電流における G-D 間電圧を測定する。測定回路の一例を図 16 に示す。

4.2 D-S 間電圧 (B, C)

G-S 間および基板-S 間に指定の電圧を与え、指定の G 電流における D-S 間電圧を測定する。回路例を図 17 に示す。

4.3 G 遮断電流 (A)

D-S 間を短絡し、G-S 間に指定電圧を与えて G 電流を測定する。回路例を図 18 に示す。

4.4 G 漏洩電流 (B, C)

D-S 間および基板-S 間を指定状態とし、指定の G-S 間における G 電流を測定する。振動容量型電圧計を用いる方法を図 19 に示す。

図 16 ゲート・ドレイン間電圧試験

図 17 ドレイン・ソース間電圧試験

図 18 ゲート遮断電流試験

図 19 ゲート漏れ電流試験

図 20 ドレイン電流試験

図 21 カットオフ電圧試験

図 22 ゲート・ソース間閾値電圧試験

4.5 D 電流 (A, B, C)

G-S 間を短絡し、MOS 型ではさらに基板-S 間を指定状態として、D-S 間の指定電圧の下での D 電流を測定する。図 20 に測定回路例を示す。

4.6 カットオフ電圧 (A, B)

指定の D-S 間電圧を与え、指定のカットオフ状態での D 電流における G-S 間電圧を測定する。測定回路例を図 21 に示す。

4.7 G-S 間閾値電圧 (C)

指定の D-S 間電圧、基板-S 間の状態の下で、指定カ

ットオフ状態での D 電流における G-S 間電圧を測定する。図 22 に回路例を示す。

4.8 その他の試験

以上述べた他に、電気的試験として小信号順伝達アドミタンス、入出力容量、雑音指数、電力利得、スイッチング特性等の試験が規定されている。これらの試験は各電極に電圧を加える方法は少し異なるが、測定方法は本質的にはバイポーラトランジスタの場合と同一と考えてよい。詳細は SD-31 および参考文献を見られたい。

4.9 ショットキーバリア FET

これは接合型 FET と類似しているが、ゲートに *pn* 接合を用いず、ショットキー障壁を用いるものである。構造を図 23 に示す。このショットキー FET の特徴は良好な接合を作り難い材料でも FET を作り得ること、ならびに製造工程が比較的簡単なことであろう。FET の遮断周波数はゲート幅とキャリア移動度で決まるので移動度の大きい GaAs 等で FET を作ることは特に有利となる。ショットキー FET が作れるようになって、GaAs がマイクロ波での能動素子としての地位を確立したといっても過言ではない。現在、遮断周波数は 80GHz に達し、今後のプロセス技術の進歩によって最終的には 100GHz までのびることが予想される。

4.10 大電力 FET

FET は、大電力を扱うには適していないと考えられた時期もあったが、接合型 FET の進歩により、数 10W の出力の取れる素子が開発されている。構造の一例を図 24 に示す。

FET は、接合型では多数キャリアを、また MOS 型では少数キャリアを電流の担体としているという本質的な相違はあるが、素子のパラメータの解析および回路

図 23 GaAs ショットキーバリア FET

図 24 大電力接合型 FET

への応用に関する本質的な違いはない。現在のところ、FET はまだ一部で使われているにすぎないが、周波数特性、電力の面からの制限は本質的にはなく、バイポーラトランジスタよりも、大きな可能性をもっている半導体素子である。デジタル回路の低電力化は、相補型 MOS (CMOS) によって実現し、高周波用途としても今後の通信技術を支える柱となり得る。トランジスタが真空管を駆逐したように、FET がバイポーラトランジスタの大半と入れかわる日も、さほど遠いことではあるまい。

5. その他の半導体素子

以上、半導体素子として最も重要なダイオード、バイポーラトランジスタ、FET について述べたが、ここで最近になって実用化されたいくつかの半導体素子について述べる。本章で取りあげるデバイスは、単なる技術的改良から生み出されたのではなく、半導体物性の研究の成果として現われたということを注意しておきたい。ここで取上げるものは、発光ダイオード、ガンおよびインパット等の発振素子、およびトンネルダイオードである。

5.1 発光ダイオード

発光ダイオード (以下 LED と略す) は、表示素子として最近急速に普及して来ている。LED の動作、特性の基本はすでに第 4 回に述べられているので、くり返さない。前回ふれなかった実際面について述べる。

(1) 電気的測定

ダイオードとしての電気的測定は、2 章で述べたことがあてはまる。LED として特に問題となるのは、LED の動作抵抗、ダイオード電流の立上り電圧 (たとえば順電流 $100\mu\text{A}$ 時のダイオード印加電圧) である。

(2) 光学的測定

LED の光学的測定についての規定はない。それぞれの製造者および使用者が、自己の判断に基づいて試験を行っている。LED として必要な測定は、発光波長 (スペクトルを含む)、発光輝度、光量、効率等である。発光スペクトルは分光器を用いる標準的な光学測定である。輝度は照度計で測るが、同じ明るさが得られたとしても見て明るさが同じように感じられるとは限らない。照度計の指示が同一であっても、発光部面積が異なるときは実際感じられる明るさは異なる。

発光効率は一般に量子効率が用いられる。すなわち、注入キャリアに対して得られる光子の数の比である。量子効率は内部効率と外部効率があり、内部効率は実際に接合部で生成される光子、外部効率は有効に外部へ取り出される光子の数の比である。

外部効率は図 25 のように、LED からの光を受光素子

図 25 LED 外部発光効率

(太陽電池等) に受け、LED 入力電流と受光素子出力電流の比より求める。内部効率は理論上は数 10% に達し得るが (直接遷移の場合)、結晶内部での吸収、反射等により減少し、現在知られている最高外部効率は GaP 赤 LED で 13% 程度、GaP 緑 LED で 0.7% 程度である。市場にある LED ではこの値の $1/3 \sim 1/20$ 程度であり、製造技術および方法による差が大きい。

LED の効率で注意しなければならぬのは、単純な発光効率の比較でなく、視感度曲線に対応して発光スペクトルの比較をしなければならないことである。視感度補正を考慮したうえで、現在最も効率の良いのは GaP 赤 LED である。

(3) 発光色

LED の発光色は、用いる材料の禁制帯に相当するエネルギーより長波長のものであり、GaP では緑から赤、GaAsP で黄色から赤、GaAs では赤外光となる。一般に発光機構により一義的に発光色は決まるが、緑 LED にフィルターをつけ、緑から黄の光を得る試みもある。現在、有用な青 LED はまだない。禁制帯が 3eV 以上で発光効率の高いものは今後の開発にまたねばならない。螢光体を利用したアップコンバーター (LED より得られる光子 2 個により、光子のエネルギーより高いエネルギー単位へと電子を励起させ、この励起電子が低い準位へおちるときのエネルギー差が光子となる) も開発されているが、まだ実用化されていない。

(4) LED の問題点

LED の発光効率は、温度が高くなると急激に低下する。大電流を流す場合、発光中心の飽和に起因する効率低下とともに、温度上昇による効率の低下も無視し得ない。温度上昇により、禁制帯が狭くなり発光波長が長波長へずれることも観測される。

LED は液相成長を用いるのが一般的であるが、今後の量産のためには気相成長および拡散技術の進歩が必要である。GaP LED は LEC (liquid encapsulated Czochralsky) 法により作られた GaP 基板に液相成長を 2 回行って作るが、SSD (synthesis solute diffusion) 法による GaP では、1 回の液相成長で良好な LED を作ることができる。この差は結晶中に含まれる結晶欠陥によるのであるが、このような結晶成長自体にも今後の改善が期待される。さらには液相成長によるのではなく、気

相成長と拡散により高効率の LED 製造法も確立されねばならない。劣化機構もまだ明確ではない。

いまのところ青色 LED の実現は非観的である。GaN が一応材料の候補として考えられているが、良い結晶を作ること、および pn 接合を形成することともに困難である。一方、赤外光を出す GaAs LED は、フォトカプラー等に広く利用されるであろう。

今後の LED の開発は、青 LED の開発も重要だが、発光と他の機能をもつファンクショナルデバイスとしての開発が必要であろう。負性抵抗、光スイッチ等の例があるが、今後のオプトエレクトロニクスの主役となるには、単に発光するのみでは困難であろう。

5.2 ガンダイオード

基本的な動作原理はすでに述べてあるので、前回ふれなかった点を少し述べるが、ガン効果は GaAs で発見され、ガンダイオードも GaAs で作られているが、ガン効果は軽い有効質量をもつ低い伝導帯の谷から、高い準位の重い有効質量の伝導帯へ電子が遷移することに起因するものであり、GaAs に限定されず、同様のバンド構造をもつ半導体すべてで作り得る可能性がある。III-V 族化合物半導体の混晶は、ある程度任意のバンド構造を作り得るので、今後閾値の低い高効率のガンダイオードが開発される可能性がある。』

ガンダイオードの動作は、高い準位にある高電界領域の走行によるものであるが、もうひとつの動作が可能である。LSA (limited space-charge accumulation) モードと呼ばれるものがそれである。これはダイオードに適当な大きさと速さの高周波電界をかけて行う。最初に電界を閾値以上とし、高電界領域が成長する前に、また電界を閾値以下とする。これをくり返し、電界がダイオード全域にわたり閾値を上下させる。このことによりダイオードは周期的に負の微分抵抗を示し、発振が可能となる。LSA モードでは、発振周波数はダイオードの長さには依存せず、高出力が得られる。

ガンダイオードは次に述べるインパットダイオードより低雑音であるが、これはインパットのようになだれ降伏を利用しないためである。

5.3 インパットダイオード

基本動作機構は第4回を見られたい。前回は p^+nn^+ 構造のものを示しているが、なだれ降伏時に発生するキャリアの走行時間遅れを実現すればよいのであるから、 p^+nin^+ 構造をもつ最初に提案されたリードダイオードに限らず、すべての接合で発振の可能性がある。同じ電流密度では、 pin 、 pn 、リードダイオードの順で負性抵抗は大きくなる。また同じ空乏層厚さの場合では、キャリア移動度の大きい GaAs が、より高い周波数の発振に

適する。

インパットダイオードでは電流密度を高くすることによりガンダイオードよりも高出力が得られ、また結晶欠陥等によるキャリアの散乱の影響も、ガンダイオードの場合ほどには著しくないといえよう。

インパットダイオードの動作のひとつに TRAPATT (trapped plasma avalanche triggered transit) モードと呼ばれるものがある。これは p^+n または pn^+ 構造において、直流バイアスに高周波を重畳させることにより得られる。印加高周波電界が高くなると、ダイオード内の電界の最大値の所でなだれ降伏が生じ、電子・正孔対(プラズマ)ができるが、電子と正孔は反対方向へ動くので、最大電界部は移動する。最初に降伏が生じた部分の電界は減少するが、移動した最高電界部で新たに降伏が生じ全体の電荷は増大する。降伏で生じたプラズマは低電界部にトラップされ、低電界による遅い速度で動く。したがって走行時間は長くなり、発振周波数は下るが大振幅が得られ、高出力と高効率を実現される。

インパットダイオードもガンダイオードも、ともに高電界で電流が大きい。発振の閾値電圧はガンダイオードの方が低い、内部で発生するエネルギー損失はともに大きく、放熱に注意する必要がある。このために熱伝導率の良いダイヤモンド上に素子を組立てる試みも行われている。

5.4 トンネルダイオード

江崎氏により発明されたので、エサキダイオードとも呼ばれるが、これはいままで述べて来た半導体素子とはまったく動作機構を異にする。すなわち、キャリアの注入、拡散、ドリフトまたは降伏時の増倍等によらず、量子力学上のトンネル効果によるものである。トンネルダイオード自体は不幸にして実用デバイスとしての役割は小さかったが、半導体物理としてはトランジスタの発明に匹敵する非常に大きな成果であり、超伝導におけるジョセフソン接合への道を開いたものといえる。

トンネルダイオードは、不純物濃度が 10^{19}cm^{-3} より高い、縮退した半導体(フェルミ準位がバンドの中に入りこんでいる)間の非常に狭い接合を用いる。動作原理を図 26 に示す。 n 側伝導帯にある電子(または p 側価電子帯の正孔)は、 p 側価電子帯に存在する空いている電子の準位(n 側伝導帯の空いている正孔準位)へとトンネル遷移する。このトンネル遷移において、エネルギーと運動量は保存されねばならない。トンネル電流は、縮退した半導体の場合に限り負性抵抗を示す。

トンネルダイオードには大きな順電流を流した場合生じる特有の劣化現象がある。接合部に高電界がかかっていることに起因する不純物の移動によって接合幅が広が

図 26 トンネルダイオードの動作原理

り、トンネル電流が減少すること、および新しい不純物単位が禁制帯中に形成され、谷電流の増加と、ときとして谷部に新しい構造が現われる。この劣化は、禁制帯の大きな半導体を用いたトンネルダイオードほど著しく、大きな発振出力が得られるはずの GaAs トンネルダイオードの劣化速度は、Ge のものに比し 2～3 桁大きい。

6. む す び

以上、代表的な半導体デバイスとして、ダイオード、バイポーラトランジスタ、FET、および特別なものとして各種の新しいダイオードについて述べた。サイリスタや IC 等についてはまったくふれなかったが、それぞれ参考文献を見られるようお願いする。CCD 等については別に述べられる予定である。

今後の半導体デバイスは、新しい機能を取入れたファンクショナルデバイスとして、また高集積化素子として、いっそう発展するであろうが、いままでよりもいっそう

半導体物性(結晶学的な事柄を含め)の進展によるところが大となる。同時に使用者側の情報のフィードバック、半導体専門家と回路設計者のいっそうの協力も必要となる。また使用者側も、デバイスの動作機構や、何故それを使わねばならぬかという基本問題を、コストも含めて考慮することがさらに重要となろう。

〈付 録〉

トランジスタの電流増幅率

ここでトランジスタの電流増幅率を支配する要素についてふれておく。

電流利得 α は、エミッタの注入効率 γ 、ベース領域の転送効率 β^* 、およびコレクタにおける増倍係数 α^* の積として表わされる。

$$\alpha = \gamma \beta^* \alpha^*$$

電流増幅率を大きくするには、それぞれの因子を大きくすればよい。一般的な手法として、 γ を大きくするためにエミッタの不純物濃度をベースでの値より充分大きくする。 β^* 増加にはベース幅を狭くするとともに、ベースにおける少数キャリアの寿命を長くする。コレクタの不純物濃度が低く、少数キャリア濃度が高いときに α^* は大きくなる。当然のことながら、 α 以外に耐圧や許容電力、接合容量等も設計の対象に入り、これらは相互に関連する量なので、あまり自由に値を選ぶことはできない。電流増幅率の最大値として 1000 程度は作り得ると考えられる。

なお、ベース幅を狭くすることは、遮断周波数を上げるためにも重要である。大きい表面再結合速度も α を低下させるが、表面が SiO_2 でおおわれたプレーナ型はこの点でも有利である。

〔参 考 文 献〕

- 1) NHK: NHK 半導体ハンドブック, トランジスタ編, 1972 ; 各社形名編, 1972; ダイオード・サイリスタ編, 1973 その他各メーカーのハンドブック類
- 2) 川口, 石野: 半導体素子・IC の測定法, 日刊工業新聞社 (1970)
- 3) 吉田, 藤沼: 製造面から見た半導体素子の特性と使い方, 日刊工業新聞社 (1971)
- 4) 集積回路ハンドブック編集委員会編: 集積回路ハンドブック, 丸善 (1968)