半 導 体 集 積 回 路

日本電気株式会社 松 倉 保 夫
村 上 剛

1. ま え が き

半導体集積回路はトランジスタ、ダイオード、抵抗、容量等が Si (シリコン) の小片の中に同一の製造工程により一度に作り込まれるものである。そしてこれらのおのの素子が Al (アルミ) の蒸着配線によって接続され、1 個の半導体集積回路を構成する。

集積回路を構成する各回路素子は、それぞれ他の回路素子から絶縁分離されなくてはならない。絶縁分離の方法には種々のものがあるが、現在最も多く採用されているのが pn ジャンクションの逆バイアスによる方法である。これは回路素子全体を pn ジャンクションで取り囲み、これを逆バイアスすることによって達成している。 pn ジャンクションの逆バイアス特性は直流的には高インピーダンスを有するが、接合容量が付随するため高周波特性は良くない。

(1) トランジスタ

トランジスタは図1のような構造をしており、 n 型エピタキシャル層に B (ボロン)、P (リン) 等をそれぞれ選択拡散することにより、ベース拡散層、エミッタ拡散層を作り込んでいる。通常のプレナートランジスタと異なりコレクタ電極を表面から取り出しているため、コレクタ抵抗 r_{sc} を小さく押える必要がある。このため、低抵抗埋込み層をエピタキシャル工程の前に作り込んでいる。

(2) 拡散抵抗

半導体集積回路で使用する拡散抵抗は図2に示すように p^+ 絶縁分離によって作られた n 型エピタキシャル

図1 トランジスタの断面図

"Semiconductor Physics and Semiconductor Devices; 8. Semiconductor ICs" by Yasuo Matsukura and Tsuyoshi Murakami (Nippon Electric Co., Ltd., Kawasaki)

の島の中に p 型拡散を行うことによりトランジスタのベース層と同時に作られる。 n 型エピタキシャルの島は回路中での最高電位にクランプされ、拡散抵抗は常に逆バイアスされた pn ジャンクションによって囲まれた状態にある。層抵抗 ρ_s は普通 $100 \sim 200 \Omega/\square$ の値であり、特に高抵抗を必要とするもの、または高速を必要とする IC では $\approx 400 \Omega/\square$ 程度のものが使用されることもある。

(3) ダイオード

集積回路においては、ダイオードはトランジスタのエミッタジャンクションあるいはコレクタジャンクションが使用される。図3はエミッタジャンクションを使用するときの結線例である。コレクタジャンクションを使用する方法は、TTL, DTL のように Au ドープにより pnp トランジスタ動作を押えているものでは使用できるが、リニア回路、CML, CTL 系のデジタル回路では使用できない。

(4) 容 量

半導体集積回路における容量には pn ジャンクションの逆バイアス容量を使用するものと、結晶表面の Si 酸化皮膜を誘電体とする MOS 構造のものとがある。しかし、これらの容量は精度が良くないため極力使用しないようにしている。

2. バイポーラデジタル回路

バイポーラデジタル回路は、その回路形式によって

図2 拡散抵抗の断面図

図3 ダイオードの結線例

表 1 バイポーラデジタル回路の分類

バイポーラ デジタル 集積回路	飽和型	DCTL (direct coupled transistor logic)
		RTL (resistor transistor logic)
		DTL (diode transistor logic)
		TTL (transistor transistor logic)
	非飽和型	CTL (complementary transistor logic)
		CML (current mode logic)

表 1 のように多くの種類に分類される。DCTL, RTL は集積回路の開発当初一時市販されたこともあるが、現在では歴史的意味しか持っていない。現在主に使用されているものは、DTL, TTL, CML である。この 3 つの回路について以下に述べよう。

2.1 DTL (Diode Transistor Logic)

DTL は回路構成が簡単なこと、回路素子間の相互作用が少ないこと、各回路素子に要求されるパラメーター値の余裕度が大きいこと等から、IC 化が一番行いやすい回路形式であったため、最初に IC 化され、実用化された回路形式である。

DTL の基本回路構成を図 4 に示す。入力 A, B, C のうち 1 個以上に“0”信号 (low level) が入力されるか、または、すべての入力に“1”信号 (high level) が入力されるかに応じて、 $V_{cc} \rightarrow R_1$ の電流が切換えられ、出力トランジスタ TR がオフ状態またはオン状態となる。

すなわち、DTL の基本回路は正論理で NAND 論理機能を持っている。

DTL の speed・power 積は約 300 pico joule であり、TTL の約 60 pico joule とくらべて格段に劣り、価格面ではほとんど差がなくなってきた現在、cost/performance で大きな開きが生じている。また、ファミリー化されている品種もゲート回路、フリップフロップ回路等 gate-like のもののみであって、TTL, CML 等に見られるような多彩な MSI 回路は作られていない。以上の理由で、DTL はだんだん使われなくなっているため、ここではこの程度に止める。

2.2 TTL (Transistor Transistor Logic)

(1) TTL の基本回路

TTL は回路構成上からは DTL にきわめて類似しており、ある意味では、DTL を基本として、高速化のた

図 4 DTL の基本回路構成

図 5 TTL の基本回路構成

めに、種々の改良を加えた回路形式ということができる。図 5 に TTL の基本回路を示す。この回路は、抵抗 R_1 、マルチエミッタトランジスタ TR_1 より成る AND ゲート回路、抵抗 R_2, R_3 、トランジスタ TR_2 より成るインバーター回路、抵抗 R_4 、トランジスタ TR_4, TR_5 より成る off buffer 回路、および出力駆動トランジスタ TR_3 より構成されている。

TTL 回路は DTL 回路と比較すると、次の諸点で高速化のための改善がはかれている。

① 入力ゲート部の各ダイオードを集めてマルチエミッタ構造としたため素子ディメンションの縮小がはかられたこと、ターンオフ時に、AND ゲート回路のトランジスタ動作により、トランジスタ TR_2 のベースより少数キャリアを引き出す効果を持ったこと、この 2 つにより格段に高速化されている。

② DTL のレベルシフトダイオードをインバーター回路に置き換えることにより、電流増幅機能を持たせ、ターンオン時の出力駆動トランジスタ TR_3 のベース駆動電流を増大し、高速化をはかっている。

③ 出力段に off buffer 回路を付加し、ターンオフ時の出力インピーダンスを小さくし、容量性負荷に対する高速化をはかっている。

(2) TTL の機能回路ブロック

TTL 回路は現在最も一般的に使用されている回路形式であり、多くの機能回路ブロックが IC 化されている。大別すると以下のように要約されよう。

① メモリー機能を有する回路

shift register, register file, flip flop, latch, counter

② 論理演算機能を有する回路

arithmetic logic unit, carry generator, full adder, comparator

③ インターフェース回路

driver, receiver, level translator

④ その他

multiplexer, parity generator, decoder, encoder.

これらのうち 2, 3 の回路につき応用例を説明しよう。

(a) ALU と carry generator

図 6 4 bit ALU (μPB2181) の等価回路

図 6 は 4 bit ALU (arithmetic logic unit) μPB2181 の等価回路であり、図 7 は carry generator μPB 2182 の等価回路である。

ALU はコンピューターの central processor に代表される種々の演算処理装置において、数値データの加減算、比較処理、および、文字の論理演算等を行ううえで非常に有用な回路である。ALU は高速の加減算回路として使用するのが最も普通の使い方である。

図 6 において、 $A_0 \sim A_3$ 、 $B_0 \sim B_3$ は 2 進数 4 ビットのオペランド (operand) であり、 C_n は前段からの桁上げ信号入力、 C_{n+4} は後段への桁上げ信号出力である。このような並列加算回路において、演算スピードのリミットとなるものは桁上げの処理である。この 4 ビット ALU では桁上げの先取制御を行い、演算スピードの高速化をはかっている。桁上げ出力 C_{n+4} は次式のように表わすことができる。

$$C_{n+4} = G + P \cdot C_n$$

ここに

$$G = A_3B_3 + A_2B_2(A_3 + B_3) + A_1B_1(A_2 + B_2)(A_3 + B_3) + A_0B_0(A_1 + B_1)(A_2 + B_2)(A_3 + B_3)$$

$$P = (A_0 + B_0)(A_1 + B_1)(A_2 + B_2)(A_3 + B_3)$$

G は generated carry といい、 C_n の有無に関係なく、この段で桁上げが発生することを示している。

図 7 carry generator (μPB2182) の等価回路

P は propagated carry といい、前段からの桁上げ C_n を後段への桁上げ出力 C_{n+4} に転送する役目を果している。

図 7 の carry generator と組合せて 16 ビット加算器を構成したものが図 8 である。図 9 のように 4 個の 4 ビット ALU を直列に接続して、桁上げを ripple carry として処理した場合と比較して処理速度は 60 ns が 36 ns と格段の高速化が達成されている。

(b) マルチプレクサー

図 10 は 8 入力マルチプレクサー μPB 9309 の等価回路である。 $I_0 \sim I_7$ の 8 個の入力信号から $S_0 \sim S_2$ の 3 個の入力選択信号によって選択された 1 個の入力信号が出力される機能を持っている。

このマルチプレクサーは、複数入力信号から任意の入力信号 1 個を選択するという本来の機能を生かした使用法他、一般の論理回路の合成に非常に簡便に使用することができる¹⁾。たとえば、8 入力のマルチプレクサーを使用することによって、4 変数のブール関数で表現される任意の論理機能を合成することが可能である。

4 変数ブール関数は、一般に次式のように表わすことができる。

$$f(A, B, C, D) = \bar{A}\bar{B}\bar{C}f(0, 0, 0, D) + \bar{A}\bar{B}Cf(0, 0, 1, D) + \bar{A}B\bar{C}f(0, 1, 0, D) + \bar{A}BCf(0, 1, 1, D) + A\bar{B}\bar{C}f(1, 0, 0, D) + A\bar{B}Cf(1, 0, 1, D) + AB\bar{C}f(1, 1, 0, D) + ABCf(1, 1, 1, D)$$

ここに、右辺の f 関数は D のみの関数であって、

図 8 16 ビット加算器の構成例

図 9 ALU の直列接続による加算器の構成例

図 10 マルチプレクサー (μPB 9309) の等価回路

その項における D の状態を表わすものである。すなわち、その項に D として含まれる場合、 $\bar{D}$ として含まれる場合、 D に無関係の場合、該当する項が存在しない場合のそれぞれに対応して、 f 関数は $D, \bar{D}, 1, 0$ の値を取る。

いま次式で表わされるブール関数をマルチプレクサーで実現すると図 11 のようである。

$$f = \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D}$$

以上のように、マルチプレクサーを用いると非常に簡単な配線接続によって任意の論理回路を合成できる。

2.3 SBD clamped TTL

飽和型論理回路の欠点である蓄積時間 (storage time) を減少させ、かつ、 pnp 寄生効果をなくすための Au 拡散工程が省略できるように、トランジスタのベース・コレクタ間に、 pn 接合より低い順方向電圧を持った SBD (schottky barrier diode) を挿入し、このクランプ効果

図 11 マルチプレクサーの使用例

によってトランジスタの過飽和を防いでいる回路が SBD clamped TTL であり²⁾、conventional TTL よりも格段の高速化を達成している。

図 12 および図 13 に SBD clamped transistor の断面図ならびに等価回路を示す。SBD clamped transistor を設計するうえで考慮すべき事項は、conventional TTL との互換性を持たせることから、蓄積時間 t_s とオン出力電圧 V_{OL} である。これらはそれぞれ次式のように表わされる。

$$t_s = \tau \ln \left(\frac{I_B - I_{Boff}}{I_c / h_{FE} - I_{Boff}} \right)$$

$$V_{OL} = V_{BE} - V_D + I_d r_d$$

$$I_D = S_D A^* T^2 \exp(-q\phi_B/kT) \{ \exp(qV_D/kT) - 1 \}$$

ここに

τ : プロセス、形状によって決まる時定数

S_D : ダイオード断面積

A^* : リチャードソン定数

k : ボルツマン定数

ϕ_B : バリヤの高さ

I_{in} を一定としたとき、 t_s は V_D および r_d が小さいほど小さくなるのに対し、 V_{OL} は逆に大きくなる。

図 12 SBD clamped transistor の断面図

図 13 SBD clamped transistor の等価回路

図 14 SBD clamped TTL の基本回路構成

V_{OL} を conventional TTL の上限 ($\approx 0.4V$) に押えるためには V_D, r_d を小さくすることに制限が加えられる。実際の設計に当っては、SBD の金属、エピタキシャル濃度に対して、 t_s, V_{OL} を考慮して SBD ディメンションの決定がなされている。

以上の考慮がはらわれて設計された SBD clamped TTL の基本等価回路は図 14 のようであり、使用電源、信号レベルは conventional TTL と互換性がある。

現在 conventional TTL と function, ピン配列の互換性のある多くの SSI, MSI が市販されている。

2.4 CML (Current Mode Logic)

高速大型コンピュータ、高速 PCM システム等、高速論理動作が強く要求されるシステムには、超高速動作が可能な非飽和型の CML 回路が採用されている。

CML の基本回路は図 15 に示すように、基準電圧発生回路、スイッチング回路、出力エミッタホロウ回路より構成される。CML 回路は、スイッチング回路における定電流源を安定にするために、消費電力が他の logic と比較して大きいという欠点があるが、

- ① 非飽和型で高速論理動作に適している。
- ② OR, NOR 出力が同時に得られる。
- ③ 出力の wired OR が取りやすい。

図 15 CML の基本回路構成

表 2 代表的 CML IC

品種系列	メーカー	発表時期	遅延時間(ns)	消費電力(mW/ゲート)
MECL I	モトローラ	1962	8	30
MECL II	"	1965	4	30
MECL III	"	1968	1.1	70
MECL 10,000	"	1971	2	30
ECL 2,500	TI	1968	2.5	50
ECL 9,500	FC	1970	2.5	50
μ PB 300	NEC	1967	2	40

④ 伝送線との整合が取りやすい。

等から高速論理システムには不可欠な回路である。表 2 に現在までに発売された代表的 CML IC を示す。

IC 化された CML が最初に市販されたのは、Moto-rola 社の MECL シリーズである。1962 年 MECL I 発表以来、MECL II, MECL III と発表され 1971 年に MECL 10,000 が発表された。この MECL 10,000 の基本ゲート当りの speed · power 積は 50 pico joule と非常に高性能化されており、このシリーズで 50 種以上の SSI, MSI がファミリー化されている。

この MECL 10,000 シリーズに関しては、TI, Fairchild, Signetics 等、多くのメーカーが second source として名乗りを上げており、CML の主流品種となっている。

この他に、サブナノロジックとして、日本電気より μ PB 600 シリーズ CML が発表されている。washed emitter, graft base, shallow junction 等、最新の技術が採用され、平均遅延時間 0.7 ns が達成されており、注目される品種である。

3. 半導体集積回路素子の設計

高性能でむだのない IC を開発するためにはコンピュータシミュレーションによって精度の高い設計をする必要がある。半導体集積回路素子のうち、トランジスタは IC の特性を最も左右する素子であり、またコンピュータシミュレーションにおいて取り扱いのポイントになる素子である。このトランジスタがコンピュータシミュレーションのためにどのように取り扱われるか以下に述べよう。

3.1 基本関係式

半導体集積回路は同一の微小 Si 単結晶内にトランジスタ、ダイオード、抵抗等、多数個の素子を同一プロセスによって同時に作り込むものであり、これらの素子の動作は半導体物質中のキャリアの分布とその動作を記述する次の基本関係式により表わすことができる(以下では n 型半導体を主体に述べるが、 p 型半導体でもまったく同様に取扱うことができる)。

(1) 電荷の保存と連続の方程式

$$\frac{1}{q} \operatorname{div} j_p + \frac{\partial p}{\partial t} + \frac{p-p_n}{\tau_p} = 0 \quad (1)$$

p : 正孔密度, j_p : 正孔電流密度, q : 電気素量,
 p_n : 熱平衡状態における正孔密度, τ_p : n 型半導体
 中の正孔寿命

(2) 電流の式

半導体中の電流は, キャリヤの電界加速によるドリフト電流, キャリヤの密度差による拡散電流, および変位電流の3成分より成る. 正孔に対しては,

$$J_p = q(p\mu_p E - D_p \operatorname{grad} p) + \frac{\partial D}{\partial t} \quad (2)$$

E : 電界の強さ, D_p : 正孔の拡散係数, μ_p : 正孔の移動度, D : 電気変位

(3) ポアソンの方程式

$$\left. \begin{aligned} \operatorname{div} D &= \rho \\ \rho &= q(n_d - n_a + p - n) \end{aligned} \right\} \quad (3)$$

ρ : 空間電荷密度, n_a , n_d : イオン化したアクセプターおよびドナー密度

(4) キャリヤの分布法則 (Maxwell-Boltzman 分布)

$$n = n_i \exp(\psi - \phi_n) / kT \quad (4)$$

ψ : 半導体の静電ポテンシャル, ϕ_n : 過剰キャリアが存在する場合のフェルミポテンシャル

以上, 4つの基本方程式を連立させて数学的に解を導くことにより半導体素子の電気的特性を求めることができる. しかし, これら基本式から解を得ることは非常に複雑であるため, 種々の近似を行って回路解析に適用しやすい形になおしている. これが次に述べるトランジスタモデルである.

3.2 接合型トランジスタモデル

トランジスタの大信号動作を表わすモデルには,

- ① Ebers-Moll モデル
- ② Beaufoy-Sparkes のチャージコントロールモデル
- ③ Linvill のランプドモデル
- ④ Meyer-Narud-Hamilton のノンリニアトランジスタモデル

等がある. これらのモデルは, いずれも前節で述べたキャリアの分布および動作に関する基本関係式を出発点とし, 等価回路パラメーターが容易に測定できると同時に, 実際のトランジスタの構造と対応がつきやすく, かつ回路計算に便利なようにつくられている.

以下ノンリニアトランジスタモデルを主にして述べよう. pn トランジスタの n 型ベース領域における少数キャリアに対する方程式は (1), (2) 式から,

$$\frac{\partial p}{\partial t} = D_p \frac{\partial^2 p}{\partial x^2} - \mu_p \frac{\partial}{\partial x} (Ep) + \frac{p-p_n}{\tau_p} \quad (5)$$

$$j_p = q\mu_p pE - qD_p \frac{\partial p}{\partial x} \quad (6)$$

と表わせる. また熱的平衡状態では電界によるドリフト電流と拡散電流が反対方向に流れて打消し合う状態になっていることから,

$$J_n = q\mu_n E + qD_n \frac{\partial n_n}{\partial x} = 0$$

すなわち,

$$E = -\frac{D_n}{\mu_n} \frac{1}{n_n} \frac{\partial n_n}{\partial x} \quad (7)$$

また, 図 16 に示すように, 電子密度をエミッタ側の端 ($x=0$) で n_n^0 , コレクタ側の端 ($x=w$) で n_n^w , ベース幅を w とし, ベース領域内での電子密度分布を指数関数で近似すると,

$$n_n(x) = n_n^0 \exp\left\{-\frac{x}{w} \ln\left(\frac{n_n^0}{n_n^w}\right)\right\} = n_n^0 \exp\left(-\frac{x}{w} \ln K\right) \quad (8)$$

これを (7) 式に入れて,

$$E = \frac{D_n}{\mu_n} \ln K = \frac{D_p}{\mu_p w} \ln K \quad (9)$$

熱平衡状態における少数キャリア密度 p_n は $p_n n_n = n_i^2$ に (8) 式を入れることにより,

$$p_n(x) = \frac{n_i^2}{n_n^0} \exp\left(\frac{x}{w} \ln K\right) = p_n^0 \exp\left(\frac{x}{w} \ln K\right) \quad (10)$$

(5) 式をラプラス変換し, (9), (10) 式を代入整理することにより,

$$\frac{d^2 p}{dx^2} - \frac{\ln K}{w} \frac{dp}{dx} - \frac{1+s\tau_p}{L_p^2} p = -\frac{1+s\tau_p}{sL_p^2} p_n^0 \exp\left(\frac{x}{w} \ln K\right) \quad (11)$$

ただし $L_p = \sqrt{D_p \tau_p}$ (拡散距離)

この p に関する常微分方程式の一般解は,

$$P(x, s) = C_1 e^{m_1 x} + C_2 e^{m_2 x} + \frac{p_n^0}{s} \exp\left(\frac{x}{w} \ln K\right)$$

$$m_1, m_2 = \frac{\frac{\ln K}{w} \pm \sqrt{\left(\frac{\ln K}{w}\right)^2 + 4\left(\frac{1+s\tau_p}{\tau_p^2}\right)}}{2}$$

これより過剰正孔密度 $p_e(x, s)$ は,

図 16 ベース領域における電子密度分布

図 17 接合面における境界条件

$$p_e(x, s) = p(x, s) - \frac{p_n^0}{s} \exp\left(\frac{x}{w} \ln K\right) \\ = K^{x/2w} (C_1 e^{\sigma x} + C_2 e^{-\sigma x}) \quad (12)$$

$$\text{ただし } \sigma = \sqrt{\left(\frac{\ln K}{w}\right)^2 + 4\left(\frac{1+s\tau_p}{L_p^2}\right)} / 2$$

図 17 に示す境界条件で C_1, C_2 を求めることにより (12) 式は,

$$p_e(x, s) = \frac{K^{x/2w}}{\sinh \sigma w} \left[\frac{p_c}{\sqrt{K}} \sinh \sigma x + p_E \sinh \sigma (w-x) \right] \quad (13)$$

次に (6) 式をラプラス変換して,

$$j_p = q D_p \left(\frac{\ln K}{w} p_e - \frac{d p_e}{dx} \right)$$

電流に対する境界条件から,

$$x=0 \text{ で } \frac{I_E}{q A D_p} = \frac{\ln K}{w} p_E - \left[\frac{d p_e}{dx} \right]_{x=0}$$

$$x=w \text{ で } \frac{I_C}{q A D_p} = \frac{\ln K}{w} p_C - \left[\frac{d p_e}{dx} \right]_{x=w}$$

(A はベース領域の断面積)

(13) 式を x に関して微分し, 上式に代入して,

$$\frac{I_E}{q A D_p} = p_E \left(\frac{\ln K}{w} + \sigma \coth \sigma w \right) - \frac{p_C}{\sqrt{K}} (\sigma \operatorname{cosech} \sigma w) \quad (14)$$

$$\frac{I_C}{q A D_p} = -p_E \sqrt{K} (\sigma \operatorname{cosech} \sigma w) + p_C \left(\sigma \coth \sigma w - \frac{\ln K}{2w} \right) \quad (15)$$

I_E, p_C の係数をテイラー展開し, ラプラス逆変換することにより,

$$i_e(t) = a_{11} (1 + \tau_{11} s) (e^{(q/kT)\phi_e} - 1) \\ - \frac{a_{12}}{1 + \tau_{12} s} (e^{(q/kT)\phi_c} - 1) \quad (16)$$

$$i_c(t) = - \frac{a_{21}}{1 + \tau_{21} s} (e^{(q/kT)\phi_e} - 1) \\ + a_{22} (1 + \tau_{22} s) (e^{(q/kT)\phi_c} - 1) \quad (17)$$

ここに,

$$a_{11} = \frac{A D_p q p_n^0}{w} \left[1 + \frac{w^2}{2 L_p^2} + \frac{(\ln K)^2}{8} + \frac{\ln K}{2} \right]$$

$$a_{12} = \frac{A D_p q p_n^w}{w \sqrt{K}} \left[1 + \frac{1}{6} \left(\frac{w}{L_p} \right)^2 + \frac{(\ln K)^2}{24} \right]$$

$$a_{21} = \frac{A D_p q p_n^0 \sqrt{K}}{w \left[1 + \frac{1}{6} \left(\frac{w}{L_p} \right)^2 + \frac{(\ln K)^2}{24} \right]}$$

$$a_{22} = \frac{A D_p q p_n^w}{w} \left[1 + \frac{w^2}{2 L_p^2} + \frac{(\ln K)^2}{8} - \frac{\ln K}{2} \right]$$

$$\tau_{11} = \frac{\tau_p (w/L_p)^2}{2 + \left(\frac{w}{L_p} \right)^2 + \frac{(\ln K)^2}{4} + \ln K}$$

$$\tau_{21} = \tau_{12} = \frac{\tau_p (w/L_p)^2}{6 + \left(\frac{w}{L_p} \right)^2 + \frac{(\ln K)^2}{4}}$$

$$\tau_{22} = \frac{\tau_p (w/L_p)^2}{2 + \left(\frac{w}{L_p} \right)^2 + \frac{(\ln K)^2}{4} - \ln K}$$

ただし, $K = p_n^w / p_n^0$

以上でノンリニアトランジスタモデルが求まった. このモデルはトランジスタの端子電流対ジャンクション電圧の関係を表わすものであり, パラメータ a_{ij}, τ_{ij} は測定で容易に求めることができるため, トランジスタの大信号モデルとして集積回路の回路解析に非常に有用である.

実際の IC の回路設計に当っては, まず IC の要求仕様に合った回路形式の選択ならびに等価回路の設計が行われる.

初めに, 各素子に要求される電気的仕様から素子の幾何学的構造 (IC の場合マスクによる平面ディメンションによって決まる) ならびに拡散での不純物濃度プロファイルの決定がなされる. 次にここで決定された等価回路, 回路定数, 素子の幾何学的構造ならびに不純物濃度プロファイルによって得られる電気的特性が要求される電気仕様を満足するかどうかをコンピューターシミュレーションによって確認する. すなわち, 素子の幾何学的構造, 不純物濃度プロファイルからノンリニアトランジスタモデルのパラメータ a_{ij}, τ_{ij} が求まり, これより各素子の端子での電流-電圧関係式を連立させて解くことにより, IC 端子での電気的特性を求めることができる. この手順を幾度か繰り返すことにより, 要求仕様にあった最適な回路定数, 幾何学的構造, 不純物濃度プロファイルが決定される.

〔参 考 文 献〕

- 1) L. Anderson: Multiplexer double as logic circuits, Electronics, Oct. 27 (1969)
- 2) Y. Tarui: Transistor schottky barrier diode integrated logic circuit, International Solid-State Circuit Conference, Feb. 1968.