高速大容量メモリー素子の将来

株式会社日立製作所 中央研究所 伊 藤 清 男
久 保 征 治

本稿では、まず各種メモリーの分類と用途の概要を述べ、次にメモリー LSI の中で、特に技術の先導的役割を果たしてきた MOS RAM を中心にとり上げ、その開発現況と問題点を概説する。さらにバイポーラ RAM や CCD などについても述べ、最後に今後の超 LSI メモリーを開発するうえでの主要技術課題について述べる。

1. ま え が き

LSI 技術の進展は、電子計算機を代表とする情報機器の価格、性能に大きなインパクトを与えている。特にメモリー LSI は、年々高速大容量化がはかられ、大容量化は、製品ベースでは 4 倍/3 年のペースで着実に進んでいる(図 1)。RAM を例にとると、その大容量の記録は常に MOS ダイナミック RAM で達成され、いまやその製品開発の中心は 64k ビットメモリー²⁰⁾ となっている。特に最近 64k ビット RAM を用いた IBM の新シリーズの発表¹⁾ によって、さらに MOS RAM の開発に拍車がかかった感がある。ダイナミック MOS RAM の 1/4 で、スタティク MOS RAM とバイポーラ RAM の大容量化がはかられている。この大容量化に伴って、

図 1 ダイナミック MOS RAM の大容量化の年次推移

図 2 MOS RAM の高速化の年次推移

ビット単価は年率約 30~40% も安価になるとまでいわれている。

高速化については(図 2)、RAM を例にとると、MOS 技術の急速な進展により、入出力論理レベルが TTL であるアクセス時間 20~50 ns の領域では、従来のバイポーラ RAM が、価格面でスタティク MOS RAM²⁾ によって置換えられつつある。しかし ECL 領域 (10~20 ns 以下) では、当分バイポーラ RAM³⁾ の優位は動きそうにない。

RAM 以外のメモリー LSI でも、この高速大容量化の開発ペースはほぼ同様で、この結果メモリー LSI は多方面に爆発的に侵透するようになった。このような技術革新は、製造プロセス、デバイス、回路技術の発展による。

本稿では、まず各種メモリーの分類とその概要を述べる。次にメモリー LSI の中で、特に技術の先導的役割を果たしてきた MOS RAM を中心にとり上げ、その開発現況と問題点を概説する。さらにバイポーラ RAM や

"Future of High Speed and Large Capacity Memory LSI" by Kiyoo Itoh and Masaharu Kubo (Hitachi Central Research Laboratory, Hitachi Ltd., Tokyo)

表 1 メモリー LSI の分類

		バイポーラ	MOS
メモリー LSI	RAM	○	○
		△	○
	ROM	△	○
		—	△
		○	△
		—	△
		—	○
		—	○
	SR	—	—
		—	○
	CAM	△	△
		△	△
	FAMOS MNOS	—	—
		—	○

- (注1) バイポーラ MOS 項の ○印 一般的に製品として存在するもの。
△印 一部もしくは少量製品もある。または今後開拓される。
—印 現在ほとんど製品がない。
- (注2) M. ROM をマスクプログラマブル ROM (MPROM), PROM をフィールドプログラマブル ROM (EPROM) と呼ぶこともある。

図 3 RAM のブロック図

CCD などについても述べ、最後に今後の超 LSI メモリーを開発するうえでの主要技術課題について述べる。

2. 各種メモリーの分類

メモリー LSI を機能により分類すれば、RAM, ROM (Read Only Memory), SR (Shift Register), CAM (Content Addressable Memory) に大別される。表 1 はメモリー LSI の分類表で、バイポーラ, MOS の使用区分の概略も合せて示した。

RAM は任意のアドレスを選択でき、情報“1”または“0”を読み書きできるメモリーである。RAM のブロック図を図 3 に示す。X と Y のアドレスを選択し、メモリーセルがマトリクス状に配置されたメモリーアレイ中の任意のビット (メモリーセル) を選び、センスアンプを通して読出し、またデータ入力を制御回路を通して任意のビットに書き込みを行う。

RAM はそのメモリーセル回路によってスタティクとダイナミックの 2 種に大別される。スタティクメモリーセルは、いわゆるフリップフロップ回路で、電源が保持されている限り情報は保持できる。一般にバイポーラ RAM はスタティク型である。しかし MOS の場合、このスタティク以外にトランジスタ数がより少ないダイナミックメモリーセルがある。このセルでは、MOS キャパシターに電荷を蓄えることにより情報を保持している。この電荷はリーク電流により時間とともに消失するため、通常 2 ms ごとに再生書き込み (リフレッシュ) を行う必要がある。RAM は、低価格優先の場合には大容量の MOS が、また高速優先の場合にはバイポーラと、用途に応じて計算機やフレームメモリーなどに使い分けられている。

ROM は一般的に情報の読出し専用である。マスク式 ROM と PROM (Programmable ROM) がある。PROM には一度書込むと再書き込みできないタイプと、FAMOS (Floating gate Avalanche injection MOS) のように書込まれた情報パターンを紫外線、X

線や電気的方法により消去し、再書き込みが可能なタイプがある。ROM はディスプレイ装置やプリンター等の文字パターン発生器、入出力装置のコード変換、計算機のマイクロプログラムなどに使用される。

SR は RAM と同じように読出し、書き込みができるが、入力情報を順次、次段のビットへ移していくメモリーで、CCD (Charge Coupled Device) がその代表である。計算機用大容量補助メモリー、端末のレジスターやフレームメモリー等に期待されている。

CAM は連想メモリーで、現在は開発がそれほど活発ではないが、図形処理とか、ROM よりももっと一般性のあるマイクロプログラムなどへの利用が考えられる。

3. メモリー LSI の開発動向

3.1 ダイナミック MOS RAM

ダイナミック MOS RAM は大容量低価格 RAM の主流である。本 RAM の特徴は、(1) 1 ビットを構成する素子の数が少ないので高集積に適する、(2) 低消費電力である、ことにある。その反面、(a) 通常 2ms ごとに情報を再生するためにチップ外部に余分な制御回路が必要、(b) 高速、低消費電力で安定動作させるために 2~3 電源が必要、(c) 検査がやや複雑、などの短所がある。しかし多少の使いにくさはあっても、64k ビットのような大容量でも 16 ピンパッケージに収容されていて高密度実装できること、しかも低価格なので、計算機主記憶などの分野で主流を占めている。

表 2 は各種のメモリーセル方式である。No. 1 は、4

トランジスタ (4T) 方式で、 Q_1, Q_2 のいずれかのトランジスタのゲート容量に電荷を蓄えることによって、情報“1”、“0”を記憶する。ワード線 w をオンすることによってデータ線 $d, \bar{d}$ に現われる読出し信号を差動に検出できるので高速に適するが、占有面積は大きい。No. 2 の 3Tセルでは、 Q_1 をオンすることによって、データ線から電圧の高低 (電荷の有無) という形で、 Q_2 のゲートに情報が書込まれる。読出し時には、 w_2 をオンすることによって、 Q_2, Q_3 を通して電流が流れるか否か (“1”、“0”に対応) を、 d の電圧変化によって検出する。

No. 3 は、現在のダイナミック RAM の主流である 1T セルである。情報蓄積用キャパシター C_s に蓄えられた電荷は、読出し時にデータ線の容量 C_d と C_s とで電荷が配分されて、情報に対応した電圧が d に現われる。セル自身が単純であるために最も高集積に適する。しかし C_d が C_s の 10~20 倍もあり、信号電圧は微小 (100~200 mV) であるので、高感度センスアンプ⁴⁾が必要である。

1T セルとして種々のデバイス構造が提案されている

が、図 4 に 2 層ポリ Si を用いた代表的セル⁵⁾を示す。 C_s は、正の直流電圧を印加された 1 層目のポリ Si と、その直下に薄い酸化膜 (400~800 Å) を介して形成された反転層間で形成される。

以上の 1T セルに代表されるダイナミック RAM の技術的課題は、センスアンプの高感度化と高 S/N 化である。このための一例として図 5 のようなフリップフロップ形式のセンスアンプ⁴⁾がある。データ線 d に接続される多数のメモリーセルに対して、1 個のダミーセル (差動雑音相殺用) が $\bar{d}$ に接続されている。ダミーセルからの信号電圧 (基準電圧に相当) は、メモリーセルからの“1”と“0”に対応した信号電圧のほぼ中間に設定されている。読出しは、ワード線とダミーワード線に電圧を同時に印加し、 $d, \bar{d}$ に現われた差動信号を、センスアンプの起動パルスを印加して増幅する。この感度は左右のデータ線間の電気定数の不平衡、あるいはアンプの対トランジスタの閾値電圧差などで決定されるので、細心なレイアウト設計や製造プロセスの制御が特に要求される⁴⁾。

最近の話題のひとつは、業界待望の 5V 単一電源ダイナミックメモリー⁶⁾が商品化され始めたことである。しかも情報再生の

表 2 各種のダイナミック MOS RAM セル

No.	セル方式	メモリーセル回路	セルサイズ*	特 徴
1	4T セル		~1,500 μm^2	高集積に適さぬが、高速で動作が安定
2	3T セル		~1,000 μm^2	1T, 4T セルの中間
3	1T セル		~ 400 μm^2	中速だが高集積に適する

* 5 μm レイアウトルール

図 4 2 層ポリ Si (ポリ 1, ポリ 2) を用いたメモリーセル⁵⁾

図5 1Tセル用センスアンプ⁴⁾

（動作開始直前、 d , $\bar{d}$ は電源電圧まで充電されており、 N は $0V$ に放電されている）

ためにユーザーは特別な制御回路を設計する必要もないもの⁷⁾（チップに内蔵されている）まで現われるに至って、従来のダイナミック RAM のイメージが変わりつつある。今後このような使い易さを武器に、ダイナミック RAM の用途は拡大するだろう。この種のメモリーでのチップ設計上の問題点は、 $5V$ と低電圧（従来 $12V$ ）のためにメモリーセルからの読出し信号が小さいこと、 $5V$ を用いて Si 基板に負の電圧を与える内蔵型電圧発生回路を設計することが難しいこと、などである。

他の話題のひとつは、 α 線によるソフトエラー⁸⁾の問題である。セラミックやガラスパッケージ材料に含まれているウラニウムやトリウムから放出される α 線が、シリコン基板に電子と正孔の対を作りながら、約 $25\mu m$ の深さまで入射し、この中の電子が拡散して、図4の電荷が記憶されている反転層領域やデータ線に集まると、記憶情報が破壊され“1”から“0”になったり、センスアンプが誤動作したりして読出しエラーとなる。これは一過性の現象なのでソフトエラーと呼ばれている。

ソフトエラーの起り易さは、メモリーセルに蓄えられている記憶電荷量、センスアンプの感度、 α 線の発生頻度などに関係する。

このソフトエラーは、メモリーシステムにエラーの訂正機能をもたせることによって実用上問題はなくなる。またパッケージ材の精製、パッケージの構造の改良、LSI 表面を放射線物質を含みぬもので塗付して、シリコン基板に α 線が入らぬような工夫、あるいは α 線の影響を受けにくいメモリーセルの改良なども効果的である。

さらに最近の話題は、IBM による 1T セルを用いた 64k ビット⁹⁾の実用化である。このメモリーの特長は、欠陥ビット救済技術が採用されていて、しかも論理が混

在していることであり、メモリー LSI のシステム化という点で、将来の超 LSI メモリーの方向を暗示するものである。

3.2 スタティック MOS RAM

スタティック MOS RAM の基本的概念はすでに 1966 年に見られる¹⁰⁾。その後、MOS メモリーの主流はダイナミック MOS RAM に移ったとはいえ、スタティック MOS RAM もそれに次ぐ規模を保って発展している。

スタティック MOS RAM の特徴は、(1) 情報再生（リフレッシュ）が不要、(2) 単一電源で外部ノイズに強い、(3) 高速動作が可能、などである。その反面、(a) メモリーセルが基本的にはフリップフロップ型で低集積度、(6) 消費電力が大きい、のが短所である。

したがって、スタティック MOS RAM の応用分野はマイコンなどの小型デジタル機器と従来バイポーラメモリーが用いられていた装置、などである。

表3はスタティック MOS RAM に使用される各種のメモリーセル方式を示す。

表3 各種のスタティック MOS RAM セル

No.	セル方式	メモリーセル回路	同 一 ル ル ($5\mu m$ レベル)		1メモリーセル 当り電流
			セルサイズ	比率	
1	NMOS E/E		$\approx 5,380\mu m^2$	1.4	$\approx 10\sim 20\mu A$
2	NMOS E/D		$\approx 3,900\mu m^2$	1.0	$\approx 20\mu A$
3	NMOS ポリ Si 負荷		$\approx 1,850\mu m^2$	0.47	$\approx \mu A$ レベル
4	NMOS チャージ ポンプ		$\approx 1,850\mu m^2$	0.47	ポンプ回路に 電力要

表 3 続き

No.	セル方式	メモリーセル回路	同一ルール (5 μ m レベル)		1メモリーセル 当たり電流
			セルサイズ	比率	
5	NMOS セルフリフレッシュ		$\approx 1,500 \mu\text{m}^2$	0.38	周辺回路に若干電力要
6	CMOS 6 MOS		$\approx 5,850 \mu\text{m}^2$	1.5	
7	CMOS 5 MOS		$\approx 3,000 \mu\text{m}^2$	0.8	
8	CMOS セルフリフレッシュ		$\approx 3,160 \mu\text{m}^2$	0.8	

同表で No. 1~No. 4 までは NMOS セルである。当初は No. 1 のように負荷素子にエンハンスメント MOST (EMOST) を用いたが、その占有面積が大きいために、No. 2 のデプレッション MOST (DMOST) に置換された。しかし、このタイプのセルはメモリーセルあたりの電流が大きいのが欠点である。これを解決する手段として $10^9 \sim 10^{10} \Omega$ レベルの高抵抗ポリシリコンを用いたメモリーセルも最近よく用いられている。この方式によるとセルサイズは No. 2 の約半分で、メモリーセルあたりの電流は数倍小さくできる。

No. 4 は負荷素子は MOS 容量を用い、そのゲートをオンオフすることによって生じるポンプ電流効果を利用したものである。

以上のメモリーセルは基本的にはフリップフロップ型であるために素子数が多く、集積度に限界があり、高抵抗ポリシリコン負荷型でも、1T ダイナミックセル（前述）の約 4 倍のセルサイズとなる。

そこで、セル構成をダイナミック型に近づけながら、リフレッシュ機能を有するスタティック RAM（擬似ス

タティック RAM と呼ばれる）が現れた。No. 5 はその一例である¹¹⁾。このメモリーセルは 1T セルに、4 個の MOST とリフレッシュ信号 R を付加したものである。チップの外からみた場合にはスタティックメモリーと同様に動作するが、外部ノイズ等に対してはダイナミックメモリーと同様な注意は必要である。

表 3 の No. 6~No. 8 は CMOS セルである¹²⁾。CMOS は NMOS にくらべて一般には低電力なのが特徴であるが、その反面、集積度が低く、低速である。

スタティックメモリーのチップ内周辺回路はダイナミックメモリーに比べて簡単であり、基本的にはアドレスデコーダー、センスアンプ、出力バッファなどで構成される。周辺回路の高性能化の努力は、高速化と低電力化である。素子を微細に形成することで、 g_m の改善と漂遊容量の低減により高速化が図られつつある。一方、低電力化に対しては 2 つのアプローチがあり、そのひとつは回路的な工夫（例えばパワーダウモードの採用など）であり、他のひとつの試みは、周辺回路を CMOS 化することである¹³⁾。

図 6 は高速スタティック MOS RAM の開発動向を示す。これらは主に、従来のバイポーラメモリーの速度領域の性能を MOS メモリーにより置換する目的で開発が進められている。アクセス時間は年々改善されており、本年 (1979 年) 時点で 4k ビットメモリーは商品レベルで 55 ns、研究発表では 25 ns

図 6 高速・高集積スタティック MOS RAM の動向

の報告がある²⁾。消費電力については、回路の工夫でパッケージ許容消費電力(≈500 mW)に押える努力が続けられている。周辺 CMOS 方式¹³⁾では、さらに約 1/5 の低電力化が達成されている。

スタティックメモリーの高集積化については、1979 年から 16k ビットの生産が始まるが、量産は 1980 年以降になろう。さらに高集積化指向の擬似スタティックメモリーがどのような地位を占めるかも今後注目される。

3.3 バイポーラ RAM

バイポーラ RAM のメモリーセルには、一般にフリップフロップが使用されていて、近年ある程度の回路的または構造的な改善はなされているが、MOS のようなメモリーセルの革新的変化はあまりみられない。一部の例として、メモリーセルを 1 個のトランジスタで構成した I²L ダイナミック RAM¹⁴⁾の例もあるが、そのアクセス時間は現在のところ MOS RAM に近い値であり、高速性よりも高集積化に重点を置いた技術である。

アクセス時間は、同一容量で、年率ほぼ 0.7~0.8 倍の割合で減少しており、また大容量化は、同一速度では年率 1.2~1.4 倍の割合で増加している。

入力論理レベルが TTL のバイポーラ RAM で、アクセス時間 20 ns 以下は難しいといわれており、この領域では、安価な MOS RAM によりバイポーラは苦戦とみられている。しかしバイポーラの高速性を最大限に発揮できる 10 ns 以下の ECL 論理レベルの領域は、4k ビット、6 ns³⁾の例にもみられるように、バイポーラの独壇場である。

さらに高速化するには、第一に、回路を構成する素子の性能向上、すなわちトランジスタの遮断周波数の向上、寄生容量の低減などを図ることである。これは微細加工による素子の平面・断面構造あるいは拡散濃度などの改善によって可能である。第二は、同一の電力で高速動作を可能とする回路技術、回路構成の工夫である。例

えば、選択された回路にのみ集中的に電力を加えて高速化する回路方式³⁾などである。第三は、ショットキーバリアダイオードや *pnp* トランジスタなどの従来高速 RAM に使われていなかった素子を取りこんで高速化を図ることである。

大容量化は、メモリーセルの形式が変わらないために、微細加工技術の進歩によるところが大きい。

3.4 その他のメモリー

CCD メモリーは、その構造の単純さから、半導体メモリーとしてはもっとも高集積化が期待されてきた。CCD メモリーの 16k ビットチップの試作は 1975~1976 年に行われたが、MOS ダイナミック RAM と比較してビット当りのコストメリットが出ず、この段階では市場を見出すことができなかった。ついで 1977~1978 年に 64k ビットおよび 128k ビットチップの技術発表があり、それを表 4 に示す。

CCD メモリーでは、電荷転送レジスターを基本単位としてどのようにブロック分けするかにより、また転送クロックの与え方と信号再生(リフレッシュ)方式などによって種々のアプローチがある。さらに集積度を高めるために、1 ビット/素子 (ME/B) や多ビット/素子 (MLS) が試みられている。しかしながら、CCD メモリーが MOS ダイナミック RAM に比して集積密度の点で期待されたほど上がらず、また製造プロセスも大差ないことなどのために、現在のところでは、磁気ドラム置換用として部分的に用いられようとしている程度である。

今後は、256k ビットもしくは 1M ビットの開発が急がれているが、高集積化とともにセル面積が縮小し、蓄え得る信号電荷量も減少するので、*S/N* 対策などの難しい技術課題が残されている。フレームメモリー応用の最有力デバイスとして CCD メモリーが期待されてきたが、当分は高集積 MOS ダイナミック RAM を複数個

表 4 大容量 CCD メモリーの発表例

項 目	発表例	A ¹⁵⁾	B	C ¹⁶⁾	D ¹⁷⁾
メモリー容量 (レジスタービット数×ルー プ数×ブロック数)		64 kw×1 bit (4k×1)×16	64 kw×1 bit (256×256)×1	16 kw×4 bit (512×32)×4	128 kw×1 bit (512×128)×2
構 成		SPS*1	シンクロナス	ME/B**2	MLS*3
チップサイズ		4.4×5.8 mm ²		5.6×6.1 mm ²	7.9×8.2 mm ²
電 源		12, 5, -5V	12V	12V	12V
クロック周波数		1~5 MHz	0.25~1 MHz	~1 MHz	30~250 kHz
データ転送速度		5 Mbit/sec	シリアル 1 MHz ページ 2.5 MHz	シリアル 5 Mbit/sec ページ 10 Mbit/sec	
アクセス時間 (平均)		410 μs	125 μs	200 μs	128 μs

*1 SPS: Serial Parallel Serial 直並列構成

*2 ME/B: Multiplexed Electrode per Bit

*3 MLS: Multi-level Storage

用いたフレームメモリーの構成が続くであろう。

ROM (リードオンリーメモリー) も高集積メモリーの一分野をなすが、その詳細は本稿の範囲を越えるので、マスク ROM のビット数がダイナミック RAM の約2倍、PROM のビット数はダイナミック RAM とスタティック RAM の中間 (ただし、いずれも同一年次において) のメモリー容量で今後とも発展することを記すにとどめる。

4. 高速大容量化を支える主要技術と今後の課題

ここでは、前述の各種メモリーに共通な、今後の超 LSI メモリーの技術課題とその見通しについて述べる。

4.1 微細化製造プロセスならびにデバイス

素子寸法ならびにそれによる負荷容量の低減は、集積度と速度に影響する。例えば、いわゆる比例縮小化思想に基づいて、MOSの素子寸法だけをすべて $1/K$ にした場合、電力速度積は $1/K^2 \sim 1/K^3$ ¹⁸⁾ にもなるといわれている。寸法を現状 ($2 \sim 3 \mu\text{m}$) の $1/4$ にできるとすれば、実に集積度は16倍、電力速度積は $1/16 \sim 1/64$ にもなり得る。したがって微細化技術は、今後の超 LSI の基盤技術となる。現状では、64k ビット用として、配線ピッチ $5 \sim 7 \mu\text{m}$ 、最小加工寸法 $2 \mu\text{m}$ 程度の微細化技術が実用化されようとしている。それ以上の微細化のために、紫外線露光、縮小投影露光、電子線直接露光などの諸技術が開発されつつある。IBM では、研究段階のようではあるが、電子線直接描画技術で、256k ビット用に、配線ピッチ $2.5 \mu\text{m}$ 程度の NMOS 技術¹⁹⁾を開発中である。

その他、多層化による高集積化、DSA や SOS といった新デバイスなどによる高速化、あるいはソフトエラーに対する効果的デバイスなどが待たれる。

4.2 超 LSI メモリーとしてのその他の課題

256k とか 1M ビットとかの超 LSI メモリーの時代になると、多方面のユーザーがその恩恵を受けることになるから、低価格と使いやすさという点から、標準化、汎用性指向の開発が強くなる一方、超 LSI のメリットを最大限に引き出すには、標準化にこだわってられないといった相矛盾した動きに直面するであろう。この問題は、各ユーザー、メーカーの決断によるところが大きいので、ここでは近い将来問題となりそうな項目について概説するだけに止めたい。

(1) 電源電圧

前述したように素子寸法を $1/K$ にした場合に、素子耐圧の点から、電源電圧も下げざるを得ない。したがって TTL 論理レベルに整合する 5V 単一電源化も不可能で、 $2 \sim 3\text{V}$ の電源にせざるを得なくなろう。

(2) 入出力論理レベル

現在ほとんどの MOS メモリーは、TTL レベルであるが、さらに微細化が進んだ場合、ECL レベルで 10 ns 程度のアクセス時間の MOS メモリーも夢ではなからう。

(3) メモリー構成

メモリー LSI の大容量化があまりにも急速に進むために、ユーザーが大容量のメリットを使いこなせなくなっている。例えば 64k ビットを例にとると、64k ワード $\times$ 1 ビット構成では増設単位が大きすぎるため、用途によっては、16k ワード $\times$ 4 ビットなどのような多ビット構成が必要かもしれない。

(4) 超高密度実装

これまでのメモリー LSI のほとんどは Dual Inline Package (DIP) にチップが実装されてきた。しかし、手軽に使い易い DIP 以外に、1 インチ角のセラミックのモジュールに 64k ビットを 8 個搭載した IBM の例にみられるように、実装効率を重視したマルチチップ方式、あるいはウェハー全体を従来の 1 チップとみなす、ウェハーメモリー²¹⁾なども検討されるようになるう。

(5) 欠陥ビット救済

予備ワード線と予備データ線を準備し、テスト結果に応じて不良ワード線とデータ線を切り離し、予備のものを代用する方法によって、良品チップ数が 1 桁向上するといった報告²²⁾もあり、この種の技術は、大容量・低価格メモリーとしてきわめて注目される。

その他、設計の自動化、高精度化あるいは大容量メモリーのテスト技術も重要であるが、ここでは割愛する。

5. む す び

計算機などにおけるメモリーの高性能、低価格への飽くことのない要求から、今後ともメモリー LSI の高速・大容量化はとどまるところを知らず進むであろう。そして、より以上にチップ設計者とユーザーの真の協力による、システムの発想をとりこんだ LSI メモリーの開発がなされ、着々と本格的な超 LSI 化への道を歩み続けよう。

(昭和 54 年 3 月 12 日受付)

参 考 文 献

- 1) Electronics, Nov. 9, 51 (1978) 39-40
- 2) R. Jecmen, et al.: A 25 ns 4 k static RAM, ISSCC, Digest (1979) 100-101
- 3) M. Inadachi, et al.: A 6 ns, 4 kbit Bipolar RAM using switched load resistor memory cell, ISSCC, Digest (1979) 108-109
- 4) 家田ほか: 64k ビット MOS RAM の回路設計, 電電公社研究実用化報告, 27, 9 (1978) 23-40

- 5) C.N. Ahlquist, et al.: A 16 k Dynamic RAM, ISSCC, Digest (1976) 128-129
- 6) K. Itoh, et al.: A single 5 V, 65 ns, 16 pin, 16 kbit Dynamic N-MOS RAM, ESSCIRC, Digest (1978) 103-105
- 7) S.S. Eaton: A 5V-Only 2k×8 Dynamic RAM, ISSCC, Digest (1979) 144
- 8) T.C. May and M.H. Woods: A New Physical Mechanism for Soft Errors in Dynamic Memories, 16th annual Proc. reliability physics (1978) 33-40
- 9) R.D. DeSimone, et al.: FET RAMs, ISSCC, Digest (1979) 154-155
- 10) R. Igarashi, et al.: A 150 ns associative memory using integrated MOS transistors, ISSCC, Digest (1966) 104-105
- 11) J. Caywood, et al.: A Self-Refreshing 4 k RAM with Sub-mW Standby Power, ISSCC, Digest (1979) 16-17
- 12) K. Shiga, et al.: A Monostable CMOS RAM with Self-Refresh Mode, ISSCC, Digest (1976) 134-135
- 13) T. Masuhara, et al.: A High-Speed, Low-Power Hi-CMOS 4k Static RAM, ISSCC, Digest (1978) 110-111
- 14) W.B. Sander and J.M. Early: A 4,096×1 (1stL) Bipolar Dynamic RAM, ISSCC, Digest (1976) 182-183
- 15) R.C. Varshney, et al.: A 64 kbit CCD Memory, ISSCC, Digest (1978) 150-151
- 16) S. Kohyama, et al.: A New Multiplexed Electrode-per-Bit Structure for a 64-kbit Charge-Coupled-Device Memory, IEEE J., SC-12, 4 (1977) 335-343
- 17) M. Yamada, et al.: A New Multi-level Storage Structure for High Density CCD Memory, The 9th Conf. on Solid State Devices, Digest (1977) 77-78
- 18) 増田ほか: 2次元電界効果を考慮した MOS FET の性能限界, 信学会半トラ研資, SSD 76-34 (1976)
- 19) W.R. Hunter, et al.: One-Micrometer Electron-Beam Lithography FET Technology, IEDM, Digest (1978) 54-57
- 20) G.R.M. Rao and J. Hewkin: 64-k dynamic RAM needs only one 5-volt supply to outstrip 16-k parts, Electronics, Sept. 28 (1978) 109-116
- 21) Y. Egawa, et al.: A 1 Mb Full Wafer MOS RAM, ISSCC, Digest (1979) 18
- 22) S.E. Schuster: Multiple Word/Bit Line Redundancy for Semiconductor Memories, IEEE J., SC-13, 5 (1978) 698-702

テレビジョン学会誌 7 月号「固体撮像デバイス」論文特集 予定目次

【ふぉーかす】 会長就任挨拶 KDD 大島信太郎

【論文特集】

3 CCD カラーカメラの一方式 ソニー 山中成介・山崎博司・橋本武夫・阿部元昭・越智成之

512×486 画素 CCD イメージセンサー 松下電子 堀居賢樹

CCD 単板カラーカメラの実験的検討 日電 森下政信・田中敬訓

512×340 画素 CCD イメージセンサー 東芝 原田 望・遠藤幸雄・岩沢岑男・松島克雄

CCD 2 板式カラーテレビカメラ 東芝 竹村裕夫・大井一成・佐藤逸三・斎藤喜久雄

単板カラーカメラ用 npn 構造型 MOS 撮像素子の特性

..... 日立 小池紀雄・竹本一八男・佐藤和弘・笹野 晃・長原脩策・久保征治

単一撮像板カラーテレビカメラ

..... 日立 梅本益雄・笹野 晃・佐藤和弘・泉田守司・小池紀雄・高橋健二・竹本一八男・長原脩策

MOS 型単板カラー撮像素子 松下電子 高村 亨・松下電器 田中大通

【現場だより】 宇宙開発事業団筑波宇宙センター 宇宙開発事業団 阿部文蔵

【会議レポート】 1979 SID 国際シンポジウム 金沢工大 宮崎栄一