高品位テレビジョン用 A/D コンバーター

正会員 二 宮 佑 一†

あらまし 高品位テレビの信号をデジタル信号に変換する目的の A/D コンバーターを開発した。方式は、3 段の直並列形で、各部で発生する直流ドリフトを除去する安定化回路を持っている。試作器は、入力周波数 24.3 MHz において正常に動作する等、総合的に見て、高品位テレビ用 A/D コンバーターとして充分使用し得るものである。

1. ま え が き

デジタルテレビ技術¹⁾が実用段階に入ってきた。一方、次代の画像メディアのひとつとして有望な高品位テレビ²⁾の研究、開発も進んできている。高品位テレビの分野にもデジタル技術が導入されることは不可避であるが、現在までに高品位テレビに使用できる A/D コンバーターが開発されていなかった。サンプリング周波数、公称分解能に関しては、高品位テレビ用として使用し得るものはいくつかある。例えば、超高速波形記憶装置(トランジェントレコーダー)に用いられているものである。しかし、これらのうちの最も特性の良いと思われるものでも、入力信号周波数が高くなるにつれて、急速に実際の分解能が低下³⁾してしまい、高品位テレビ用の A/D コンバーターとしては満足なものではなかった。

我々の研究は、高品位テレビ用の A/D コンバーターとして十分な特性を持ち、かつ再現性良く生産できる方式の A/D コンバーターを開発することを目的とした。3 段の直並列形に直流を安定化する方式を導入することにより、ほぼ高品位テレビ用 A/D コンバーターとして満足なものを得た。

2. 目 標 特 性

ここで想定しているのは、1,125 本方式の暫定の高品位テレビ規格に対応するものである。デジタル化された高品位テレビシステムにおいては、符号化くり返しの回数はあまり多くならないと考えられる。したがって、高品位テレビの符号化規格として、我々は次のように目標を置いた。

- (1) レベル分解能: 8 bit/sample

- (2) 最高サンプリング周波数: 100 MHz (この値はカラーサブキャリア周波数 $f_{sc}=24.3$ MHz の 4 倍に相当する)
- (3) 周波数特性: 30 MHz まで 0.5 dB
- (4) 直線性精度: 誤差 $\pm 1/3$ LSB 以内
- (5) 量子化雑音比: 入力信号周波数 24.3 MHz にて理論値 -3 dB
- (6) 入力信号: $1 V_{p-p}$, 75 Ω (A/D コンバーターのダイナミックレンジは 25% の余裕をとる)

3. 超高速 A/D コンバーターにおける問題点と対策

高品位テレビ規格を満足するような超高速の A/D コンバーターを実現する時の技術的な問題点は次の 5 点である。

- (1) 超高速サンプルホルダーの実現が困難である。
- (2) 並列形 A/D コンバーターの精度が、超高速領域では低下する。
- (3) 超高速オペアンプの製作がきわめて困難である。
- (4) シールドを完全に取することはできない。
- (5) 信号波形をひずみなく増幅、遅延させることが難しい。

なお、超高速 A/D コンバーターの基本的な方式としては、現在のところ全並列形か進行波形式の直並列形しか考えられない。

上記問題点に対して、我々は以下に述べるように対策を行った。すなわち、(1)については、良質なコア材を用いたトランスを製作して、これを用いたダイオードゲートを対称波形で駆動することにより解決した。(2)については、A/D コンバーターの方式を 3 段の直並列形として、充分なデジタル修正^{5,6)}を行うと同時に、差

† NHK 総合技術研究所
 "An A/D Converter for High-Definition Television" by Yuichi Ninomiya (NHK Technical Research Laboratories, Tokyo)

分信号の統計的性質を用いて安定化した。(3)については、すべての高速回路を非帰還方式として、このために発生する不安定性は(2)と同様にして補償した。(4)については、もっぱらパターン設計技術上の問題点であるが、不完全なシールドにより飛び込む雑音成分が変換出力に影響を与えないように、雑音成分の少ない部分にタイミングを選ぶことでシールドに対する要求を緩和することができる。(5)についてはアナログ系、デジタル系ともに、定インピーダンス線路設計とすることにより、波形伝送特性に関する問題を解決できる。

以上のように、種々の技術的対策を行った結果、超高速 A/D コンバーターとして充分動作するものを開発することができた。これらの対策のうち、特別のものは(1)と(2)で、他のものは超高速回路一般について有効な技術的方策である。これらの詳細は実際の回路方式と不可分であるので、次章以下に述べる。

4. 回路方式

A/D コンバーターの基本的方式は、図1に示すような3段の直並列形である。回路方式上の特徴は、デジタル修正を大幅に用いている点と直流安定化方式を用いている点である。

動作の概要は次の通りである。サンプルホールドされた入力信号は、まず初段の A/D (2 bit: コンパレータ 3 個の並列形) に入る。この出力を A/D 変換した信号と遅延されたアナログ信号との差を D/A-II (4.5 bit: コンパレータ 23 個の並列形) で符号化し、0.5 bit 分、すなわちコンパレータ 8 個分を修正に用いて 6 bit の信号を得る。これを D/A-II で再度アナログ信号に戻し、遅延されてきたサンプルホルダーの出力との差を A/D-III (4 bit: コンパレータ 15 個の並列形) で符号化する。この出力のうち 2 bit 分、すなわちコンパレータ 12 個分を修正にあてて、合計 8 bit のデジタル出力を得る。

上述のように、最後の差分信号が、それより上位の段で得られた差分信号からではなく、入力アナログ信号をサンプルホールドしたものから直接作られるのも本方式の特徴である。このようにすると前段で発生した誤差が後段に伝搬することがなく、高い精度を保つことができる。しかし反面、必要なアナログ遅延線の長さが長くなり、後段のローカル D/A の所要ビット数が大きくなる等、回路規模が大きくなることは避けられない。

図1 A/D コンバーターの系統
Block diagram of the A/D converter.

以下に、本章の最初に述べた2つの特徴について詳述する。

4.1 サンプルホルダー

クロック周波数が 100 MHz 程度となると、ヘックスゲート⁷⁾方式のサンプルホルダーは、両極性パルスの位相、立上り・立下り特性の不均一のために直流オフセットやひずみの増大により動作が不完全となる。一方、トランスを用いたサンプルホルダーでは、この点は改善されるが、トランスの結合係数を高くとれないと満足な駆動電力が得られない。

両者の欠点を見比べて検討した結果、トランス方式の欠点の方が克服し易いと考えて、次のような方式をとった。

- トランスのコア材として新たに開発されたフェライト材(プレーナフェライト、試作品、TDK社製)を用いた。この材料は μ が 400 MHz 程度まで伸びている。
- コイルをバイファイラー巻きとし、結合係数を高める。
- 1次、2次の線間容量による駆動パルスの信号系への飛びこみは、駆動波形を対称的にして、極力少なくする。バイファイラー巻きとすることで、巻数の少ないトランスにおいても、線間容量が1桁近く大きくなるので、駆動波形の対称性の乱れは駆動波形の振幅の 1/10 程度にする必要がある。

以上の考え方に沿って、図2に示すような回路方式によってサンプルホルダーを構成したところ、100 Ms/s 以上で動作し、直流オフセットはほとんどなく(入・出力の増幅器によるオフセット約 50 mV に比較して充分小さい)、24.3 MHz、振幅 1 V の信号に対して高調波ひずみ -40 dB 以下のものができた。

高いサンプリングレートを実現するためには、アパーチャタイムを短くする必要があるが、このためにダイ

オードゲートに直列に入っている漂遊インダクタンスを積極的に利用し、 L と C との共振によって、実効的にゲートのインピーダンスを低下させて、アパーチャタイムを短くする。共振の Q 値が高すぎると、周波数応答が乱れて、高域が持ち上がるが、これはダンピング抵抗 R を調節することにより適当な値にセットして周波数応答を平坦にすることができる。

4.2 直流安定化対策

並列形 A/D コンバーターは原理的に高速動作に向いている。しかし非常に高速になると、各コンバーターに加えられるアナログ波形の乱れ、不均一のために変換の精度が低下するだけでなく、直流的な動作点が不安定となり、差分信号が後段の並列形 A/D のダイナミックレンジを飛び出してしまうことがある。また、段間の増幅器としては、300 MHz 以上の広帯域幅の物を必要とするが、このような広帯域幅の増幅器においては、フィードバックによって動作を安定化させることが困難である。したがって、直並列形の各段の直流安定度を高めるために特別の手段を用いる必要があり、ここでは次に述べる方式によった。

A/D-III の入力を図 1 に示すように交流結合とする。したがって、この部分に関しては直流ドリフトの問題は全くなくなる。しかし、本来 A/D コンバーターは直流動作をする回路であるので、このような方式を用いることは動作上の問題を発生させると考えられる。しかし、差分信号レベルの統計的な性質を考えると、交流結合にしても良いことがわかる。すなわち、下位ビットの方の差分信号のレベル分布が一樣であるため、差分信号の直流値が不変であることによっている。このことに関してはすでに報告されている⁶⁾ので詳細を省くが、次のように考えられる。

A/D コンバーターのアナログ入力信号のレベルを A とし、これを n bit に量子化した信号を A_n とする。このとき、差分信号 $A - A_n$ のレベル分布は、 $n \geq 6$ 程度の領域では、一樣分布で、その密度関数 P は次式のように表わせる。

$$P(A - A_n) = \begin{cases} 2^{-n}; & 0 \leq A - A_n < 1/2^n \\ 0; & \text{上記以外} \end{cases} \quad (1)$$

したがって、差分信号の平均値は、

$$\overline{(A - A_n)} = 2^{-(n+1)}$$

となる。この値は一定であり、図 1 に示すように交流結合増幅器を用いても差分信号の情報は失われない。

なお上述のことは、前段 A/D の精度が充分良いときには厳密に当てはまるが、実際には前段 A/D の精度は理想的ではない。したがって交流結合をすると、前段 A/D の特性の悪さが後段 A/D の入力信号の直流レベル

図 2 サンプルホールド回路

Sample-and-hold circuit.

に影響を与えると考えられる。実際この影響は、前段 A/D の非線形性が“なめらか”な時、すなわち A/D の応答特性を入力信号レベルの代数関数で表わした時の 2 次以上の非線形項のうち比較的低位の項が大きい時に問題となる。この場合は、入力信号の平均レベルが交流結合の時定数より長い周期で変動すると、これにつれて全体の直流オフセットが前段 A/D の特性が直流からずれている分だけ、ずれてしまう。通常の応用では、A/D 変換の後に直流再生を行うことも考えられ、あまり問題にならないかも知れないが、これは望ましくない特性である。したがって前段 A/D を、このような非線形性を持たないように作る必要がある。しかし、これは特別に困難なことではなく、普通に並列 A/D を作れば実現できる。特に、我々の採用した方式は 3 段形であり、ここでいう前段に相当するのはデジタル修正されている次段出力であり、ローカル D/A-I の精度は良いので、ここでいう大きなうねりのような非線形誤差は少ない。

なお、A/D-II の入力は直流結合であるが、この部分も、各コンポーネントの直流ドリフトの影響を受けるので、上記と同様の原理を用いてバイアスの自動制御を行うことができる。

5. 構成と動作

試作した A/D コンバーターは 14 cm × 20 cm のプリント基板 12 枚 (うち 1 枚はクロック分配器) より成立っている。このうち実装密度の高いのは A/D, D/A の基板のみで、他はスペースに大幅な余裕がある。使用したロジックレベルは ECL で、素子はほとんど 10 K シリーズで、一部 100 K シリーズの物を使っている。

各基板間の信号の受け渡しは、アナログ信号およびクロックは 50 Ω 系で同軸を使用し、デジタル系は 120 Ω バランス系でカードエッジコネクタとペアー線を使用している。基板中の信号線路のインピーダンスは、デジタル系は 120 Ω、アナログ系は部分によって異なり 10

～100Ω である。

使用した素子は、 $f_T \approx 2\text{GHz}$ 程度のバイポーラトランジスタ、ショットキーダイオード、高速レベルコンパレータ、10 KECL 等のごくありふれた素子で、特別の部品は一切用いていない。

アナログ遅延線としては 50Ω ケーブル (5C-2 V) を用いている。高速の直並列形の A/D コンバータの場合は必要な遅延量はさほど大きくはないので、遅延線として普通のケーブルを用いるのが便利である。

各部の設計精度は、おおよそ次の通りである。(i) サンプルホルダー、全振幅入力時で高調波ひずみ -40 dB 以下、(ii) 次段、終段 A/D 直線性誤差 1/3 LSB (段間増幅器の非直線含まず)、(iii) 段間増幅器、リサンプラーの非直線、雑音による信号劣化: 1/4 LSB 相当 (非直線性換算で約 2%)、(iv) ローカル D/A の直線性誤差 1/4 LSB。このうち次段 A/D の精度は後段の所要修正範囲を決めるだけで、全体の精度には利かない。上記の各部特性より期待される全体特性の一例を述べると、微分直線性誤差には、サンプルホルダーでの劣化は利かないので、それ以外のパワーサムを取ると約 1/2 LSB である。ただし、誤差は MSB の切り換わり点近傍に集中する傾向にあり、最悪ケースを考えると振幅和と考える必要がある。この場合は 0.8 LSB となる。後述のように実際の微分直線性誤差は $\pm 1/3\text{LSB}$ 程度で、設計目標値を満足していると考えられる。その他の特性についてもまば同様に目標値を満足している。

また、各部の動作速度は、アナログのディレイラインの所要遅れ量に関係するが、普通の部品を使う限りにおいては、100 Ms/s の信号を取り扱うのがほぼ上限であり、設計の方針として自由に決めることは困難である。したがって、指導原理としては、なるべく高速動作をさせることと、各部の遅れ量のマッチングを取ることである。すなわち、すべての信号を進行波的に取り扱うことで、このようにすれば全体の遅延量が大きくなっても問題はない。実際の遅延量は、長い方のアナログディレイラインが長さ 9 m (45 ns 相当) 程度である。

写真 1 に試作 A/D コンバータの外観を示す。A/D コンバータの本体が同図上方の棚であり、その上はケーブルの収容箱である。なお、下方の棚は、D/A コンバータ (デグリッチャを含む) および高品位テレビ用映像分配増幅器 (VDA) である。この D/A コンバータは、A/D コンバータを開発すると同時に開発した物である。

6. 特 性

試作 A/D コンバータの特性についての測定は、上

写真 1 試作 A/D コンバータの外観
View of the A/D, D/A converter.

述の D/A コンバータと対にして行った。この時のサンプリング周波数は 100 MHz である。なお、DG の測定などの時は、カラーサブキャリアとサンプリングクロックの位相関係はノンロックである。

6.1 直線性

写真 2 に直線性の測定例を示す。誤差の大きい部分を同 (b) に拡大して示し、誤差の比較的小さい部分の拡大を同 (c) に示す。図に見る通り、最悪の場合でも 8 bit のステップを完全に分解している。また、写真 3 には、測定用 D/A コンバータの出力信号と被測定 A/D コンバータの入力信号との差を示す。同 (a) には、ほぼ全ダイナミックレンジを、(b) には誤差の大きい部分の拡大を示す。それぞれ、誤差の大きさを見る時の対照のために、6 bit の場合と、その時間軸拡大をした波形を示す。これから“うねり”を含んだピーク・ピークの直線性誤差が最大約 1/2 LSB、微分直線性誤差が約 1/3 LSB であることがわかる。

6.2 量子化雑音比

量子化雑音の測定は、カラーサブキャリア (24.3 MHz) 周波数の信号を入力して行った。図 3 に測定結果を示す。この測定は、測定のごう上、雑音測定の帯域として 15 MHz を用いている。しかし、量子化雑音のスペクトラムをスペクトルアナライザーで観測したところ、サンプリング周波数の 1/2 まで平坦であることが確かめられているので、この帯域幅で測定しても問題はない。

量子化雑音の測定値は、図 3 に示すように、理論値と比較すると、入力信号振幅の大きい所で -4 dB、小さい所で -2 dB 程度である。

6.3 DG

カラーサブキャリア周波数 (24.3 MHz) に対する DG 測定は、標準方式の場合の 40 IRE 相当のサブキャリアレベルで行った。写真 4 に測定例を示す。この測

(a) 全ダイナミックレンジ
Full dynamic range.

(b) 部分拡大 (誤差の大きな部分) 上: 8 bit, 下: 7 bit
Expanded (most erroneous part), upper: 8 bit, lower: 7 bit

(c) 部分拡大 (普通の部分), 8 bit
Expanded (normal part), 8 bit

写真 2 直線性測定値
Linearity measured.

写真 4 DG 測定例
DG measured.

定例では, 10 div が 100% に相当する。これから同期,

(a) 差分信号
Differential signals.

それぞれ, 上: 8 bit, 中: 6 bit, 下: 6 bit 時間軸拡大

(b) 差分信号拡大
Time base extended.

The curves are;
upper: 8 bit
middle: 6 bit
lower: 6 bit by time base extended

写真 3 差分法による直線性測定

Linearity measured by differential method.

図 3 量子化雑音比測定値
Quantizing noise measured.

バースト部分を除外した部分の DG が, 1~1.5% であることが読みとれる。

6.4 周波数特性

周波数特性の測定は, 被測定 A/D コンバーターの入

力にスイープ信号を与え、測定用 D/A コンバーターの出力を補間フィルターを通さず直接にオシロスコープに表示することで行える。測定した結果では、50 MHz (サンプリング周波数の 1/2) まですで 1 dB, 30 MHz まですで 0.5 dB 以下の乱れにとどまっている。

7. 検 討

試作した A/D コンバーターは、高品位デジタルテレビ用としての所要性能を満足するものと考えられる。実際に、高品位テレビ画像信号を符号化しても、カラーサブキャリアに位相ロックしていないサンプリング周波数を用いた時のわずかなノイズの質感の変化以外は、全く画質の変化が見られない。しかし、今後の発展を考えると、次のような検討事項がある。

7.1 機械的サイズと消費電力

試作 A/D コンバーターのサイズは、P 形棚板 2 つ分 (高さ、本体 15 cm、ケーブル箱 10 cm、幅、奥行きはそれぞれいずれも 42 cm、20 cm) である。このうちケーブル箱は寸法に非常に余裕があるので約半分位になり、全体で高さ 20 cm の P 形棚板 1 つ分程度の大きさであると考えればよい。この寸法は、現在の高品位テレビの実験システムを考える場合にはさほど大きくはないが、将来の状況を考えるとまだ相当大形である。実装密度を高くし、大形基板を採用することで寸法を現在の半分位にすることは可能であるが、根本的には IC 化、LSI 化率を高くする必要がある。

消費電力も試作器では約 80 W であり相当大きい。これは試作設計時に消費電力の点を考慮しなかったこともあり、約半分位にはなると考えられる。しかし、消費電力の大きい理由のひとつは ECL が非常に電流を食うことと、回路インピーダンスが低い点にあるので、根本的には IC 化によって解決を図らなければならない問題であろう。

7.2 IC 化

この方式の A/D コンバーターは、互いに大変良く似た回路を複数個使って構成されている。例えば、名並列 A/D、各ローカル D/A 等はそれぞれ基本的には同一の回路である。また、ローカル D/A は、特性測定に用いるために試作した 8 bit の D/A コンバーターとも共通である。さらに、サンプルホルダー、リサンプラー、デグリッチャー等も同じ回路である。しかも、前 2 者は、それぞれがまた同一回路のくり返し使用によって成立している。したがって、このような回路が主要部分を占める本方式の A/D コンバーターにおいては、IC 化のメリットが大きい。しかし、動作速度が非常に高いこともあり、全体を 1 チップの LSI にすることは当面困難であ

ろうし、経済的にもメリットが少ない。したがって、当面はマルチ形で、上記の各部をそれぞれ 1 パッケージの IC として、それを組合せる方式となるであろう。

これらの回路のうち並列 A/D、D/A (ラダーネットワークは除外して) は技術的にはモノリシック化が可能であり、並列 A/D に関しては、ここで使えそうな物の開発が報じられている (シーメンス社製 SDA 5020 等)。しかし、サンプルホルダーはトランス等を含むので、多少の外付部品を残すことになる。

さらに、このクラスの A/D コンバーターの初期の需要量を考えると、むしろハイブリッド IC 化の方が実現性が強いとも考えられる。

7.3 高規格化

より高い規格の A/D コンバーターを必要とした時を考えると次のようである。

(1) 高分解能化

例えば、A/D-III を 5 bit とする等とすれば、9 bit 化は可能である。しかし、現在の試作結果を見ると精度の最も悪い部分では 9 bit の精度は得られていないので、このまま 9 bit 化すると全体的には確かに性能が良くなるではあろうが、部分的に欠陥のあるものになる可能性が強い。したがって、高分解能化を行うためには、さらにもう 1 段階増す等の方式変更を要するであろう。

(2) 高速化

試作器は 100 Ms/s に調整してあるが、設計は 120~130 Ms/s 程度まで動作するように行った。実際、試作 A/D コンバーターの直線性が目に見えて劣化しはじめるのは 130 Ms/s 程度からである。したがって、この方式で 120~130 Ms/s 程度までは働かすことのできる A/D コンバーターを作ることができる。しかし、それ以上のサンプル周波数となると、また別の方式を考える必要があるであろう。現方式でさらに大幅なサンプル周波数の増加を図るためには、例えば GaAs の FET 等の、より高性能の回路部品を用いる必要があるかも知れない。

8. む す び

高品位テレビ用 A/D コンバーターとして使用できるものを開発することができた。今後、これを応用して高品位デジタルテレビの研究を進めて行きたいと考えている。

この A/D コンバーターは、単なる公称値としてではなく、その特性が 100 Ms/s、8 bit/sample に値するものとしては最初の物と考える。画像用の A/D コンバーターの研究を開始した頃は 100 Mb/s のオーダーが問題であったが、ここ数年間で 1 Gb/s のオーダーにまで迫り着くことができた。しかし、この値をさらに 1 桁上げ

るためには、従来の技術とは多少異った異質なものを必要とするであろう。

終りに、この研究は NHK 総合技術研究所 藤尾新テレビ方式班部長、石田主任研究員のもとで行った。また、同所研究設備運用センターの方々には試作器の製作に、新テレビ方式班、方式第 2 研究室の方々には研究の途上の討論等の御協力をいただいた。また、日本大学の学生 渡辺氏には卒論実習生として、試作器の組立、調整、測定について助力をいただいた。これらの方々に感謝の意を表して報告を終わりたい。

(昭和 55 年 9 月 16 日受付, 昭和 55 年 11 月 18 日再受付)

〔参 考 文 献〕

- 1) A. V. Load: Digital method applied to Television, The Royal Telev. Soci. J., **12**, 2 (1968) 27
- 2) T. Fujio: A Study of High-Definition TV System in the Future, IEEE Trans., **BC-24**, 4 (1978) 92
- 3) 鳥居俊宏: 分解能 8 ビット, 変換速度 100 M サンプル/秒の進行波型 A-D 変換器, 日経エレクトロニクス, No. 155 (1977) 68
- 4) 藤尾 孝: デジタル・テレビの符号化とその規格, 昭和 50 年電四連大予, No. 262 (1975)
- 5) R. E. Fletcher: A video analogue to digital converter, Rept. Int. Broad. Conv., (1973) 47
- 6) Y. Ninomiya: An A/D Converter with 10bits/sample by 20 MHz Sampling Rate, IEEE Trans., **COM-28**, 1 (1980) 1
- 7) 金子尚志, 二宮佑一: A/D, D/A 変換回路, テレビ誌, **30**, 10 (1976) 828

Abstracts

An A/D Converter for High-Definition TV

by Yuicni Ninomiya

For high-definition television (HD-TV) use, we developed an A/D converter. The basic configuration of the converter is serial-parallel in three stages. The newly developed A/D converter shows the following characteristics: —

Sampling frequency	100 MHz
Level resolution	8 bit/sample
Input level	1 V _{p-p} , 75 Ohm
Linearity error:	less than 1/3 LSB

S/N_q (quantizing noise) at input frequency of 24.3 MHz:

- 4 dB of theoretical value at full level input,
- 2 dB theoretical value at —16 dB of full dynamic range input.

DG (differential gain): less than 1.5% at 30% subcarrier level, where the subcarrier frequency is 24.3 MHz, and the sampling signal is nonlocked to the subcarrier.

J. Inst. TV Engrs. of Japan, Vol. 35, No. 2 (1981) 129~135

Signal Processing of Pyroelectric Vidicons

*by Akio Teranishi, Motoi Ohba,
Ken-ichi Takahashi, Eiso Yamaka*

The pyroelectric vidicon is an infrared sensitive camera tube which has a pyroelectric target that is electronically scanned for infrared thermal imaging. The target operates at ambient temperature and does not need any cooling system.

Some problems, for example signal to noise ratio, flicker, thermal diffusion, on pyroelectric vidicon applications are explored. Several signal processing for advancement of pyroelectric vidicon are described.

J. Inst. TV Engrs. of Japan, Vol. 35, No. 2 (1981) 136~142