高抵抗 MCZ 基板を用いた MOS 形センサー CCD 撮像素子

松 本 博 行[†], 平 田 芳 美[†]
松 井 拓 道[†], 正会員 竹 下 光 明[†]
浜 崎 正 治[†]

あらまし 固体撮像素子において重要な特性であるブルーミング特性（スミア）と残像に注目して、今回インターライン形 CCD イメージャーで、低スミア、かつ無残像の素子を試作した。シリコン基板として、高抵抗 MCZ（Magnetic-field-applied Czochralski method）の使用および p 形ウェルを導入することにより、スミアを $1/5 \sim 1/30$ に低減した。また受光部には薄い poly Si 電極を用いた MOS 形センサーで高感度を損うことなく無残像を実現したことについて述べる。

1. ま え が き

撮像管に代るシリコン固体撮像素子は VLSI 技術の進歩と共に開発が進み、テレビカメラとして実用段階に入っている。素子構造として大別すると、読出し方式に CCD 形と MOS 形があり、光電変換部構造で MOS 形と $p-n$ 接合形がある。現在、各種素子の性能で特に問題視される項目はブルーミング（スミア）の抑圧、高感度化、残像の抑止等であり、これらに関して外部回路による補正、受光部の $n-p-n$ 構造化がなされている。

我々はすでにフレームトランスファー方式¹⁾²⁾、市松模様蛇行転送方式³⁾⁴⁾、インターライン方式^{5)~7)}の CCD 形撮像素子でカラーカメラを実現したことを報告してきた⁸⁾。今回、インターライン方式 CCD 撮像素子を発展させ、シリコン基板の高抵抗化および p ウェルを導入してスミア特性を改善し、高感度、無残像を特徴とする素子を開発した。

2. 素子の 構 成

今回試作した撮像素子は、インターライン転送方式で図 1 にその等価ブロックを示す。光学系は $2/3$ インチピクチャーフォーマットを採用しているため、画角

図 1 試作 CCD Imager の等価ブロック図
Block diagram of the CCD imager.

写真 1 基本セル拡大写真
Microphotograph of the unit cell.

[†] ソニー株式会社 厚木工場

"Interline Transfer CCD Imager with MOS Photosensor Using Highly Resistive MCZ Substrate" by Hiroyuki Matsumoto, Yoshihiro Hirata, Hiromichi Matsui, Kaneyoshi Takeshita, and Masaharu Hamasaki (Atsugi Plant, SONY Corp, Kanagawa)

図 2 基本セルの断面構造図
Cross sectional view of the unit cell.

寸法は 8.8 mm(H)×6.6 mm(V)であり、チップサイズは 10.7 mm(H)×9.3 mm(V)である。有効画素数は 384(H)×491(V)で、オプティカルブラックとして 17 ビットを有している。これらから導出される基本セルサイズは $23\ \mu\text{m}$ (H)× $13.4\ \mu\text{m}$ (V)であり、受光開口部は $77\ \mu\text{m}^2$ で開口率として 25%になる。写真 1 にその拡大写真を示す。垂直・水平の読出し CCD レジスタはポリシリコン 2 層オーバーラップゲート電極構造を用い、電荷転送はイオン打込みによって基板濃度に差をつけて行う 2 相駆動 n チャンネル埋め込み形である。ブルーミング対策としては図 2 の基本セル水平方向の断面構造図に示すように、受光部に隣接してオーバフローレインなる n 形拡散層をオーバフローコントロールゲートを介して平面上に配置し、受光部は表面蓄積 MOS 形センサーで構成している。出力部は一般的なフローティングディフュージョンアンプと 2 段のソースフォロウ回路を用いた。

3. 素子の構造

シリコン基板の抵抗率は、 $12\ \Omega\cdot\text{cm}$ 、 $40\ \Omega\cdot\text{cm}$ 、 $120\ \Omega\cdot\text{cm}$ の CZ または MCZ⁹⁾ (Magnetic-field-applied Czochralski method) 結晶であり (100) 面方位を有する p 形基板である。暗電流の低減と結晶欠陥抑止対策として、シリコン基板裏面に高濃度のリンを拡散してゲッター効果を取り入れた。CCD レジスタのゲートは MNOS 構造で、 SiO_2 膜厚が 50 nm、 Si_3N_4 膜厚が 60 nm であり、 SiO_2 膜は積層欠陥抑圧のために HCl 酸化法を使用している。電極としてはリンドープポリシリコンで、面抵抗として $20\sim 40\ \Omega/\square$ である。受光部の透明電極はリンをドープした薄いポリシリコンで形成し、可視光領域における短波長感度を向上するために多重干渉効果を利用して膜厚を最適化している。 SiO_2 膜厚は 170 nm で、薄いポリシリコン膜厚は 10~50 nm に設計した。開口部以外の遮光には配線用の Al を共用した。

4. 素子の諸特性

4.1 スミア

固体撮像素子においてスミアは大きな問題であり、インターライン方式の素子においても受光部から読出し CCD レジスタへの光信号電荷の洩れ込みを防止することが重要である。我々はできるだけこのスミアを低減するために、基板の高抵抗化および p ウェル形成の検討を行った。

図 3 スミア量のセンサーゲート電圧依存性
The amount of smer vs sensor gate voltage.

図 4 基本セルの断面電位分布図
The potential profile of the unit cell.

(1) 基板の高抵抗化によるスミアの抑圧

撮像素子に高抵抗基板を用いることにより、受光部下の空乏層がバルク中に長くなり、長波長の受光によって発生する光信号電荷のうち、バルクの中性領域に放出される量が減少しスミアが抑圧される。また MOS 形受光部であることから、透明電極の印加電圧によってもバルク中の空乏層長が変動してスミア量に影響する。図 3 に受光電極の電圧依存性を示す。このスミア量は垂直方向画面の 1/10 に光をあてて測定したものであり、以下のスミア量はすべてこのようにして測定した。図 4 に基板の抵抗率による素子の断面電位分布計算例を示す。このシミュレーションは 2 次元のウエハープロセスシミュレーションを行い、それに基づいた不純物分布から静電解析を行ったものであり、受光部に飽和電荷量を蓄積し垂直レジスタは最大電圧が印加された状態である。空乏層幅は $12\ \Omega\cdot\text{cm}$ に比して、 $40\ \Omega\cdot\text{cm}$ では 1.6 倍、 $120\ \Omega\cdot\text{cm}$ では 3.2 倍長くなっている。この効果を実証するために、前記静電解析を行ったデータを基にして受光部に対して垂直光のみを取り扱い、バルク中性領域で光電変換された光信号電荷の拡散について計算した。図 5 に光波長に対する実測値とその計算例を示す。

波長 600 nm 以上では $12\ \Omega\cdot\text{cm}$ 基板に対して $40\ \Omega\cdot\text{cm}$ 基板は 1/2 に、 $120\ \Omega\cdot\text{cm}$ 基板は約 1/5 にスミア量が減少している。

写真 2 に基板の比抵抗を変えた場合のスミアの状態を示す。(a)は $12\ \Omega\cdot\text{cm}$ 、(b)は $40\ \Omega\cdot\text{cm}$ 、(c)は $120\ \Omega\cdot\text{cm}$ 基板を使用した撮像例である。一方、実測値と計算値との間に多少の誤差があるが、これは計算において素子表面における光の回折現象による洩れ込みを無視していること、および直進光のみを取り扱っ

(a)

(b)

(c)

写真 2 スミア抑圧の撮像例
Examples of smear suppression.

図 5 スミア量の基板比抵抗依存性

The amount of smear vs resistivity of the Si substrate.

図 6 ドナー化率対基板中の酸素濃度

Donor generation rate vs oxygen concentration of the Si substrate.

ているためである。高抵抗基板を使用するとスミアを減少できることを示したが、一方では高抵抗基板による新たな問題も発生した。素子の製作工程で低温の熱処理によってドナー濃度が増加する。これは高抵抗 p 形基板がより高抵抗化することであり、アクセプター濃度を越えると n 形に反転もし得る。その場合、転送クロック動作によってバルク中より変位電流が流れ込み撮像画面上に異状な暗電流増加となって現れる。このサーマルドナー現象は図 6 に示すようにシリコン基板中の酸素濃度に強く依存する。酸素濃度の高い (10^{18} cm^{-3} 以上) CZ 結晶では発生しやすく、酸素濃度の低い (10^{16} cm^{-3} 以下) FZ 結晶では発生しない。しかし酸素濃度 10^{16} cm^{-3} 以下では機械的ストレスに弱く結晶の取り扱いが難しい欠点がある。その点において当社で開発された MCZ 結晶は酸素濃度の制御性および均一性が良く、サーマルドナーの発生も抑止でき、高抵抗撮像素子の製作を容易にした。

(2) p ウェル p 基板によるスミアの抑圧

シリコン基板の高抵抗化によってスミアを低減したが、それだけでは充分であるとはいえない。ここでは p 形基板上に p ウェルを形成し、 p - p^+ の接触電位差によるスミア抑圧について述べる。

受光部から垂直レジスタへへの光の洩れ込みを抑圧するために p ウェルを形成した構造で、垂直レジスタからの最大空乏層幅が p ウェル内に包囲されるような濃度と深さに設定すると、スミア発生箇所（受光部下のバルク中性領域）から見て、 p ウェルが障壁となって存在し、スミア電荷が垂直レジスタに到達する確率が小さくなる。 p - p^+ の接触電位差は、

図 7 p ウェル構造のスミア量
The amount of smear vs p - p^+ built-in potential

$$\Delta V = \frac{KT}{q} \left(\ln \frac{N_A}{n_i} - \ln \frac{N_A^-}{n_i} \right)$$

で表され、基板濃度 $N_A^- = 3.5 \times 10^{14} \text{ cm}^{-3}$ 、 p ウェル濃度を $N_A = 2 \times 10^{16} \text{ cm}^{-3}$ とすると $\Delta V \approx 4KT/q$ にもなり、電子の熱的エネルギーによってこのバリアを越えて垂直レジスタに入り込むものはバリアのない場合に比して、 $\exp(-q\Delta V/KT) \approx 1/50$ に減少する（ただしバルクの中性領域から拡散で入る成分）。図 7 にその実測値を示す（接触電位差は計算値）。接触電位差が $2KT/q$ で約 1/10 にスミア量が減少している。しかしこの値も p ウェルの深さに対して依存し、深い場合は p ウェル内で光電変換した信号電荷が拡散もしくは電界によって垂直レジスタに取り込まれる確率が高くなる。

4.2 残 像

インターライン方式の撮像素子では、受光部の構造によって読出し動作の残像が発生することが知られている¹⁰⁾。特に p - n 接合センサーでは避けられない問題で、読出しゲート長が長い場合サブスレッショルド電圧が、読出しゲート長が短い場合はショートチャネル効果が、支配的となってセンサーから垂直レジスタへの転送が不完全転送となる。我々は固体撮像素子の特徴でもある無残像を生かすため受光部に表面蓄積 MOS 形センサーを採用した。MOS 形センサーの場合、ゲート電圧によって受光部の電荷をすべて垂直レジスタに転送する空乏化転送ができ、サブスレッショルド電圧、読出しゲートのショートチャネル効果の影響を受けない。このことは、あるフレームで受光している光信号電荷が完全転送できるために、次のフレームの光信号電荷に影響を及ぼさない。いわゆる無残像が実現できることを意味する。また、表面準位にトラップされて発生するような残像も見られなかった。

4.3 感 度

残像を抑止するために我々は MOS 形センサーを採用したが、MOS 形センサーでは電極として使用する透明電極材料の透過率が問題となる。我々は現在最も安定な膜であるポリシリコンを透明電極材料として採用したが、周知の通りポリシリコンは可視光領域において短波長側の光吸収係数が大きいと、不向きとされている。我々はポリシリコンの膜厚とゲート酸化膜厚を最適に選択し、光の多重干渉を利用することによって、 p - n 接合形フォトダイオードセンサーとほぼ同等の短波長感度が理論的にも実験的にも得られた。図 8 にその分光特性を示す。破線で示した①が p - n 接合形フォトダイオードの分光特性であり、③はゲー

図 8 分光感度特性
Spectral response characteristics.

ト SiO₂ 膜厚を 170 nm, ポリシリコン膜厚を 50 nm にした時の分光特性で短波長領域 (450 nm) では, 量子効率 $\eta \approx 45\%$ 程度であり, 光波長 540 nm 付近にピークを有し, 長波長側では必要以上の感度を持たない特性に選んだ. また短波長側の感度を p - n 接合形フォトダイオードと同等にするには②のように, ポリシリコン膜厚を 10 nm にすれば可能であり, 色コーディング別に受光部の電極構造を変えることもできる.

4.4 雑音

撮像素子中の絵素数を高集積化するに伴ない, 素子の感度を定める要因は信号量に対する雑音量が基準となる. 素子の雑音を評価するために“暗時雑音”と“受光時雑音”とに分けて考察する.

(1) 暗信号時雑音

CCD 素子を遮光動作状態にした場合の雑音はほとんどがランダム雑音であり, 回路雑音を除いて素子雑音 E_{CCD} は 0.25 mVrms であった. これは飽和信号出力に対して 67 dB のダイナミックレンジを有している. これらは出力部のリセット雑音とイメージ部に発生する暗電流雑音であり, 試作した素子の出力部電圧変換利得が $4.0 \mu\text{V}/\text{e}$, フローティングジャンクションの全容量が $C_{FJ} \approx 0.03 \text{ pF}$ であることから, このフローティングジャンクションによる MOS ゲートのリセット雑音電子数 N_{KTC} は約 70 エレクトロンで, 暗電流雑音電子数 N_{IM} は約 19 エレクトロンで, リセット雑音が支配的である. また暗時雑音の総電子数 N_{tot} は約 73 エレクトロンであることから, 出力電圧に換算すると約 0.28 mVrms となり, ノイズメーターによる測定と比較的一致している. 以上より, 室温における暗電流雑音は無視し得るほどに小さい. シリコンを

図 9 暗電流の温度依存性
Dark current vs temperature.

基板とした素子における暗電流は, 周辺温度が 8.5°C 上昇する毎に 2 倍となり高温で問題となる. 図 9 に暗電流の温度依存性を示す. 室温から 60°C までは真性キャリア密度 (n_i) と比例係数がほぼ一致していることからジェネレーション電流が支配的であり, 60°C 以上では, n_i^2 の比例係数に近いことから, バルクの中性領域で発生したディフュージョン電流が支配的となっている.

(2) 受光時雑音

受光時の雑音は固定パターン雑音 (FPN) とオペレイカルショット雑音が多い. FPN は, ①素子形成時の不完全さによるもの (画像欠陥), ②暗電流の不均一さ, ③受光部の開口むら (遮光用材料の加工性) 等の原因があり, ①と②はウェハー工程欠陥に起因するも

図 10 雑音特性
Noise characteristics.

ので、製作過程の改善により無視できるほどにした。また③も高集積化に伴い問題となるが、本質的にはウェハー工程の改善によって抑圧できる。均一照射光で標準撮像状態（1/3 最大出力：180 mV）における雑音エネルギーをノイズメーターで測定したところ 0.91 mVrms で、 S/N としては 46 dB であった。この状態ではショット雑音が支配的で、③の FPN は観測されなかった。

以上を図 10 にまとめてグラフ化した。CCD 撮像素子では高照度時、ショット雑音が支配的であり、低照度時においてはリセット雑音が、また周囲の温度上昇と共に暗電流雑音が問題となる。カメラ性能を決める最低被写体照度（ $S/N=35\text{dB}$ ）を得る信号出力は $V_{sig} \div 16\text{mV}$ であり、この時のショット雑音は 0.24 mVrms で暗信号時雑音とほぼ同等となる。FPN の評価法は定量化が困難な面があり、固体撮像素子特有

表 1 カラーカメラの性能
Characteristics of the color camera.

解 像 度	水 平	250TV 本
感 度	最低被写体照度 ($F1.4$ S/N 35dB)	30lx
スミア制御	3200K 光源白色光 IR カットフィルター (CS-500)	0.1%
残 像	第 2 フィールド	なし

写真 3 再生画像例
An example of reproduced image.

の基準を設ける必要があると考える。

5. カラーカメラの諸特性

上記 CCD 撮像素子を用い、G 市松 R/B 線順次方式の原色フィルターを使用して、カラーカメラを試作した。インターレースは 2:1 で、1 フレーム期間の光蓄積を行う駆動条件である。カメラ性能の概要は表 1 に示す。写真 3 には B/W によるチャート図の撮像例を示す。

6. む す び

今回試作したカラーカメラ用 CCD 撮像素子は、次の特徴をもつ。

- (1) MCZ 結晶を用いて基板の高抵抗化および p ウェル化を行い、スミア量を数分の 1～数十分の 1 まで低減化した。
- (2) MOS 形センサーを導入して、残像をなくした。
- (3) 受光部電極は、薄いポリシリコン膜厚を最適化して、 $p-n$ 接合形フォトダイオードと同等の分光特性が得られた。

以上により、当初の目的を達し得る CCD 撮像素子を開発することができた。

(昭和 58 年 4 月 8 日受付, 昭和 58 年 6 月 23 日最終受付)

〔参 考 文 献〕

- 1) 島田ほか：“窓明き CCD による空間絵素ざらしカラーカメラ”，テレビ学技報，TBS 36-2 (Feb., 1977)
- 2) Y. Daimon-Hagiwara：“A Two Phase CCD Structure with Narrow Channel Transfer Region”，9th Conf. Solid State Devices, pp. 75-76 (Aug., 1977)
- 3) 山中ほか：“市松模様蛇行 CCD カラーカメラ”，テレビ学技報，TBS 36-2 (Feb., 1977)
- 4) H. Matsumoto, et al：“A Zigzag Transfer CCD Imager” IEEE Int. Solid State Circuits Conf., pp. 28-29 (Feb., 1978)
- 5) 岡田ほか：“高密度インターライン転送方式 CCD 撮像素子”，日本学術振興会委員会，pp. 1-9 (Apr., 1978)
- 6) 狩野ほか：“インターライン転送方式 CCD 撮像素子”，テレビ学技報，ED 481, pp. 47-52 (Jan., 1980)
- 7) 松本ほか：“高抵抗 MCZ 基板を用いた MOS 形センサー CCD 撮像素子”，テレビ学技報，6, 45, pp. 35-40 (Mar., 1983)
- 8) 名雲，安藤：“商品化 CCD カラーカメラ XC-1”，放送技術，7, pp. 717-721 (Sep., 1980)
- 9) 星，伊次，鈴木：磁場中シリコンの結晶成長，半導体専門講習会，pp. 181-208
- 10) 寺西ほか：“インターライン転送 CCD イメージセンサーの残像現象”，テレビ学技報，pp. 25-30 (Feb., 1981)

Cross Gate Structure FTCCD Imager and Its Single Chip Color Imaging System

*by Nobuhiro Mitani, Yuji Tsuchihashi, Toshihiro Furusawa,
Yoshikazu Tomida, Seiichi Sakuma, Tōru Watanabe,
Yasuki Rai*

A new kind of frame transfer CCD imager with a single chip ($485^V \times 572^H$) for a $2/3''$ size color camera, using a Cross Gate Structure, has been developed. One of the characteristics of the structure is a simple electrode pattern. It is possible to increase the aperture ratio value.

This device has an added complementary colored (yellow, green and cyan) stripe filter. The horizontal and vertical resolutions are 240 and 350 TV lines, respectively. This imager can be used in 65 lx illumination (F 1.4).

J. Inst. TV Engrs. of Japan, Vol. 37, No. 10 (1983) 769~775

Interline Transfer CCD Imager with MOS Photosensor Using Highly Resistive MCZ Substrate

*by Hiroyuki Matsumoto, Yoshimi Hirata, Hiromichi Matsui,
Kaneyoshi Takeshita, Masaharu Hamasaki*

To reduce smear, a highly resistive MCZ Si substrate is applied to $384 H \times 491 V$ Interline Transfer (IT) CCD Imager.

Since MCZ Si crystal has good controllability of interstitial oxygen concentration and its uniformity, it is possible to use it for highly resistive Si substrate without thermal donor conversion problems.

Measured smear signal levels at 650 nm wavelength are 1%, 0.5% and 0.2% for signal level for 12 ohm-cm, 40 ohm-cm and 120 ohm-cm substrates, respectively.

To achieve more effective smear reduction, the P-well was introduced under vertical shift registers. The smear level was reduced to less than 1/10 that of non-P-well devices. Thin poly Si-SiO₂-Si (MOS) sensor structure is also used in this device.

The MOS sensor has no lag characteristics due to complete signal charge transfer into vertical shift registers. Also, it has high spectral sensitivity by the choice of optimum interference effect between thin poly Si-SiO₂-Si structures.

J. Inst. TV Engrs. of Japan, Vol. 37, No. 10 (1983) 776~781

Interline CCD Image Sensor with Vertical Overflow Drain

*by Yasuo Ishihara, Eiji Oda, Hiroshi Tanigawa,
Akiyoshi Khono, Nobukazu Teranishi,
Ikuo Akiyama, Eiichi Takeuchi, Takao Kamata*

A $2/3''$ inch scheme $384 (H) \times 490 (V)$ element interline CCD image sensor with a new anti-blooming structure was developed. Blooming was suppressed by a vertical overflow drain positioned under, rather than beside, a photodiode without sacrificing photo-sensitivity and dynamic range. Blooming was completely suppressed and smeared signal was reduced to 0.05% of the total signal under 10% vertical height illumination. Well balanced performance, namely, wide dynamic range (72 dB), low random noise (65 RMS noise electrons per charge packet), high contrast transfer functions for horizontal and vertical directions and a spectrum response similar to the luminous efficiency curve, was obtained under moderate operating conditions.

J. Inst. TV Engrs. of Japan, Vol. 37, No. 10 (1983) 782~787