デジタル回路を構成する IC デバイス

正会員 古 角 尚 之[†]

1. ま え が き

デジタルテレビ技術は放送用のスタジオ機器ですでにかなり利用されているが、デジタルオーディオに比べ実用化は遅れている。デジタルテレビの定義はあまり明確ではなく、放送信号そのものがデジタルになっているものから、受像機の映像信号処理の一部にデジタル技術を用いたものまで、かなり広く使われているが、復調された映像信号を A/D 変換して信号処理をすべてデジタルで行い最後に D/A 変換でアナログ信号に戻すデジタルテレビ受像機はやっと出はじめたばかりである。

音に対して映像のデジタル化が遅れている最大の理由は IC 化の問題である。

NTSC 信号における輝度信号の帯域は 4.2 MHz であり音声のそれと比べて 2 桁広い。したがって A/D 変換されたデジタル信号も高速となり、デジタルシステムを構成するには A/D コンバーター、D/A コンバーター、ロジック IC 等すべて高速のものが必要となる。

映像信号のデジタル化に際しては、色副搬送波 (f_{sc} : 3.58 MHz)、水平走査周波数 (f_H : 15.73 kHz)、垂直走査周波数 (f_V : 60 Hz) の各周波数の関係とその特殊性からサンプリング周波数は $4f_{sc}$ 、14.3 MHz が用いられることが多い。また、量子化ビット数は 7~8 ビットが要求される。

さらに、水平周波数を $2f_H$ 、31.5 kHz に上げてフリッカーや走査線数を改善するノンインタレース方式においては、クロック周波数は 2 倍の 28 MHz と高くなる。このようなシステム実現のためには高速の IC が必要となるが、回路規模が大きいため集積度の

低い IC では非常に個数が多くなりコストも高くなる。

ラインメモリーやフレームメモリーの応用にしても、かなり大きな容量を必要とし、集積度の低いものではやはり全体の回路規模が大きくなる。

大きな回路規模、それに伴う高価格がデジタルテレビの実現を遅らせる要因であったが、近年の IC 技術の進歩に伴ない IC の高速化と高集積化が進み、デジタルテレビ受像機が可能な時代になってきている。

具体的な回路構成は次回以降に詳しく述べられるので省略するが、ここではデジタルテレビに必要な IC に関し種類やその特徴について述べる。

2. IC デバイスの種類と特徴

IC の分類には、その扱う信号の種類による分け方と使用するデバイスによる分け方とがある。

信号の種類による分類は、アナログ IC とデジタル IC の 2 つに大別される。アナログ IC は汎用のものは比較的少なく、演算増幅器、電源用 IC、増幅器、PLL IC、A/D コンバーター、D/A コンバーター等がある。これに対しデジタル IC はデジタルシステムを構成するに必要な機能がある程度決まっているため機能毎の汎用 IC が作り易く、その種類も多い。汎用デジタル IC はインバーター、NAND ゲート、NOR ゲート等、基本回路から加算器、カウンタ、乗算器のように、かなりの回路規模のものまであり、これら IC の組合せで多くのシステムは構成できる。

一方、デバイスによる分類は、バイポーラ IC と MOS IC の 2 つに大別される。アナログ IC の多くはバイポーラであるが、デジタル IC も数多く、一般的な汎用デジタル IC として多く用いられている TTL はバイポーラ IC である。

バイポーラロジック IC には TTL の他、DTL、ECL、I²L 等がある。

MOS IC は酸化膜の上の金属電極によりゲートを

[†] 株式会社東芝 AV 技術研究所
"Digital Television (2): Semiconductor Devices for Digital IC Circuits" by Naoyuki Kokado (Audio Video Products Engineering Lab., Toshiba Corporation, Kawasaki)

図 1 DTL の回路構成

図 2 TTL の回路構成

形成する Metal Oxide Semiconductor 構造から MOS と呼ばれている。MOS には PMOS, NMOS, CMOS がある。

2.1 バイポーラデジタル IC

バイポーラ IC の特徴は、① 高速性、② 低集積度である。動作において高速性が要求される場合、バイポーラ IC の方が優れている。しかし集積度が良くないため、せいぜい MSI までで LSI 化は難しい。これは構造上アイソレーションが必要であり、さらに回路的に抵抗が必要なためである。

(1) DTL

DTL (Diode Transistor Logic) の基本回路は図 1 に示す形をしており、ダイオードを介した入力となっているのが特徴である。

(2) TTL

図 2 は TTL (Transistor Transistor Logic) を示し、DTL の入力ダイオードをマルチエミッターのトランジスタで置き換え、出力段を SEPP (Single Ended Push-Pull) として出力レベルに関わりなく低インピーダンスにしたものである。さらに蓄積時間を短縮する回路構造となっているため動作スピードも速く、バイポーラロジック IC としては最も広く使われている。またファミリーも非常に多く、ゲートから特殊機能の MSI まで数が多い。より高速化を図りショットキートランジスタを用いたものもあるが、消費電力は増大する。

(3) ECL

DTL や TTL はトランジスタを飽和させて使うので飽和論理回路と呼ばれるが、トランジスタがオフ状態から飽和状態まで変わるため、スイッチング時間に制限がある。さらに、高速の論理回路を実現するのがトランジスタを非飽和で使う ECL (Emitter Coupled Logic) である。図 3 に ECL の回路を示す。

ECL は高速であるが、電源に負電圧が必要、消費電力が大きい、高集積化が難しい等の欠点がある。

(4) I²L

I²L (Integrated Injection Logic) は MTL (Merged Transistor Logic) とも呼ばれ、図 4(b) に示すように定電流源の *pnp* トランジスタのコレクタと *pnp* トランジスタのベースが共通になっており、高集積化が可能であるうえにアナログ回路と 1 チップ化ができる特徴を持つ、比較的新しい論理 IC である。図 4 より明らかなように、論理レベルは *nnp* トランジスタの V_{BE} であり、した

がって電源電圧、消費電力も低くてすむが、ファンアウトが多くとれない、スピードが比較的遅い、ゲインが低い場合出力段までの増幅が必要、他の論理 IC との結合にレベル変換が要する、等の欠点がある。

2.2 MOS IC

MOS IC は、その構造により PMOS (P channel MOS), NMOS (N channel MOS), CMOS (Complementary MOS) に分けられる。

MOS IC の基本素子は MOS FET (MOS 電界効果トランジスタ) と呼ばれ、バイポーラトランジスタに対し次の特徴を持つ。

- ① ゲート電極が酸化膜 (SiO_2) で絶縁されているため入力インピーダンスが非常に高く、ほとんど

図 3 ECL の回路構成

(a) 基本回路
(インバーター)

(b) デバイス断面構造

図 4 I²L

電圧だけで駆動でき、ファンアウトが多くとれる。また、ゲート容量に電荷を蓄積することで記憶素子として使用できる。

- ② MOS FET は、ゲートにバイアスを加えると抵抗として使える。したがって、負荷抵抗にも MOS FET が使用でき、拡散抵抗なしで構成できる。MOS 抵抗はバイポーラの拡散抵抗に比べ非常に小さくてすむ。
- ③ 素子間のアイソレーションが不要。
- ④ ソースおよびドレインの拡散は配線にも使用可能。

以上の特徴から、MOS IC は高集積化に非常に適しており、現在のデジタル IC の主流となっている。

(1) PMOS

P チャンネルゲートを持つ PMOS は、移動度が低くスピードが遅い、閾電圧が高く電源電圧が高い、負の電源電圧が必要等の欠点を持ち、最近ではほとんど用いられなくなっている。

(2) NMOS

図5(a)に示すように p 基板に n 拡散した構造を持ち、対称的なことから双方向性である。

基本回路は図6(a)に示す構成であり、負荷抵抗は MOS FET となっており、抵抗値は負荷トランジスタのゲートのチャンネル幅 W とチャンネル長 L の比 W/L で決まる。また図5(a)のゲート容量を利用し記憶素子として用いたのが、ダイナミックメモリー (DRAM) であり、1 素子で実現できることから、非常に高集積化されている。

(3) CMOS

CMOS 構造は、図5(b)に示すように PMOS と NMOS から成る。PMOS は P well の中に作られるが、構造上 NMOS に比べ集積度の点では不利であ

図 5 MOS トランジスタの構造

図 6 MOS インバータ回路

る。図6(b)は基本のインバータ回路であるが、CMOS ではゲートは定常状態において、いずれかのトランジスタがオフしており、リーク電流しか流れないため、周波数が低い場合には消費電力は無視できるほど小さくできる。

3. 動作速度と遅延時間

IC がどの位のスピードで動作するかは、システムにとって非常に大きな問題である。IC に用いられるゲート回路のスピードはデバイスや素子の大きさによって決まり、IC 全体の動作速度を決定する重要な要素である。

ゲートの入力に対する出力の遅延時間を伝搬遅延時間 (propagation delay time) t_{pd} と呼ぶ。 t_{pd} は振幅の 50% のところで測定するが、図7に示すように、入力に対し出力波形がハイレベルからローレベルに変化する場合の伝搬遅延時間を t_{pdL} 、逆に出力がローからハイに変化する場合を t_{pdH} と呼び、 t_{pd} は t_{pdL} と t_{pdH} の平均値で表す。

遅延時間は消費電流と大きな関係があり、一般に回路に流れる電流を大きくすれば遅延時間は小さくすることができる。消費電流はゲート回路によって異なり、特に CMOS のようにスタティックにはほとんど流れず、過渡時に流れる場合は周波数によっても大きく変化し、周波数が高くなると消費電流も増大する。

その他、ゲートのオン、オフ状態によっても電流は

図 7 伝搬遅延時間

図 8 各種 IC の遅延時間と消費電流

異なり、遅延時間と消費電流の関係は難しいが、一般的には図 8 に示すようなものとなる。

ディジタルテレビで、サンプリング周波数を $4f_{sc}$ すなわち 14.3 MHz とした時、その周期は約 70 ns となる。カウンタ、加算器、乗算器やフィードバックを含む回路全体が 70 ns のリアルタイムで動作しなければならず、実際には数 ns のゲート遅延時間が要求される。

4. A/D, D/A コンバーター

アナログからディジタル、ディジタルからアナログへの変換機能を持つデバイスを、それぞれ A/D コンバーター、D/A コンバーターという。音にしろ映像にしろ、もともとはアナログ量であり、我々の知覚への変換素子もアナログである。

映像のディジタル処理が音のそれより遅れた原因のひとつが、この A/D, D/A コンバーターの IC 化の困難さにあった。しかし、IC 技術の進歩と回路上の工夫により、これらコンバーターのモノリシック IC 化が可能となってきており、8 ビットで 100 MHz 動作の A/D コンバーターも出現してきている。

4.1 A/D コンバーター

A/D コンバーターには、① 追従比較形、② 二重積分形、③ 逐次比較形、④ 並列形、⑤ 直並列形等の種類がある。①～②のものはカウンタでクロックを計数し、ある条件を満たした時に計数を停止しディジタル出力が得られる。サンプリング周波数はクロックが計数を開始してから停止するまでの最大時間で抑えられるので、高速のものには適さない。

逐次比較形はカウンタを用いず、クロック入力により順次ディジタル数値を設定し比較していくもので、前記 2 種よりは高速のものが得られる。

これに対し、並列形は入力信号を一度にディジタル出力に変換するもので、高速用には一番適している。

アナログ映像信号をディジタル信号に変換するの

図 9 信号系統図

図 10 並列形 A/D コンバーター

に、通常 $4f_{sc}$ すなわち 14.3 MHz が用いられている。このような高速の A/D コンバーターの実現は、回路規模が大きいという欠点を持つにもかかわらず、並列形を用いざるを得ない。

ここでは高速用 A/D コンバーターとして、並列形および、高速でかつ回路規模が小さくできる直並列形について説明する。

(1) 並列形 A/D コンバーター

並列形は図 10 に示すように n ビットの変換に対し $2^n - 1$ の比較器を必要とする。入力の最大振幅に対応した基準電圧を抵抗で等分割し、入力電圧とそれぞれ比較することでディジタル出力が得られ、クロックやカウンタが不要で、一度に変換出力が求められることから、高速性が要求される場合に多く用いられる。

この方式は、高速である反面、回路規模が大きいという欠点を持つ。

(2) 直並列形 A/D コンバーター

回路規模が大きいという並列形の欠点を改善したものが、図 11 に示す直並列形である。図は 8 ビットの変換例を示しているが、全体をまず荒い 4 ビットの変換を行い、上位 4 ビットの出力を得ると同時に D/A 変換して入力信号から引き、残った部分で下位 4 ビットの変換を行う。この方式では 4 ビット A/D に並列形を使っても $15 \times 2 = 30$ の比較器と 4 ビット D/A コンバーターで済み、並列形の 255 の比較器と比べ回路規模は大幅に縮小される。なお、この方式ではアナログ演算器への A/D, D/A 変換による遅れ時間を補正

図 11 直並列形 A/D コンバーター

するため、入力信号を遅延させる必要がある。

表 1 に各社から発表されているモノリック A/D コンバーターを示す。ここには 8 ビット以上で周波数的にもビデオ用として使えるもののみ示した。

4.2 D/A コンバーター

D/A コンバーターは、A/D コンバーターに比べるとモノリック IC 化しやすく、高速のものが出ている。

D/A コンバーターの基本構成は、図 12 に示すように基準電源とこの電源より重みづけされた電流を流す抵抗網、デジタル入力に応じて重みづけされた電流を流すためのスイッチ回路、および電流-電圧変換のための演算増幅器より成る。電圧加算形と電流加算形

表 1 各社の A/D コンバーター

形 名	メーカー	ビット数	速度(MHz)	備 考
TDC1025E	TRW	8	75	並列形
AN6857	松下	8	35	並列形
TDC1007J	TRW	8	20	並列形
MB40547	富士通	8	20	並列形
CX20052A	ソニー	8	20	直並列形
CA3308A	RCA	8	15	並列形, CMOS
TDC1019J	TRW	9	20	並列形
AN6859	松下	10	20	並列形

図 12 D/A コンバーターの基本構成

の 2 種類あるが、電流加算形の方が高速性に優れている。

図 13 に定電流 R-2R 抵抗網形の D/A コンバーター回路を示す。R-2R 抵抗網は、絶対値ではなく抵抗の比によって決まるので、素子のばらつきの制御が難しいモノリック IC に適している。

デジタルテレビにおいて、サンプリング周波数が 14.3 MHz ならば通常 D/A コンバーターへの入力も同じ周波数であるが、ノンインターレース方式のように水平周波数を 2 倍にする場合には、デジタル信号周波数は 28.6 MHz になり、さらに高速の D/A コンバーターが必要となる。

5. ロジック IC

デジタル回路の実現には、汎用の IC を組合せて作る場合と、専用のカスタム IC をおこす場合、さらに両者の中間的なセミカスタム IC の手段もある。以下に、それぞれの特徴について説明する。

5.1 汎用 IC

汎用のロジック IC として最も多く用いられるのが TTL である。TTL は機能も豊富に揃っており、スピードによる種類もある。t_{pd} 10 ns 程度のノーマルタイプから、2 ns ほどのショットキータイプまで、低消費電力の LS タイプも含め、ほとんどの種類について選択できる。電源電圧は 5 V だが、TTL 専用の電源もある。

電源やグラウンドに乗るノイズも問題となり、特に高速の S タイプを多く使用した場合には、電源およびグラウンドのノイズで誤動作することがある。その他、配線の引きまわしによる信号の遅れ、誘導ノイズにも注意を要する。

さらに高速動作が必要な場合は ECL を使用する。ECL は TTL に比べ種類もそれほど多くなく、回路的にも MSI 化が難しいため高機能のものは少ない。

図 13 定電流 R-2R 抵抗網形 D/A コンバーター

電源電圧は -5.2 V が普通で、出力振幅も TTL に比べ小さく、TTL との混在システムにはレベル変換のためのインターフェースが必要となる。消費電力も高速ゆえに TTL より多く、ノイズ対策にはさらに気を使う必要がある。

その他の汎用 IC としては CMOS がある。CMOS の特徴は、非動作時の消費電力が極端に小さいこと、電源電圧が比較的任意に選べること、出力振幅がほぼ電源電圧までとれることである。

CMOS IC も TTL に比べて種類はそれほど多くはないが、特に低消費電力が要求される場合には多く用いられる。

これらの汎用 IC を用いたシステムは、回路規模が大きくなり、消費電力およびコスト共に高くなり、スペースファクターも悪くなるため、特に民生用では専用 IC (カスタム IC) をおこす必要がある。

5.2 カスタム IC

カスタム IC は、あるシステム機能を満たすための専用の IC で、システム規模が大きくなるほどその利用効果は大きい。例えば、デジタルテレビ受像機を汎用 IC で実現すると、数百にも及ぶ IC が必要で、価格、物理的大きさ共に実用的でないが、数チップのカスタム IC で可能となれば、非常に現実的となる。

カスタムのロジック IC のデバイスとして多く用いられるのは MOS である。MOS は前述したように、バイポーラに比べ集積化に適したデバイスであり、製造工程においてバイポーラより安くできるメリットがある。さらに、微細化技術の進歩に伴ない集積度の増大と共にスピードも速くなり、ショットキー TTL に近い高速のものも得られるようになってきた。

カスタム IC は、システムの小型化、低消費電力、低価格化というメリットを持つが、その反面、IC 設計、製作に時間がかかり IC 完成までの期間が長い、使用する量が少ない場合、単価が高くなる等の欠点もある。

その欠点を補い、比較的少量のカスタム IC のために、汎用とカスタムの中間のセミカスタム IC がある。

5.3 セミカスタム IC

セミカスタム IC は、ゲートアレイを用いたカスタム製品のことである。ゲートアレイはあらかじめ必要となる基本ゲートまで出来上った IC をいう。使用に際しては、その出来ているゲートを配線で結び必要な機能回路を作る。したがって、ゲート数には制限があるが、用途に応じて数百ゲートから 10k 近くのものまで、いろいろの種類が用意されている。ゲートアレ

イを使ったセミカスタム IC は、拡散工程まで終ったものを使い配線だけですむので、IC の設計および製作期間が短い、コスト的にはフルカスタム IC より安くできる等のメリットを持ち、最近ではかなり利用されているが、ゲート数、スピード等の制約を受けることはやむを得ない。

6. メモリー IC

現在の IC 技術の進歩はメモリー IC の進歩によるといってもよいほど、デジタル IC に占めるメモリー IC の比率は高く、また研究もされている。

メモリー IC は、読出し専用の ROM (Read Only Memory) と、書込み・読出し可能な RAM (Random Access Memory) に分けられ、さらに RAM にはダイナミックな DRAM とスタティックな SRAM がある。デジタル回路における ROM 応用は、固定係数の演算器の代りとしてよく用いられる。ROM に演算結果を入れておき、入力数を対応アドレスとして読出して使う。また、波形発生等にも用いられ、出力波形に応じた内容を書込みカウンター出力をアドレスとし、必要な波形を得る使い方である。ROM には、プログラム書込みが一度だけ可能な PROM と、書込みと消去が可能な EPROM、さらに製造時に書込みを行うマスク ROM がある。PROM はユーザーが自由に書込みができる。ヒューズを溶かしたり接合破壊を起こしたりする破壊的なものであるが、バイポーラが使われ高速性に優れている。EPROM は書込み消去が可能で、マイコンソフト書込みなどに多く使われ便利なものであるが、スピードの点では PROM より劣る。

一般的には、上記演算用や波形発生の実用例は高速の場合に使われるため、PROM が用いられることが多い。

一方、RAM は自由に書込み・読出しができる点で ROM と異なり、その応用範囲は実に広い。

RAM には、書込んだだけでは記憶内容が時間と共に放電してしまうため一定時間にリフレッシュが必要な DRAM と、いつまでも状態を保持する SRAM がある。

DRAM は、MOS の構造のところで述べたようにメモリーセルは 1 トランジスタで構成でき集積度に優れているが、スピードの点では劣る。それに対し、SRAM はフリップフロップ形のセルが基本となるため、集積度では DRAM を追う形になっている。

デジタルテレビへのメモリー応用としては、走査線分の信号を記憶するラインメモリーと、フレームに

わたり記憶するフレームメモリがある。

6.1 ラインメモリ

NTSC 方式における色副搬送波 f_{sc} 、水平走査周波数 f_H 、垂直走査周波数 f_V の間には次の関係がある。

$$f_{sc} = \frac{455}{2} f_H \quad (1)$$

$$f_H = \frac{525}{2} f_V \quad (2)$$

(1)、(2)式より

$$4f_{sc} = 910f_H = 455 \times 525f_V \quad (3)$$

$4f_{sc}$ でサンプリングする理由は、(3)式より垂直周波数との関係が整数になり、扱い易いからである。

(3)式から、 $4f_{sc}$ でサンプリングした時 $1H$ (1 水平周期) のサンプリング数は 910 となる。つまりディジタルビデオ信号を $1H$ 遅延させるには、910 ビットの遅延素子が n 個 (n は量子化ビット数) 必要ということになる。

ディジタル信号を 910 ビット遅延させるためのデバイスとしては、CCD、シフトレジスタ、RAM といろいろある。CCD は集積度の点で優れており大容量メモリとして期待されていたが、MOS メモリーの集積度の伸びが非常に大きいこととスピードの点から、あまり用いられなくなった。

シフトレジスタは遅延用としてよく用いられ、アドレスも不要で便利であるが、汎用 IC ではビット数の大きいものが得られない。例えば、TTL では 8 ビットのものを使った場合、910 ビット遅延のために 100 個以上の IC が必要となり、量子化 8 ビットとすれば 1000 個近い IC を要し、とても実用的ではないが、1 K バイトの RAM を使えば 1 チップですむ。

ただし、これは高速のものを使い、クロックも 14 MHz の倍以上が得られ、14 MHz の 1 周期で読出したのち書込むことが可能な場合である。これが不可能な場合は、図 14 に示すように 2 つの IC を使い、交互に書込み、読出しを行う。

水平周波数を 2 倍にして読出して走査するノンインターレース方式においては 1 チップでは不可能で、同じく図 14 の構成をとれば、同じ信号で 2 回走査するシステムができる。ただしこの場合、書込みと読出しでアドレスは切り換える必要がある。また、このような速度変換には FIFO (First In First Out) メモリーも有効である。1 つのクロックで動作し、入力とは所定のビット遅延しないと出力に現れないシフトレジスタと異なり、FIFO は入力、出力それぞれ別のクロックで動作し、取り込まれた信号の順にすぐ読出せるものである。

図 14 ラインメモリーの構成例

6.2 フレームメモリ

映像信号のフレームは 2 フィールドから成り、(2)式の f_V はフィールド周波数なので、フレームメモリに必要な容量は、量子化 8 ビットの場合(3)式から $455 \times 525 \times 2 \times 8 = 3.822$ M ビットと非常に大きなものになる。このような大容量の RAM で高速のものはまだ実現しておらず、IC の組合せで作ることになる。フレームメモリとしては、できるだけ容量の大きな IC を使った方が回路規模を小さくできるが、スピードが遅くなる。図 14 と同じ構成では、フレームメモリが 2 つ必要となり、大きくなりすぎる。

図 15 はフレームメモリーの構成例を示したもので、8K×8 ビットの 64 K RAM の場合、32 の IC が必要となる。ディジタル化信号の最上位ビットである MSB から最下位ビットの LSB まで、各直列信号を 8 ビット毎に並列信号に変換する。8 ビットに変換された各ビットの周期は 560 ns と遅くなり、書込み、読出しに充分である。読出された信号はパラレルシリアル変換し元の周波数になる。

7. デジタルテレビ用 IC

テレビ受像機のブロック図は図 16 のようになるが、現在の IC デバイスで実現可能な範囲は点線で囲まれ

図 15 フレームメモリーの構成例

た内側の部分である。チューナー、IF 段は周波数が高く、偏向系の一部、RGB 出力共に駆動部もアナログ出力とならざるを得ない。点線内をデジタル回路に置き換えたのが図 17 である。図 17 のブロックを回路化すると非常に規模が大きくなり、これをすべて含み 1 チップ化することは困難である。したがって、IC 化しようとするれば数チップに分かれることになる。IC のチップ分割も非常に重要で、各チップの回路規模のバランス、機能のまとまり、ピン数等を考慮しなければならない。

現在のところ、デジタルテレビ用として IC を発表しているのは西独の ITT のみである。ITT のデジタルテレビの映像部は 5 チップで構成されており、図 18 のようなブロックとなる。A/D、D/A コンバーターを 1 チップ化しており、A/D の出力 7 ビットは信号処理へ入り、デジタル演算処理された色差信号が再び CODEC IC に入り、D/A 変換された後、マトリクス回路を経て RGB 出力となる。

同期偏向部は 1 チップで水平、垂直それぞれの駆動パルスが出力される。メインの 3 チップの他、コン

図 18 ITT のデジタルテレビブロック

ロールバスで結合された各チップを制御するコントローラー IC (マイクロコンピュータ) とクロック発生 IC とで構成されている。ITT の IC は A/D、D/A 部を除き、他のチップは NMOS である。

国内においても各社研究はされているようだが、まだ IC として発表されているものはない。しかし、デジタルテレビそのものがまだスタートを切ったばかりで、これから各種の IC も揃い、テレビは高性能化、高機能に向かうことになる。

8. む す び

デジタル回路、特にデジタルテレビを構成する IC について述べてきたが、紙面の都合でほとんど概要だけで、詳細な説明ができなかったのが残念である。

また、映像信号やテレビ受像機の機能、デジタル回路およびその動作等にふれないと説明し難いところも多々あったが、それらは敢えて触れなかった。

IC 技術は日進月歩であり、ここに述べたこともすぐ古い話になって、今は困難と思われる IC が容易にできる可能性もあり、または是非そうなって欲しいと願っている。今後の IC の発展に期待したい。

【参 考 文 献】

- 1) Peter H. Saul, et al: "An 8-Bit, 5ns Monolithic D/A Converter Subsystem", IEEE J., SC-15, 6 (Dec., 1980)
- 2) T. Takemoto, et al: "A Fully Parallel 10-Bit A/D Converter with Video Speed", IEEE J., SC-17, 6 (Dec., 1982)
- 3) Peter Draheim: "Digital Signal Processing Video Applications", IEEE J., SC-18, 3 (June, 1983)
- 4) Tomas Fisher: "Digital VLSI Breeds Next-generation TV Receivers", Electronics (Aug., 1981)
- 5) 柳沢健: "IC 応用ハンドブック", 昭晃堂 (1980)
- 6) "半導体ハンドブック", オーム社 (1983)

図 16 テレビ受像機のデジタル化範囲

図 17 デジタルテレビ受像機ブロック