超高速半導体デバイス

正会員 久保 征治[†], 高橋 進[†]
早坂 昭夫[†]

シリコンおよびIII-V化合物を中心として、超高速半導体デバイスの動作原理、最近の動向、特徴および今後の見通しについて述べる。シリコン高速デバイスであるバイポーラ LSI は、従来のプレーナ技術の限界を越えた新デバイスを使用し、化合物半導体は、電子移動度やヘテロ接合などの本質的特長を生かして高性能化が進められている。

1. ま え が き

高速デバイスの提案、動作実験等の発表は盛んであり、各種システム応用の面からも高速デバイスのニーズは大きい。デバイスを高速動作を行わせしめるためには下記の条件が必要とされる。

- (1) キャリアの走行する距離の短縮
- (2) キャリアの走行速度の向上
- (3) 寄生素子の軽減による真性デバイスでの動作。

これまで上記(1)を主眼としたデバイス構造が提案され、微細加工技術の向上に伴って、デバイスの高性能化が図られて来ている。また、上記(2)はヘテロ接合を用いた新デバイスやキャリア走行速度のオーバーシュート効果を利用したバリスティックデバイス等があげられる。(3)は寄生抵抗、容量成分を小さくして真性デバイス動作に近づけ、高速動作を可能にする。

(1)と(3)による高速化の例は、バイポーラデバイスに典型的に見られる。バイポーラでは、集積回路が実用化された1960年から、プレーナ技術と選択拡散法を基礎として、四半世紀の間絶えることなく、デバイスの改良が進んでいる。高速論理回路のECL (Emitter Coupled Logic) の例では、伝搬遅延時間が1960年の約10 nsから1980年には約1/30に短縮され、消費電力と遅延時間の積 (PD 積) は約1/200に低減されている (図1)。

この性能向上を支えてきたプレーナ方式では、シリ

図1 ECL LSI 性能推移

コンウエハー上にデバイスを製作する際、多色印刷のように、パターンを10~15回重ね焼付け(フォトリソグラフィ)している。これによって切手印刷のように、平面上に多数並んだデバイスを同時一括処理するバッチプロセスが可能となり、LSIのコストダウンに極めて有効であった。デバイス寸法を比例縮小するいわゆるスケールダウンは、集積度を向上し、一括処理できるデバイスの数を増加してデバイス(1個当り)のコストダウンを可能にするだけでなく、寄生容量とキャリア走行距離を低減してデバイスを効率的に高性能化する手法として定着化してきた。

このように、プレーナ方式はスケールダウンに支えられて、LSIのコストパフォーマンス向上に貢献を続けて来た。しかしながら、バイポーラデバイスはその動作原理上、縦方向に流れる少数のキャリアを横方向

[†] 株式会社日立製作所 中央研究所

“Very High Speed Semiconductor Devices” Masaharu Kubo, Susumu Takahashi and Akio Hayasaka (Central Research Laboratory, Hitachi, Ltd., Tokyo)

に流し込んだ多数キャリアで制御しており，両キャリアが相互作用によって3次元的に不均一な分布を持って流れている．したがって，スケールダウンが効果的に性能向上を果たしたのは，比較的初期の頃だけである．最近はいわゆる固有の新デバイスが提案され実用化が進められており，4～5章で具体的に説明する．

次に，化合物半導体を用いたデバイスは電子移動度の大きさ等の材料定数の優位性から上記(2)の条件を実現しやすく，高速化を可能にする．しかしながら化合物半導体の製造技術はSiに比較し未熟な面が多く，材料定数を生かしきれない状態である．その中で，化合物半導体のうちでも，GaAsを用いたデバイスはマイクロ波帯でのシステムに用いられ，実用化されている．

以下2～5章で高速デバイスとしての化合物半導体の中でGaAsを用いた3端子デバイスを中心に各種デバイスの動作原理，現状，について説明し，最後に今後の展望等について記述する．

2. 高速化合物半導体デバイスと動作原理

化合物半導体を用いて検討されている各種デバイスを表1に示した．デバイス構造を電流方向で分類すると横形と縦形に分類され，実用化に近いデバイスは横形構造をしている．表1で示したデバイスをSiと比較

すると下記の特徴を有するといえる．

- ① キャリアとして電子を用いるデバイスが主流
- ② ヘテロ接合特性を利用した高速デバイスの提案．

化合物半導体の場合，電子移動度，電子の走行速度の大きい材料が大部分であり，この特徴を生かした電界効果形で動作させるデバイスが主流をなしている．一方，結晶格子定数を余り変動せずに2元化合物から3元化合物へ変換できる化合物半導体はヘテロ接合を

表1 化合物半導体デバイスの構造分類

	デバイス	動作に寄与する接合	電流-電圧特性	レベル
横形構造	MESFET	金属-半導体	5極管特性	実用化
	J-FET	p層(半導体)-n層(半導体)	5極管特性	実用化
	MISFET	金属-絶縁膜-半導体	5極管特性	開発
	HEMT	金属-ヘテロ接合(半導体)	5極管特性	開発
縦形構造	ヘテロ形バイポーラトランジスタ	ヘテロ接合(半導体)-p層-n層	5極管特性	開発
	トンネルバーストランジスタ	半導体-極薄膜-半導体	5極管特性	アイディア実証
	SIT	p-n接合(p層ベース)	3極管特性	実用化
	PBT	半導体-金属-半導体	3極管特性	開発
	バリステックトランジスタ	半導体	—	アイディア

表2 主要デバイスの構造と特徴

デバイス	構造	高性能化要因	動作モード	長所	短所
MESFET	S(ソース) G(ゲート) D(ドレイン)	加工: ゲート長, ソース・ゲート間材料: 電子移動度 μ , 電子飽和速度 v_s その他: キャリア数 n , 厚さ t	電界効果形 接合形 FET	プレーナ構造 アイソレーション 不要	直列抵抗あり ゲート電流大
MISFET	S G D	加工: L_g 材料: μ , v_s その他: 酸化膜	電界効果形 MOS 形 FET	ゲート電流なし プレーナ構造 アイソレーション 不要	界面の不安定 μ の減少
ヘテロ接合を用いた FET	S G D	加工: L_g , L_{ig} 材料: μ , v_s その他: n^+ -GaAlAs 層の n , t	電界効果形 MOS 形 FET	μ_s (v_s) 大 プレーナ構造	アイソレーション 要
ヘテロ接合形バイポーラトランジスタ	E B E	加工: エミッタサイズ ベース厚 材料: エミッタのキャリア濃度 その他: コレクタのキャリア濃度	少数キャリアの注入 バイポーラ形	電流利得大	アイソレーション 要
PBT	E(S) B(G) C(D)	加工: 金属厚 L_t 材料: μ , v_s	キャリアの注入と電界効果形	短チャンネル化	アイソレーション 要 金属/半導体 界面制御

容易に製作できる。ヘテロ接合を用いるとエネルギーギャップの異なる接合面を作ることができ、キャリアの閉じ込め等の新しい現象が出現し、高速動作を実現しやすくなる。以下、現在、動作確認ができたデバイスについて表2に素子構造と特徴をまとめた。

2.1 MESFET (Metal Semiconductor Field Effect Transistor)

MESFET はゲート電極に金属を用い、ショットキー接合によって生じる空乏層幅を変化させて動作させる。MESFET の性能向上は、

- (1) 半絶縁性 GaAs 基板 (比抵抗 $10^8 \Omega \cdot \text{cm}$) を用いることによる寄生容量の減少
- (2) 能動層となる n -GaAs の電子移動度大による直列抵抗の軽減、および相互コンダクタンス g_m の増加
- (3) ゲート電極の微細加工による遮断周波数 f_T の増大

によって図られる。現在、ゲート長 $0.25 \mu\text{m}$ の GaAs MESFET¹⁾ も実現しており、20 GHz 帯までの低雑音増幅素子として応用されつつある。

2.2 MISFET (Metal Insulator Semiconductor FET)

Si MOSFET と同一動作原理で動作する。化合物半導体の場合、絶縁膜/半導体の界面が不安定であり(表面電荷密度が大きい)、反転層を用いた FET は InP 結晶だけである²⁾。現在、化合物半導体界面の研究が進められている³⁾⁴⁾。一方、チャンネルドーパした MISFET⁵⁾ は GaAs で動作しており、ゲート絶縁膜による容量と空乏層容量がシリーズになるため入力容量の小さい FET となる。しかし、相互コンダクタンス g_m はゲート絶縁膜で電圧損失が生じ、小さくなる。MISFET は技術課題も多く、これからのデバイスである。

2.3 HEMT (High Electron Transistor)

HEMT⁶⁾ は、二村らによって提案され、モジュレーションドープ (MD) 効果を用いたデバイスである。図2は GaAlAs/GaAs を用いた時のモジュレーションドープされる様子を示したバンド構造である。広いエネルギーギャップを持つ GaAlAs と、GaAlAs より小さいエネルギーギャップを持つ GaAs とで生じるヘテロ界面にポテンシャルの井戸が生じ、この井戸に GaAlAs のイオン化している電子が量子化されて蓄積される。この電子部は2次元電子ガスと呼ばれ、この電子ガスに電界 (ソース・ドレイン間) を印加し、ドレイン電流となる。

本デバイスの特徴はキャリアの供給 (GaAlAs 層) と

(a) バンド接合のバンド構造

(b) HEMT 構造

図2 HEMT 構造とそのバンド構造

走行領域 (GaAs 層) とを分離したことにある。すなわち、走行領域である GaAs 層は高純度化が図られ、電子移動度の大きい状態を作れる。本デバイスは常温でも動作し、しかも低温 (77 K) にすると電子移動度がさらに大きくなり、高速動作を可能にする。

現在、このデバイスはゲート長 $1.1 \mu\text{m}$ でリング発振器の遅延時間 $\tau_{pd} = 16.7 \text{ ps/ゲート}$ (300 K), 12.8 ps/ゲート (77 K) を得ており⁶⁾、ジョセフソン素子をも凌ぐものである。また、マイクロ波素子としても有望で、ゲート長 $0.5 \mu\text{m}$ で雑音指数 $NF = 1.6 \text{ dB}$ (11.3 GHz) が得られている。このように、モジュレーションドープを用いた FET は高速 LSI、マイクロ波帯の低雑音アナログ素子⁷⁾ として大いに期待される。

2.4 ヘテロ接合形バイポーラトランジスタ

ヘテロ接合形バイポーラトランジスタは、よく知られているバイポーラトランジスタのエミッタにエネルギーギャップの広い半導体を用いると特徴を持っている。エミッタにエネルギーギャップの広い半導体を用いると、ベースからエミッタへの少数キャリアの注入が抑制され、エミッタからの多数キャリア注入効率が改善でき、バイポーラトランジスタの性能が向上する。化合物半導体、特に GaAs では GaAlAs をエミッタに用いることによって実現できる。現在、プロセス技術が未熟なため、実現している性能はまだ悪い。R. C. Eden の予測⁸⁾ によると、 $1 \mu\text{m}$ エミッタ幅で遮断周波数 f_T 100 GHz 以上になると予想している。ヘテロ接合形バイポーラトランジスタプロセス技

術の進歩に伴って高速化が図れるだろう。

2.5 PBT (Permeable Base Transistor)

PBT は MESFET 構造を縦形にした構造であり、ゲート電極に相当するベース金属膜厚さでゲート長が決まる。すなわち、ベース厚が $0.1\ \mu\text{m}$ 以下にも容易にでき、高性能化が図れる。発表されている PBT⁹⁾ はベース抵抗が大きく、期待値より悪い結果が出ているが、最大発振周波数 f_{max} は $200\ \text{GHz}$ が期待されている。

その他、超微細構造にすることによるバリスティックデバイス、電子走行速度を変える速度変調トランジスタ¹⁰⁾等の高速デバイスの提案がなされている。

3. GaAs MESFET の応用

化合物半導体の中で、GaAs MESFET はマイクロ波帯での低雑音、高出力素子として Si デバイスより優れ、伝送、通信システムに利用されている。近年、GaAs MESFET を用いた集積回路の開発が活発化している。ここでは GaAs 集積回路の動向について記述する。

3.1 アナログ集積回路

アナログ回路のモノリシック化は増幅器が主流である。その応用面は衛星放送直接受信用、デジタル通信等の広帯域増幅用があげられ、前者は $12\ \text{GHz}$ 前後、後者は $\text{DC}\sim 3\ \text{GHz}$ 前後の周波数帯になる。表 3 に低雑音 GaAs モノリシック増幅器の例を示す。表 3 に示した増幅器は衛星放送直接受信用増幅器であり、 $11\sim 12\ \text{GHz}$ で雑音指数 $3\ \text{dB}$ 以下を実現しており、実用化レベルにきていると判断できる。今後、製作技術の再現性向上を図って、製品化が進んでよう。

一方、応用範囲の広い広帯域モノリシック増幅器は数 MHz から $2\sim 3\ \text{GHz}$ までの周波数帯を中心に検討されている。広帯域化を図るため、容量結晶形などの回路形式が研究課題として取り上げられている。広帯域特性の面で利得は設計値に近い値を示しているが、雑音指数は現在までのところ充分といえない。特に低周波数での雑音指数が大きい。その理由は結晶欠陥、

結晶中のトラップ密度、半導体表面での欠陥等による低周波での $1/f$ 雑音が大きいことにある。今後、GaAs 結晶成長技術、素子製作技術の高度化で改良されてゆくであろう。

増幅器以外にもアナログ集積回路の開発は着実に進歩を示している。例えば、GaAs MESFET を用いたマイクロ波発振器、周波数変換器、フィールドアレイなどが今後、これらコンポーネントを複合化したモノリシックアナログ集積回路へと展開が図られ、複合機能アナログ集積回路の出現が近いといえよう。

3.2 デジタル集積回路

GaAs MESFET を用いたデジタル集積回路は、アナログ素子と異なる新技術が開発され、著しい進歩をとげて来ている。その背景は下記の 2 点にある。

- (1) 遮断周波数 f_T の向上を図ること。
- (2) 論理閾電圧 V_{th} の変動が小さくできること。

集積度が高くなるに伴って、次段論理の増加、配線増加等による負荷が大きくなり、LSI の高速化には電流利得を大きくできるようにする必要がある。一般に電流利得と比例関係にある遮断周波数 f_T は次式で示される。

$$f_T = \frac{g_m}{2\pi C_{gs}} \quad (1)$$

g_m は相互コンダクタンス、 C_{gs} は入力容量を示す。そのため、図 3 に示すように LSI 用 MESFET は、ソース・ドレイン電極となる n^+ 層をゲート電極近傍に近づけ、直列抵抗軽減化を図ることができるセルフアライン技術¹⁵⁾¹⁶⁾が開発されている。

一方、閾電圧 V_{th} を小さくすることが LSI の高集積化に必須となる。閾電圧 V_{th} は次式で示される。

$$V_{th} = \phi_B - \frac{qnt^2}{2\epsilon} \quad (2)$$

ϕ_B はゲート電極の拡散電位、 n はキャリア濃度、 t は能動層厚さを表す。したがって、 V_{th} はキャリア濃度 n 、厚さ t の 2 乗に比例するため、能動層の制御が課題となる。例えば、キャリア濃度 n を一定とすると、能動層厚さ t に対する閾電圧変動幅 ΔV_{th} は $30\ \text{mV}/10\ \text{\AA}$ 前後となり、薄い能動層の制御技術が必須

表 3 $12\ \text{GHz}$ 帯のモノリシック増幅器

周波数 (GHz)	電力利得 (dB)	雑音指数 (dB)	チップサイズ (mm ²)	構成	文献
11.7~12.2	>10.6	<2.5	1.27×1.27	1 段増幅	11)
11.7~12.2	>13.0	<3.3	1.27×2.54	2 段増幅	
11.7~12.7	>9.5	<2.5	0.9×1.0	1 段増幅	12)
11.7~12.7	>16.0	<2.8	0.9×1.5	2 段増幅	
11.5~12.3	>7		1.5×1.5	1 段増幅	13)
10.0~13.0	>8		2.0×2.5	1 段増幅	14)

図 3 n^+ 層セルフアライン形 MESFET

となる。アナログ素子で用いられているエピタキシャル成長法による能動層形成法では制御しきれず、LSIではキャリア濃度、能動層厚さの制御性の良いイオン注入による能動層形成技術を用いている。

ディジタル回路構成を考える時、GaAs MESFETはゲート電極にショットキー接合を用いているため、ゲート電圧動作に制限が生じる。すなわち、ショットキー接合電位差 ϕ_B 以上に電圧を印加すると、ゲート電極に電流が流れ、FETが動作しない。GaAs MESFETはSi MOSFETと異なり、チャンネルドープされており、デプレッション形動作で、ノーマリオン的動作を行う。GaAs MESFETではノーマリオフ形とノーマリオン形とはチャンネル厚さを変えて実現している。その条件は次式で示される。

ノーマリオフ形の条件：

$$t-d = t - \sqrt{\frac{2\epsilon\phi_B}{qn}} < 0 \quad (3)$$

ノーマリオン形の条件：

$$t-d = t - \sqrt{\frac{2\epsilon\phi_B}{qn}} > 0 \quad (4)$$

回路構成もノーマリオン、オフ形のどちらを用いて構成するかによって異なってくる。表4にその分類と特徴を示した。ノーマリオフ形は回路構成が簡単で、低消費電力化が可能であり、高集積化に適している。一方、ノーマリオン形は回路構成にレベルシフト回路機能を付加する必要があり複雑化するが、比較的高速化が実現しやすい。表4に示したように、各方式に長所短所が存在するが、GaAs LSIの用途拡大に伴ない、両者を組合せたGaAs LSIが実現するだろう。

現在までのGaAs LSI開発状況^{18)~20)}を見ると、高集積化では約1万素子を集積したものも実現しており、ノーマリオフ形を用いたDCFL (Direct Coupled FET Logic) が基本回路として用いられている。ノーマリオン形では分周器等の高速性を追求した例が多く、基本回路も各種提案されている。

今後GaAs LSIの開発は加速され、高性能化が図られてゆくものと考えられる。

4. バイポーラデバイス構造と速度性能

集積回路の速度を決める要因と、高速化するためのデバイス構造について考察してみる。論理回路に例をとると、集積回路の基本単位は図4のように、デバイスと負荷抵抗 R_L 、寄生容量 C_L の縦続接続で示される。

論理回路は図5のNTLのように、インバーター1段のものや、T²L、ECLなど多段のものなどがある。縦続回路の1段当りの遅延時間概略値は、次式で与えられる。

$$\tau \approx \tau_d + \frac{C\Delta V}{I} \quad (5)$$

右辺の C はデバイス入出力容量や C_L の和、 ΔV は信号振幅、 I は回路電流である。デバイス応答時間は、

$$\tau_d \approx \frac{L}{\bar{v}} \quad (6)$$

で示される。バイポーラでは少数キャリアの拡散速度 $\bar{v}_{diff}$ で速度 $\bar{v}$ が、ベース厚さ W_b で真性動作領域の

FETでは、 $R_i = g_m^{-1}$
バイポーラでは、 C_i が拡散容量等

図4 基本論理回路

表4 MESFETを用いたディジタル基本回路と特徴

	ノーマリオフ形FETを基本とした回路			ノーマリオン形FETを基本とした回路		
	DCFL	擬似コンプリメンタリ		SDFL	BFL	SCFL
回路結線						
ドライバー 負荷	ノーマリオフ形 抵抗	ノーマリオフ形 ノーマリオン形	ノーマリオフ形	ノーマリオン形 ノーマリオン形	ノーマリオン形 ノーマリオン形	ノーマリオン形
特徴	低消費電力 回路構成容易 $V_D = 0.6 \sim 2 \text{ V}$	低消費電力 回路構成容易 $V_D = 0.6 \sim 2 \text{ V}$	低消費電力 $V_D = 0.6 \sim 2 \text{ V}$	高速 消費電力大	高速 消費電力大	多機能論理 閾電圧変動 マージン大

図 5 論理回路代表例

長さ L の概略値が与えられる*。

$$\tau_d \approx \frac{W_b}{\bar{v}_{diff}} \approx \frac{W_b^2}{2D} \quad (7)$$

最近のバイポーラの例として、 $W_b = 0.1 \mu\text{m}$ とすると、 $D \approx 7 \text{ cm}^2/\text{s}$ (不純物濃度: $10^{18}/\text{cm}^3$) より、拡散速度は $\bar{v}_{diff} \approx 1.4 \times 10^6 \text{ cm/s}$ と FET の約 1/5 だが、応答時間は $\tau_d \approx 7 \text{ ps}$ ($f_T \approx 22 \text{ GHz}$) と、数年前の FET ($L_g = 0.5 \mu\text{m}$) に相当する値となっている。

次に構造に起因する寄生効果について検討する。プレーナ集積回路では、エミッタ、ベース、コレクタの各電極を同一平面上に (横に並べて) 取出し、Al 配線で相互接続している。この電極間隔はリソグラフィ加工限界以下には接近することができず、電極取出しのため、ベースとコレクタは横方向に引伸ばされることになる。標準的な酸化膜分離デバイスの例では、真性動作を行うエミッタ面積に対して、ベースは 15~20 倍、コレクタは 20~30 倍となっている (図 6)。

このためベース、コレクタの寄生抵抗と容量が無視できず、特にベース抵抗はベース厚さ W_b を薄くした

a: 最小加工寸法 b: マスク合せ余裕

図 6 従来形トランジスタの基本寸法と寄生素子

* 拡散速度は、不純物の濃度勾配 dn/dx より、

$$\bar{v}_{diff} = \frac{D}{n} \frac{dn}{dx} \approx \frac{2D}{W_b}$$

D: (ベース内少数キャリアの) 拡散定数

結果、真性動作時間 τ_d に匹敵する大きい時定数を持つのが実態である。

以上より、バイポーラ回路の応答時間は、次式のように補正される。

$$\tau = r_{bb}(C_a + C_1) + \frac{C_2 \Delta V}{I} \quad (8)$$

$$\tau_a \frac{I}{\Delta V} = C_a (\text{拡散容量}),$$

C_1 : 接合容量, C_2 : 出力側容量。

寄生抵抗や容量の低減には、素子寸法の比例縮小法が使われてきたが、バイポーラデバイスを高速化するにはこのスケールダウンは不充分である。FET と同基準でスケールダウンした試算例では、最小加工寸法 (エミッタ幅) を $0.5 \mu\text{m}$ 以下としても、ECL 回路の遅延時間は約 45 ps で飽和するという報告もある²²⁾。

これよりバイポーラの高速化には、スケールダウンに代る縮小法が望まれる。例えば高速化に有効な領域 (ベースなど) を集中的に縮小するのが効果的で、比例縮小の必要はない。そのためには従来のプレーナ構造に代る新デバイスが求められ、以下こうした観点から考察されている最近のデバイスを紹介する。

5. バイポーラ新デバイス

従来のプレーナデバイスは、Si をデバイスの基本材料とし、デバイス表面を Si 酸化膜で覆って、その上に電極を (同一平面に) 配列する基本構造を特徴としている。これに対して、「ノンプレーナ」ともいふべき新デバイスの例を、以下に紹介する。

(1) U 形アイソレーション

デバイス面積 (とそれに伴う寄生容量) を支配する要因は、バイポーラではアイソレーションとなっている。高速バイポーラに標準的に用いられている酸化膜アイソレーションデバイスでは、アイソレーションとトランジスタの面積比が、 $3 \mu\text{m}$ リソグラフィの時代には 3:1 だった。これが $1 \mu\text{m}$ リソグラフィを用いると 7:1 となり、大部分がアイソレーションとなってしまう。

この原因は、Si 表面を選択酸化して形成する SiO_2 (図 7) が薄く、 n^+ 埋込層とマスク合せが必要なことによる。 $1 \mu\text{m}$ リソグラフィの例では、合せ余裕 (図 d) を左右に各 $1.5 \mu\text{m}$ とすると「バードベイク」と呼ばれる酸化膜の左右への突出もあって、仕上りアイソレーション幅は 6~7 μm に及ぶ。

新しく開発が進んでいる、溝埋込み形のアイソレーション²³⁾では、Si 中に 3~4 μm と十分に深い溝を掘り、誘電体で埋戻して素子分離を行う。溝が n^+ -BL

Fig. 7 従来のアイソレーション断面
Epi, n+ BL: トランジスタ領域, SiO₂: アイソレーション
d: n+ と SiO₂ のマスク合せ余裕

Fig. 8 U 形アイソレーション断面

より深いと n^+ -BL とのマスク合せは不要となり, n^+ -BL をマスクなしで (全面に) 形成しても, 分離溝とすき間なく接する (すなわち自己整合された) 構造となる (図 8)。

U 形アイソレーション²⁴⁾ の例では, 溝口の急峻な段差発生を防止する傾斜を付けても, 2.5 μm 幅が得られている。この他に, n^+ -BL と溝下の p^+ チャンネルストッパーが接触しないため, 寄生容量 (C_{TS}) が低減され, 耐圧も上昇する。バードピークによるベース有効面積の減少も防止されてベース抵抗の増大がなく, あわせてデバイス高速化にも効果的である。

以上, 新しい溝埋込み形アイソレーションによって, バイポーラ LSI の大幅な面積低減が可能となり, 64 K ビットメモリーなどのバイポーラ VLSI への道が開かれたといえよう。

(2) 超自己整合デバイス

従来のプレーナ形デバイスに見られた, 多重マスク合せによる寸法限界 (図 6: $3a_1 + a_2 + 3b$) への対策として, 1 枚の共通マスクで 4~5 枚分の位置決めを行うデバイス技術が開発されている²⁵⁾。

このデバイスは, バイポーラ的高速化に重要なベース抵抗と接合容量の大幅な低減を狙って, 1 枚のマスクで, エミッタ, ベース, ベースコンタクトおよび電極の 4 領域を自己整合したものである (図 9)。

ベース寸法は $a+x$ ($x \approx 0.2 \sim 0.3 \mu\text{m}$) まで低減され, 一辺約 1/5 に縮小される。またエミッタ幅もリソグラフィー限界から $a-2y$ と, 約 1/2 に低減可能である ($b \approx a/2$)。

自己整合の原理は, 共通マスク (Si_3N_4 など) を用いて下地材料 (poly Si など) をサイドエッチングで削る,

a: 共通 (エミッタ) マスク寸法

図 9 超自己整合トランジスタ断面

側壁を酸化して太らせる, 横方向に不純物を拡散させるなど, 横方向の加工を行うことである。この横方向パターン加工によって相互の相対的位置が高精度に決定され, マスク合せ余裕 (b) が不要となる。また poly Si の側壁を酸化して薄い酸化膜を形成すると, 酸化膜に接して隣の電極を形成できるため, 隣接電極間隔が低減できる (図 6 の $a_2 \rightarrow$ 図 9 の y)。

超自己整合デバイスの性能例では, NTL で 42 ps の試作結果²⁶⁾ (エミッタ幅 0.5 μm) や, 7 ps のシミュレーション結果²⁷⁾ (エミッタ幅 0.2 μm) が報告されており, 寄生効果を低減した真性動作速度に近い値が得られている。

(3) 壁側ベースコンタクト構造

自己整合の範囲をさらに拡張した SICOS²⁸⁾ では, 共通マスクでアイソレーション領域も位置決めし, 計 5 枚分の整合を行っている。図 10 の厚い SiO₂ で示したように, アイソレーションがエミッタとほぼ同じ寸法 (a) に仕上げられている。

ベース電極は, 側壁から取出され, SiO₂ に囲まれて寄生容量は小さい。この構造で特徴的なのは, コレクタ (n -Ep) がエミッタと同面積になることで, 逆方向電流増幅率 (h_{FEI}) が順方向なみに増加し, I²L など逆方向動作を行うデバイスにも新たに高性能化の道を開いたといえる。

以上, プレーナ構造の特徴であった面積の関係式:

コレクタ $\gg$ ベース $\gg$ エミッタ

が改良され, これに伴う寄生効果も大幅に低減されている。試作品の例では, 3 μm リソグラフィーでも, I²L で 290 ps が得られており, 微細化によってさらに効果的な高性能化が期待される。

a: 共通 (エミッタ) マスク寸法

図 10 側壁ベースコンタクト (SICOS) 断面

6. 今後の展望とまとめ

高速バイポーラデバイスにおいては、Si 特有の材料的特性を効果的に活用し、poly Si の選択酸化や横方向拡散によるパターン加工を行って、リソグラフィー限界を越えた微細化に挑戦が開始されている。こうした Si 特有の自己整合技術によって、20 年以上もスケールダウン技術によって支えられて来たプレーナ構造に代わる、新デバイスが誕生しようとしている。

このノンプレーナといえる新デバイスは、最終的にはいわゆる 3 次元構造と呼ばれている、配線部分を含んだ立体構造に発展すると見られ、期待がもたれる。

次に、高速デバイスとしての化合物半導体の位置付けについて検討する。GaAs 系素子は高周波でのアナログ素子として発展して来ており、今後もその優位性は 20~30 GHz までのアナログ集積回路でも実証されてゆくといえよう。

一方、ディジタル素子としての HEMT を含む GaAs LSI は高速、高集積の可能性が示された段階である。GaAs LSI と Si LSI との性能予測は正木ら¹⁷⁾により行われている。それによると、Si の高速 LSI であるバイポーラトランジスタと比較し、負荷駆動能力等を考慮しても、2 倍以上の高速性が GaAs LSI に期待できる。その意味で HEMT を含む化合物半導体を用いた FET の LSI 化は高速をめざして開発が加速されるといえよう。また超高速をめざすヘテロ接合形バイポーラトランジスタ⁸⁾は今後の技術開発の進移によって大きく前進する素子である。すなわち、遮断周波数 f_T は 100 GHz 前後と大きく、しかも FET の欠点である負荷駆動能力劣化が少ない特徴を持っている。ヘテロ接合形デバイスは超高速素子として有望である。

今後、化合物半導体素子の高速化は材料定数を生かせるプロセス技術の高度化を目標に進められよう。化合物半導体素子も確実に一歩ずつ進歩している。

(昭和 58 年 9 月 30 日受付)

〔参考文献〕

- 1) K. Kamei, et al: "Quarte Micron Gate Low Noise GaAs FET's Operable to 30 GHz", IEDM Technical Digest, pp. 102-105 (Dec., 1980)
- 2) 大畑ほか: "CVD-SiO₂ 膜を用いたエンハンスメント型 InP MISFET", 信学技報, SSD 81-97, pp. 59-66 (Jan., 1982)
- 3) C. R. Elliott and J. C. Regnault: "Electrochemical Sectioning and Surface Finishing of GaAs and GaSb", J. Electrochem. Soc., **127**, 7, pp. 1557-1562 (July, 1980)
- 4) L. A. Chesler and G. Y. Robinson: "DC Plasma Anodization of GaAs", Appl. Phys. Lett., **32**, pp. 60-62 (Jan., 1978)
- 5) K. Yamaguchi and S. Takahashi: "Theoretical Char-

- acterization and High Speed Performance Evaluation of GaAs IGFET's", IEEE Trans., **ED-28**, pp. 581-587 (May, 1982)
- 6) M. Abe, et al: "New Technology Towards GaAs LSI/VLSI for Computer Applications", IEEE Trans., **ED-29**, pp. 1088-1094 (July, 1982)
- 7) 常信ほか: "20 GHz 帯低雑音 HEMT 増幅器", 信学技報, MW 83-26, pp. 71-75 (1983)
- 8) R. C. Eden: "Comparison of GaAs Device Approaches for Ultra High-Speed LSI, Proc. IEEE, **70**, 1, pp. 5-12 (Jan., 1982)
- 9) Carl O. Bozler and Gary D. Alley: "Fabrication and Numerical Simulation of the Permeable Base Transistor", IEEE Trans., **ED-27**, 6, pp. 1128-1140 (June, 1980)
- 10) H. Sakaki: "Velocity-Modulation Transistor (VMT) — A New Field Effect Transistor Concept", Jap. J. Appl. Phys., **21**, 6, pp. L 381-L 383 (June, 1982)
- 11) L. C. Liu, et al: "Single and Dual Stage Monolithic Low Noise Amplifiers", Tech. Digest., 1982 GaAs IC Symp., pp. 94-97 (1982)
- 12) 伊藤ほか: "イオン注入技術を用いた 12 GHz モノリシック増幅器", 信学技報, SSD 82-122, pp. 15-20 (Jan., 1983)
- 13) 渡辺ほか: "12 GHz 帯 GaAs モノリシック増幅器", 昭 57 信学全大, No 490, pp. 2-256 (1982)
- 14) Y. Kadowaki, et al: "Effects of Gamma Ray Irradiation of GaAs MMICS", Tech. Digest., 1982 GaAs IC Symp., pp. 83-86 (1982)
- 15) N. Yokoyama, et al: "Ti/W Silicide Gate Technology For Self-Aligned GaAs MESFET VLSIs", IEDM Technical Digest, pp. 80-83 (Dec., 1980)
- 16) K. Yamasaki, et al: "Self-align Implantation for n^+ -layer Technology (SAINT) for High-Speed GaAs IC's", Electron. Lett., **18**, 3, pp. 119-121 (Feb., 1982)
- 17) A. Masaki and T. Chiba: "Design Aspects of VLSI for Computer Logic", IEEE Trans., **ED-29**, 4, pp. 751-756 (Apr., 1982)
- 18) N. Yokoyama, et al: "A GaAs 1k Static RAM using Tungsten-Silicide Gate Self-Alignment Technology", 1983 Digest of Technical Papers ISSCC, pp. 44-45 (Feb., 1983)
- 19) K. Asai, et al: "1kb Static RAM using Self-Aligned FET Technology", 1983 Digest of Technical Papers ISSCC, pp. 46-47 (Feb., 1983)
- 20) Y. Nakayama, et al: "A GaAs 16×16b Parallel Multiplier using Self-Alignment Technology", 1983 Digest of Technical Papers ISSCC, pp. 46-47 (Feb., 1983)
- 21) S. P. Gaur: "Performance Limitations of Si Bipolar Transistors", IE³ Trans., **ED-26**, 4, pp. 415-421 (Apr., 1979)
- 22) P. A. H. Hart, et al: "Device Down Scaling and Expected Circuit Performance", ibid, pp. 421-429
- 23) 有田: "LSI における素子間分離技術", 信学誌, **66**, 6/7, pp. 601-607/pp. 729-735 (June/July, 1983)
- 24) A. Hayasaka, et al: "U-groove Isolation Technique for High Speed Bipolar VLSI's", 1982 IEDM, pp. 62-65 (Dec., 1982)
- 25) Y. Tamaki, et al: "New U-groove Isolation Technology for High Speed Bipolar Memory", 1983 Symposium on VLSI Technology, Hawaii, § 2-4 (Sep., 1983)
- 26) T. Sakai, et al: Proc. 12th Conf. Solid State Devices, Tokyo, 1980, Jpn. J. Appl. Phys., **20**, p. 155 (1981)
- 27) 小中ほか: 昭 58 信学総全大, No. 608 および昭 58 信学会半導体・材料全大, No. 247
- 28) 鈴木: "超高速集積回路の性能限界", 応用物理, **51**, 7, pp. 796-801 (1982)
- 29) T. Nakamura, et al: "290 psec I²L Circuits with Five-Fold Selfalignment, 1982 IEDM, pp. 684-687 (Dec., 1982)