論理演算回路の構成

正会員 橋本秀雄[†], 正会員 黒田英夫[†]

1. ま え が き

テレビ信号に限らず信号処理の分野ではデジタル処理が主流技術となっている。アナログ処理に比べ精度、安定性などの利点を有し、工業化の点で優れていることは周知のとおりであるが、テレビ信号に対する適用が音声信号などに比べ遅れたのは、処理の高速性ならびに回路規模の面から制約を受けたためである。

4.2 MHz 帯域の信号をデジタル処理するために 10 MHz 近傍の処理速度が必要であり、これを実現可能とする回路デバイスの発展を待たねばならなかったことと同時に、テレビ信号に対する複雑な処理を経済的に実現できる見通しを得るまでの時間を要した。しかしながら、IC テクノロジーの飛躍的な飛達によりこれらの問題点は解消されたといえる。デジタル IC の高速化、集積化によってテレビ信号のデジタル処理が可能となり、逆に IC なくしてテレビ信号のデジタル処理を考えることは不可能である。

デジタル信号処理においては、加減乗除の四則演算が基本となり、これを実現する論理演算回路の構成を今回の講座で取りあげる。

論理演算回路を設計する立場から、基本論理素子を用いて演算回路が構成されることを示し、代表的な演算回路としての加減算回路と乗算回路を示す。このうち乗算回路はテレビ信号に対しては直交変換符号化回路など一部で使用され始めたばかりの状態であるが、今後、手軽に利用できる LSI 化回路の開発に期待して、音声信号処理などに適用されている乗算回路を中心に述べる。

最後に、テレビ信号のデジタル処理として予測符号化回路を基本演算ユニットを用いて構成する例を示す。

2. 論理演算

2.1 数の表現¹⁾

テレビ信号に限らずデジタル信号処理の分野では信号(振幅値)を表現するのに2進数が用いられる。デジタル回路を構成するトランジスタの OFF/ON 状態を2進数の 0/1 に対応できるとともに、ブール代数による完備した論理数学体系が確立されていることが、今日のデジタル信号処理の隆盛を見たといえる。

$0 \sim 2^n - 1$ の正整数 X に対する2進数表示は、 n ビットの符号 $x_i (i=1 \sim n)$ を用い $(x_1, x_2, \dots, x_n)$ として表現される。ここで、

$$X = \sum_{i=1}^n x_i \cdot 2^{n-i}, \quad x_i = \{0, 1\} \quad (1)$$

であり、 x_1 を MSD (Most Significant Digit), x_n を LSB (Least Significant Digit) と呼ぶ。例として、“14” を4ビットの2進数で表示すると(1110)となる。

(1)式は2のべき乗でもって数を表現するものであるが、日常社会で用いられている10進数と関連させて10進数の各桁を2進数表示する2進10進法(BCD, Binary Coded Decimal)では“14”は(0001, 0100) = (1, 4)と表される。2進10進数に対して2のべき乗で表現する方法を自然2進表示と呼び、デジタル回路の内部演算は閉じた演算系を構成する自然2進で行われるが、入力系および表示系では10進法になじみがあるため、自然2進→2進10進法への符号変換が行われる。

整数に限らず小数も2進数で表示でき、(1)式において 2^{n-i} の代わりに 2^{-i} を用いると小数の2進数表示となる。小数点位置をあらかじめとり決めておいて数を表現するのを固定小数点表示と呼ぶのに対し、2進符号を指数と仮数に分けて表現するのを浮動小数点表示と呼ぶが、デジタル演算回路では固定小数点表示が用いられる。

[†] 日本電信電話公社 横須賀電気通信研究所
“Digital Television (3) Structure of Digital Logic Circuits” by
Hideo Hashimoto and Hideo Kuroda (Yokosuka Electrical Com-
munication Laboratory N T T Yokosuka)

$\begin{array}{r} 1111 \quad (15=2^4-1) \\ -) 1110 \quad (14) \\ \hline 10001 \quad (-14) \\ \uparrow \text{ (符号ビット)} \\ 10001 \quad (-14) \\ +) 00011 \quad (+3) \\ \hline 10100 \quad (-11) \\ \uparrow \text{ (符号ビット)} \end{array}$ <p>(a) 1 の補数</p>	$\begin{array}{r} 10000 \quad (16=2^4) \\ -) 1110 \quad (14) \\ \hline 10010 \quad (-14) \\ \uparrow \text{ (符号ビット)} \\ 10010 \quad (-14) \\ +) 00011 \quad (+3) \\ \hline 10101 \quad (-11) \\ \uparrow \text{ (符号ビット)} \end{array}$ <p>(b) 2 の補数</p>
---	--

図 1 補数演算の例

デジタル回路の演算において負の数は補数表示される。補数は、ある一定数からその絶対値を引いた数で表示する方法であり、その利点はデジタル回路でその正、負を意識することなく演算を実行できることにある。2進数の場合、一定値を $2^{n+1}-1$ とした場合を1の補数表示、 2^{n+1} とした場合を2の補数表示と呼ぶ。

1の補数表示の場合、補数は各ビットの0/1を反転したものとなり、2の補数は各ビットを0/1反転した後1を加えた数で表現される。正、負の識別はMSBを符号ビットとし、“0”の時は正数、“1”の時は負数を示すものとする。

図1に1の補数、2の補数の作り方および $-14+3$ の補数演算を示す。補数を用いることの利点は前述したように減算を加算で実行できることであり、デジタル回路では“2”の補数が多用される。

2.2 基本論理回路²⁾

2進数の0/1を出力電圧のLow/Highレベルに対応させるデジタル回路はDTL (Diode Transistor Logic)、TTL (Transistor Transistor Logic)の飽和型論理回路とECL (Emitter Coupled Logic)などに代表される非飽和型論理回路に分かれる。

前者はトランジスタを飽和領域で使用するため、論理振幅を大きくとれる利点があるものの、飽和状態から回復する時間がかかるためスイッチング特性に限界がある。一方、後者はトランジスタを活性領域で使用する電流切替え論理を用いるため、高速動作が可能であるが、消費電力が大きくなる点で難がある。

これらのデジタル回路を用いたものはバイポーラICと呼ばれ、最近ではCMOSを初めとするMOS回路も、とくにLSIで用いられているが、テレビ信号のデジタル信号処理には主としてバイポーラIC、とくにTTLが多く用いられている。TTLの基本回路構成例を図2に示す。

ブール代数では、論理積、論理和、補集合演算により任意の演算が定義でき、デジタル回路ではこれら

図 2 TTL 基本回路(2入力 NAND)

表 1 真理値表とデジタル回路の動作

(a) 論理積 ($A \cdot B$) の真理値表			(b) 論理和 ($A + B$) の真理値表			(c) デジタル回路の動作例		
A	B	$A \cdot B$	A	B	$A + B$	入力1	入力2	出力
0	0	0	0	0	0	L	L	L
0	1	0	0	1	1	L	H	L
1	0	0	1	0	1	H	L	L
1	1	1	1	1	1	H	H	H

図 3 MIL 規格による論理回路の表示例

をAND、OR、NOTの3つの基本論理回路に対応させて実現できる。しかし、表1に示すブール代数の演算規則を表す真理値表とデジタル回路の動作表から、0/1とL/Hの対応によりデジタル回路はAND回路としてもOR回路としても機能する。

すなわち“0”↔“L”、“1”↔“H”とした場合、表1(c)の動作例はAND回路となり、逆に“0”↔“H”、“1”↔“L”の時OR回路としての動作を行う。

前者の対応を正論理、後者を負論理と呼び、論理回路図において正論理、負論理の識別が容易となるMIL (Military Standard) 規格による表示が通常用いられる。

図3は正論理によるMIL規格の表示例であり、NOT回路はもともと正論理↔負論理の変換操作であるため図3(c)の出力が負論理になることを示すために丸印がつけられる。

AND、OR、NOTの基本回路の他に有用な論理回路としてNAND素子があげられる。トランジスタの入出力特性が論理反転性を有し、ICとしての構成の容易性、およびNAND論理のみで任意のデジタル

(a) NAND (b) NOR (c) Exclusive OR

図 4 その他の代表的論理回路

論理回路の構成が可能等の利点を有し、論理回路を最少の NAND 素子で実現する検討も行われている。

このほかの論理素子として、NOR, Exclusive OR (排他的論理和) も有用な論理回路として用いられる。これらの論理回路表示と真理値表を図 4 に示す。

3. 論理回路を構成する機能素子³⁾⁴⁾

デジタル回路では、前章で述べた基本回路のほかに、演算の制御あるいは演算結果の一時記憶などの目的でいくつかの機能素子が用いられる。以下では代表的な機能素子について述べる。これらは MSI として市販されているものである。

3.1 レジスタ

1 ビットの記憶素子フリップフロップ(以下 F/F で示す)を複数個使用してレジスタが構成される。F/F

は順序回路を構成するうえで基本となる回路であり、図 5 に示す R-S F/F を基本型として、これに制御回路を付加することにより各種の特徴を有する F/F 形式が考えられている。これらを表 2 に示す。

並列レジスタは、同期式演算回路において中間演算結果を一時記憶する場合に用いられ、D タイプ F/F を 4~8 回路並列接続して構成される。F/F を直列に接続した場合にシフトレジスタとなり、遅延回路として用いられる。シフトレジスタのシフトの方向を制御できるとともに、並列入出力機能も備えたユニバーサルシフトレジスタは、信号の直並列変換(S/P 変換)、並直列変換(P/S 変換)に用いられるとともに、加算回路の桁移動回路としても適用できる。

3.2 カウンタ(計数回路)

計数回路は、それ自体の動作は単にパルス数をカウントするものであるが、その用途としてはデジタルボルトメータや数値制御装置のほか、画像処理関係では画面内のサンプル位置を表すためのアドレスカウン

図 5 R-S フリップフロップ

表 2 各種フリップフロップ回路

種 類	機能または特徴	備 考
R-S フリップ フロップ	セット端子に入力信号が印加されると Q 出力が“H”となり、リセット端子に入力信号が印加されると Q 出力が“L”となる。同期式の場合はクロック端子が付加される。セット・リセット入力が同時に“L”は禁止。	J-K フリップフロップ以下の回路に付属機能として付加される。
R-S-S フリップ フロップ	セット優先 R-S フリップフロップとも呼ばれ、セット端子に入力印加されている間は、リセット端子の入力が無視される。	
J-K フリップ フロップ	R-S フリップフロップで禁止されている入力の組み合わせ $S=R=1$ に出力を規定するようにしている。	
T フリップ フロップ	J-K フリップフロップの J, K 端子を接続して、1 つの入力端子 T にしたものと等価である。	
R-S-T フリップ フロップ	T フリップフロップにセット端子とリセット端子を付加したもの。	IC としてはあまり構成されていない。
マスタスレーブ J-K フリップ フロップ	マスタフリップフロップとスレーブフリップフロップを設け、クロックパルスの立上りでマスタフリップフロップにデータを記憶し、立下りでマスタフリップフロップの記憶内容をスレーブフリップフロップに移す。	
D フリップ フロップ	入力端子は 1 つで、クロック端子に信号が印加されるごとに入力データが取り込まれ出力される。したがって、出力は 1 ビット前の入力に等しい。	単体としてはラッチ回路と呼ばれる IC があるが、クロックパルスを狭くする必要があり使いにくい。

図 6 同期式計数回路の構成例

タ等広範囲に及んでいる。

計数回路はカウントアップするもの、カウントダウンするもの、および両機能をもったものに分かれ、また計数回路を構成する F/F のすべてがクロックに同期して反転する同期式と、下位桁の F/F の動作が完了した後、その信号によって次々と上位桁の F/F が動作していく非同期式とがある。図 6 に同期式計数回路の構成例を示す。非同期式計数回路では下位桁と上位桁の出力信号に遅延差を生じるため計数値をデコードしたときスパイク状の雑音を生じる場合があり、この雑音が後段の回路の誤動作の原因となることがある。

5 桁以上の計数を行う場合は、標準回路としての 4 ビットカウンタを多段接続すれば良く、必要に応じて桁数を拡張することができる。

n 進の計数回路を構成する方法として、計数値をデコードし(所要の計数値-1)の値を検出して、その信号により計数回路をクリアする方法と、計数値がフル状態(m ビット)になったとき次のクロックで($m-n+1$)の値を読み込み、その値から計数を進める方法とがある。後者は計算値をデコードする必要がないため回路規模は小さくてすむが、出力が 2 進数でなくなるため用途が限られる。

3.3 マルチプレクサ (セレクト)

マルチプレクサ(セレクトとも呼ぶ)は複数チャンネルのデータを選択する回路で、選択回路や時分割多重回路として使用される。

4 ビット入力の信号 A, B のいずれかを選択する

図 7 マルチプレクサの構成例

図 8 デマルチプレクサの構成例

マルチプレクサの例を図 7 に示す。この例では、セレクト信号が“L”のとき信号 A が、また“H”のとき信号 B が出力として選択される。

3.4 デコーダ・デマルチプレクサ

前節で述べたマルチプレクサが N チャンネルの信号を選択して時分割多重するのに対し、信号を N チャンネルに分離するのがデマルチプレクサである。またこの分離動作において、信号を出力すべき出力端子の第 i 番目を指定するために、2 進の制御コードを分解する回路がデコーダである。

図 8 はデコーダ・デマルチプレクサの回路例であり、デコーダとして使用する場合はイネーブル端子を“L”に設定する。また、デマルチプレクサとして使用する場合はイネーブル端子に分離すべき入力信号を接続する。

4. 加減算回路¹⁾

4.1 加算回路

ディジタル信号処理における基本演算は加算であり、2 入力加算に対して図 9 に示すように Exclusive OR, AND 回路でそれぞれ加算出力、キャリーを求める半加算器(half adder)を基本回路とする。これに対し、下段からのキャリーも含めて加算を行うのが全加算器(full adder)であり、2 個の半加算器を用いて構成される(図 10)。

n ビットで表現される信号の加算については、直列

あるいは並列に演算処理が実行されるが(図 11), このうち並列加算方式が主として用いられる. 並列演算で問題となるのはリップルキャリーの伝搬遅延による演算速度の制限であり, ビット長が大きい場合の高速化を図るために桁上げ先見法(carry look ahead)が採用されている. 並列入力のすべてのビットの“0”, “1”状態から桁上げ信号の有無を識別し, 桁上げ信号がある場合それを先送りする方法であり, ビット長が長くなるにつれ carry look ahead 回路の構成が複雑となるが, 通常は, 4 ビット単位の回路が構成され, そのための MSI も市販されている. 並列語長が 4 を超える場合は多段階の桁上げ先見法が用いられる.

加算演算において注意を払うことは有効語長の問題である. 一般に m ビットの 2 入力加算に対して桁上げを考慮するとその出力は $(m+1)$ ビットで表現されるため, n 回の加算演算出力は $(m+n)$ ビットで表現する必要がある. しかしながら, 信号自身がとり得る値は物理的に制約されており, 演算誤差などによるオーバーフロー, アンダフローの発生が演算語長の増大をもたらしている場合がある. このときには信号値のとり得る範囲を制限するリミット回路が用いられる. 0~255 の出力値をとる信号が 2 の補数表示で符号ビットを含めて $(x_0, x_1, \dots, x_8)$ で表現された場合, 表 3 に示すオーバーフロー, アンダフロー時にそれぞれ信号値を“0”, “255”に制限するリミット回路を図 12 に示す.

図 9 半加算回路 HA (half adder)

図 10 全加算器 FA (full adder)

(a) 直列加算回路

また, 小数点演算を行う場合などに演算結果を四捨五入する場合には丸め回路が用いられ, 図 13 に示すように丸める最下位の符号にその 1 桁下の符号を加える. 2 の補数表示で整数に丸める場合, 例えば 0.5 は 1 に -0.5 は 0 に丸められる.

4.2 減算回路

減算は補数表示を用いると加算で実行できる. 2 の補数は各ビットを反転した後, LSB に 1 を加えるの

表 3 加算出力のオーバーフロー, アンダフロー

x_0 (符号ビット)	x_1 (MSB)	演算結果
0	0	正常出力
0	1	正常出力
1	0	オーバーフロー発生
1	1	アンダフロー発生

図 12 リミット回路の例

図 13 n ビット $\rightarrow$ $(n-m)$ ビット丸め回路

(b) 並列加算回路

図 11 n ビット加算回路

図 14 減算回路

で、 $X - Y$ の減算はインバータとキャリー端子付き並列全加算器により図 14 の回路で実行できる。

5. 乗算回路¹⁾⁵⁾

テレビ信号のデジタル処理では、動作速度および回路規模の点から乗算回路そのものはあまり用いられず、むしろフィルタ係数のように乗数が固定である場合には ROM を用いた乗算が広く行われている。また、係数を 2 のべき乗で近似し、桁シフトと加算回路で乗算を実行する方法も有効である。以下ではテレビ信号の処理にはとらわれず、一般的な乗算回路について述べる。

5.1 乗算の方法

乗算の基本的なアルゴリズムは、被乗数の各ビットに乗数を LSB から順次乗じ、桁シフトと加算を繰返すことであり、直接法と呼ばれる。負の数を含めた乗算では、符号ビットと絶対値で負数表示する場合、被乗数と乗数の符号ビットの exclusive-OR で符号を定め、絶対値は直接法で求めることができる。2 の補数表示に対する代表的な乗算アルゴリズムは Booth の方法である。 x_0 を符号ビットとした時、被乗数 X は、

$$X = -x_0 \cdot 2^n + \sum_{i=1}^n x_i \cdot 2^{n-i} \\ = \sum_{i=0}^n (x_{i+1} - x_i) 2^{n-i} \quad (2)$$

と表現でき、乗数 Y を乗ずると次式になる。

$$X \cdot Y = \sum_{i=1}^n (x_{i+1} - x_i) Y \cdot 2^{n-i} \quad (3)$$

(3) 式は、 x_{i+1}, x_i の組合せにより Y を加算または減算し、シフト加算することにより乗算を実行できることを示している。

5.2 直(並)列乗算回路

直並列乗算回路の構成を図 15 に示す。被乗数は LSB より直列に入力され、乗数の各ビットが並列乗算される。乗算結果である部分和とキャリーは次の被

図 15 直並列乗算回路

図 16 パイプライン乗算回路

乗数ビットが入力されるまでの1タイムスロット期間記憶保持される。 m ビットと n ビットの乗算に対して、 $(m+n)$ ビットの出力結果は1タイムスロット後のLSBから順次得られる。

図16はパイプライン乗算器と呼ばれるものであり、被乗数は各ビット間に遅延素子をはさんで直列に入力される。乗算は各ビット並列に実行され、各ビットの乗算結果が順次加算されて出力が得られる。加算器が縦続接続されるため、図15の構成に比べて演算時間がかかるのが難点であったが、この点の改良も検討され、LSI化乗算回路に用いられている。

5.3 並列乗算回路

$(m+n)$ タイムスロットで乗算を実行する直並列方式に対し、1タイムスロットで乗算を行うのが並列乗算方式であり、高速性が得られるものの回路規模が大きくなるという欠点がある。

AND回路と全加算器からなる基本回路を2次元的に配列して並列乗算回路が構成されるが(図17)、リップルキャリーの伝搬遅延が演算速度を支配する要因となる。キャリー先見回路とともに演算語長の増加にともなう多項加算処理をWallace treeで行うことにより演算の高速化が図られる。Wallace treeは全加算器を2/3の低減率でtree状に配置し、下位桁からのキャリーも含めた多項加算に対して伝搬遅延の低下が可能な回路構成となっている。

テレビ信号のリアルタイム処理では、その処理速度の点から前述のROM演算、2のべき乗近似による乗

算以外では、この並列乗算方式を用いることとなり、市販されている(4×4)乗算回路(MSI)をベースとして乗算アレイを構成し、演算語長の拡大を行っている。

6. 画像符号化処理における演算例

前章までに述べた論理演算回路やメモリーICを組

表4 基本演算ユニットの一覧

ユニット名	内 容
遅延ユニット[A]	12ビットの信号を1～32サンプル遅延
遅延ユニット[B]	12ビットの信号を33～910サンプル遅延
加減算ユニット[A]	8ビット2入力を加減算 リミッタおよびラッチ機能つき
加減算ユニット[B]	12ビット2入力を加減算 リミッタおよびラッチ機能つき
マッピングユニット	12ビット入力、8ビット出力の PROM
乗算ユニット	8ビット×8ビットの演算、16ビット 出力
累算ユニット	12ビットの入力信号を累算、13ビット 出力
分配ユニット	13ビットの信号を3系統に分配
選択ユニット[A]	2つの12ビット信号の一方を選択
選択ユニット[B]	3つの8ビット信号のうち1つを選択

(a) 基本乗算回路 $M_{i,j}$

(b) 並列乗算回路(4×3)の例

図17 並列乗算回路の構成

図 18 基本演算ユニットを用いた画像符号化回路例

合わせることで各種のデジタル信号処理装置を構成することが可能となる。通常は個別 IC が使用されるが、汎用性が高い部分や回路規模を削減したい部分等については LSI 化が図られ、画像符号化処理においても予測符号化回路および可変長符号多重化回路が開発されている⁹⁾。

実際の装置を構成する場合は IC や LSI を駆使して回路規模が最小になるように工夫されるが、一方、実験装置を構成する場合は、所望の機能を短期間に実現すること、また実験終了後には他の実験回路に組み替え可能であることが望ましい。

このような要求を満足する基本演算ユニットを構成し、画像符号化のリアルタイムシミュレータが開発された。基本演算ユニットの一覧を表 4 に示す。

基本演算ユニットを用いた画像符号化回路を図 18 に示す。図 18 に示した符号化方式の予測関数は、

・同期標本化の場合：

$$\hat{x} = z^{-1} \quad ; \text{前値予測} \quad (4)$$

・非同期標本化の場合：

$$\hat{x} = \frac{1}{2}(z^{-1} + z^{L-1}) \quad ; \text{平均予測} \quad (5)$$

ただし、 $\hat{x}$ は予測値、 L は 1 ラインの画素数の例であって、標本化の同期・非同期制御情報により前値予測が切り替えられる。この符号化回路の例では加減算ユニット 3 個、マッピングユニット 1 個、遅延ユニット 1 個、選択ユニット 1 個の合計 6 個で構成され、これらは相互にフラットケーブルで接続される。図中、破線で示した部分はその機能をスルーとされる

ものである。今後、このような演算機能等のモジュール化を図り、デジタル処理回路を比較的短期間で実現できる演算回路構成法の検討も重要となる。

7. む す び

四則演算を行う論理回路を市販 IC を用いて構成するという立場から述べたが、IC ファミリーの拡充などにより必ずしも最新の内容とはいえない点もある。また、乗算回路では ROM 演算が最近では多用されているが、これを除外したため、当を射ていない面もある。ともあれ、論理演算回路を設計するうえでの基礎技術について述べたと理解していただければ幸いである。

回路構成自身はデバイスの発展に負うところが大きく、テレビ信号処理の分野でも、いずれは本稿で述べたランダムロジック回路が、ソフトウェア制御を導入した信号処理プロセッサで置き換えられていく時期が来ると思われる。

【参 考 文 献】

- 1) 宮川ほか：“デジタル信号処理”，電子通信学会 (1975)
- 2) 角田秀夫：“デジタル集積回路”，東京電気大学出版局 (1972)
- 3) 柳沢ほか：“IC 応用ハンドブック”，昭晃堂 (1977)
- 4) “The Bipolar Digital Integrated Circuits Data Book”，Texas Instrument (1976)
- 5) 井上ほか：“デジタル信号処理の応用”，電子通信学会 (1981)
- 6) 黒田ほか：“画像信号符号化用 LSI 化 D/D 変換回路”，研実報，33，1，pp.103-111 (Jan., 1984)