α -Si TFT を用いた 9.5 インチカラー液晶ディスプレイ

鈴木 幸治[†], 青木 寿男[†], 池田 光志[†]
 樋口 豊喜[†], 秋山 政彦[†], 堂城 政幸[†]
 新山 貴子[†], 正会員 小穴 保久[†]

あらまし アモルファスシリコン薄膜トランジスタを用いた対角9.5インチ、画素数480（垂直方向）×640（水平方向）のアクティブマトリックス型カラー液晶ディスプレイを試作し、良好な2値8色表示を実現した。これは、 α -Si膜、ゲート絶縁膜厚の均一化により表示画面全域にわたって均一なトランジスタ特性を実現したこと、またゲートパターンのチーバ加工、および配線交差部に α -Si層を残した構造的な改良を加えることにより、線欠陥表示の原因となるアドレス線とデータ線の電氣的短絡をなくすことで実現した。また、表示画面の大型化、高精細化に伴うアドレス線の抵抗・容量増大の影響を、回路シミュレータ SPICE により詳細に検討し、その結果に基づきアドレス配線抵抗値の低減を行い、アドレス線にそった不均一な輝度むらを解決した。

1. ま え が き

プラズマ、EL、液晶をはじめ種々の方式による平面型表示装置の研究が古くから精力的に続けられている。そして、薄型・軽量の特徴を活かして、携帯用コンピュータをはじめその応用分野も拡大しつつある。なかでも液晶ディスプレイ（LCD, Liquid Crystal Display）は、非発光表示、応答速度、視角などに多少問題はあるものの、低消費電力、低電圧駆動、低価格、さらには色フィルタとの組合せによるカラー表示が容易であるなどの利点をもち、特に注目されている方式のひとつである。

画像表示面内の画素を一樣に配置するいわゆるマトリックス型 LCD は、時分割駆動される単純マトリックス型 LCD¹⁾と、ダイオード、薄膜トランジスタ（TFT, Thin Film Transistor）などの非線形素子を画素毎に設けたアクティブマトリックス型 LCD²⁾³⁾に大別される。単純マトリックス型 LCD は構造が簡単

なため、早くから製品が実現している。しかし、水平走査線数の増加と共に、表示用信号電圧が液晶層に印加される時間が短くなり、実効的な表示電圧が低下して、白表示・黒表示画素間のコントラストが低下してしまう。一方、アクティブマトリックス型 LCD は、製造工程が複雑化するものの、原理的に液晶層をほぼ100%のデューティで駆動できることから、高いコントラストを保持したまま単純型以上の走査線数をもつ大容量画素の LCD を実現することが可能である。

現在までに種々の TFT^{4)~7)}や、2端子素子^{8)~11)}を用いたアクティブマトリックス型 LCD が検討されてきた。特に非晶質シリコン（ α -Si, Amorphous Si）を用いた LCD⁵⁾は、 α -Si TFT が高いスイッチング比をもつこと、ガラス基板が利用できる低温工程で製造できることなどの特徴があり、大面積・高精細化に対して最も有利な方式と考えられている。しかしながら、今までに試作された α -Si TFT LCD は、ブラウン管に比べ表示面積、画素数共に不充分であった。この理由のひとつとして、試作工程が Si IC の製造方法を踏襲しているため、大面積基板用の製造装置の開発および条件設定の困難さがある。また工程温度が 300°C 以下と IC 工程に比べ数百度以上も低いため、良質な絶縁膜が得られにくく、これに起因する表示欠陥が多

[†] 株式会社東芝 総合研究所

"A 9.5-inch Color Liquid Crystal Display Addressed by α -Si TFTs" by Kouji Suzuki, Toshio Aoki, Mitsushi Ikeda, Toyoki Higuchi, Masahiko Akiyama, Masayuki Dohjo, Takako Niiyama and Yasuhisa Oana (Toshiba Research and Development Center, Kawasaki)

発しやすい問題もある。

我々は上記工程上の問題を、装置の大型化、製造条件および素子構造の最適化などにより改善した。そして、対角 9.5 インチ、画素数約 30 万個（垂直方向 480 行×水平方向 640 列）の α -Si TFT を対角 15 インチのガラス基板上に試作し、良好な 2 値表示を得ることができた。さらに、従来不明であった大画面化、高画素数化による走査線（アドレス線）の抵抗および容量の増大に起因した駆動パルスの伝搬ひずみと、その TFT 動作特性に及ぼす影響を計算機を用いて解析した。そして、均一なコントラスト表示を得るため配線抵抗の低減化を行った。

2. TFT LCD の試作と特性の均一化

2.1 動作原理

図 1 に示すアクティブマトリックス型 TFT LCD の等価回路に従って、その動作原理を簡単に説明する⁴⁾。各画素は α -Si TFT および透明な表示電極を有し、表示電極電位に応じて透明な対向電極と表示電極にはさまれた液晶層の光透過率を変化させ表示が行われる。TFT のゲート電極はアドレス線 A_i に、ドレイン電極はデータ線 D_j に接続されている。ある 1 本のアドレス線 A_i に選択的に電圧が印加されたとき、 A_i に接続するすべての TFT がオン状態となり、その時の各データ線電圧がそれぞれの表示電極に書込まれる。アドレス線電圧を 0 V にして TFT をオフ状態にすることにより、書込まれた表示信号電圧は液晶層自体の容量に保持される。アドレス線の選択パルスを順次シフトし、これと同期してデータ線に表示信号を

図 1 アクティブマトリックス型液晶ディスプレイの等価回路

Equivalent circuit of an active matrix liquid crystal display.

印加することにより、全画面の画素に独立な表示信号を転送することができる。なお、電極腐食などの信頼性上の問題から液晶層は交流駆動されるが、これは対向電極電位を一定にしておき、信号電圧を対向電位を中心として、フレーム毎に電圧極性を反転することにより実現している。

2.2 TFT LCD の試作

今回試作した TFT LCD は、アドレス線数 480 本、データ線数 640 本、画素ピッチ $300 \times 300 \mu\text{m}$ 、表示面積 $144 \times 192 \text{ mm}$ 、有効開口率は 54% である¹²⁾。

試作した TFT LCD の断面構造を図 2 に示す。試作プロセスに従って、その構造を説明する。まず、 $30 \text{ cm} \times 24 \text{ cm}$ のガラス基板上に Ta 膜を 300 nm 堆積し、ドライエッチング法 (CDE, Chemical Dry Etching) によりアドレス線およびゲート電極を形成する。なお、Ta 膜は強酸に耐えるため、ゲート絶縁膜堆積前に Ta 膜表面の効果的な清浄処理が可能となる。次に、ゲート絶縁膜として SiO_2 膜を 150 nm 、半導体膜として α -Si 膜を i 層 250 nm 、 n^+ 層を 25 nm グロー放電分解法で堆積し、そして α -Si 膜を CDE 法でエッチングし、島化する。さらに、ITO 膜を 100 nm 堆積してパターニングし、透明表示電極を形成する。そして、Mo 膜を 50 nm 、Al 膜を $1.2 \mu\text{m}$ 堆積してパターニングし、ドレイン電極とデータ線、ソース電極を形成する。TFT チャンネル部の n^+ α -Si 層を、ソース・ドレイン電極をマスクとして CDE 法によりエッチング除去して、ゲート下置きスタグ構造 TFT が完成する。TFT のチャンネル長は $10 \mu\text{m}$ 、チャンネル幅は $25 \mu\text{m}$ である。その後ポリイミド層を塗布、エッチングして保護層を形成し、TFT アレイ基板が完成する。

別に、ITO 膜を 200 nm 堆積した対向ガラス基板を用意する。ITO 膜を堆積する前に、対向基板にカラーフィルタを形成しておく、カラー表示が可能とな

図 2 液晶ディスプレイパネルの断面図

Cross sectional view of a liquid crystal display.

る．今回は赤 (R)、緑 (G)、青 (B) が画素ピッチで横に並んだ縦ストライプ型のカラーフィルタを用いた．

次に、TFT 基板と対向基板を配向処理した後で、 $9\mu\text{m}$ のスペーサを介して封着し、液晶を注入して LCD が完成する．液晶は TN 型エステル系の混合液晶である．

今回試作した TFT LCD は裏面から照明を行う透過型である．背面照明には、発光効率、演色性を考慮した R、G、B の 3 波長型熱陰極蛍光管を用いた．カラーフィルタの分光特性と背面照明の発光スペクトルを最適化することにより、色度図上で市販のカラーブラウン管に近い色度座標を有する色再現特性が得られている¹²⁾．

表示画面の大きい TFT LCD を試作する際の注意点は、輝度むらを生じないよう各種薄膜を均一、均質に形成し、かつ加工精度を高め TFT 特性を一様にそろえること、さらに縦横の線欠陥表示となるアドレス線とデータ線のショートや断線をなくすことである．TFT 特性のばらつきに直接影響を及ぼす SiO_2 膜、 $a\text{-Si}$ 膜の厚み分布は、対角 15 インチの基板内で $\pm 10\%$ 以下、表示領域内で $\pm 5\%$ に抑えている．なお、 $a\text{-Si}$ 膜、 SiO_2 膜は平行平板電極型高周波グロー放電装置を用いて、基板上置きで形成した．また、アドレス線とデータ線のショートに対しては、まずアドレス線 Ta 膜を CDE 法でテーパーエッチすることにより絶縁層のアドレス線パターンエッジにおける耐圧劣化を防止し、さらに、アドレス線とデータ線の交差部に $a\text{-Si}$ 層を残すことにより、 $a\text{-Si}$ 層のパターニング時における SiO_2 膜のエッチングを阻止し、交差部での耐圧劣化をより完全に防止した．テーパー加工を施さない構造での耐圧は 20~50 V 程度しかないが、 $a\text{-Si}$ 層を残したテーパー構造では耐圧が 100 V 以上となり、層間ショート数も 10~40 ヶ所から 0~1 ヶ所に減激することができた．

2.3 TFT 特性

試作した TFT の静特性を図 3 に示す．これは、図 3 に示すように TFT アレイ基板の周辺部に設けた、画素部と同じ寸法をもつ TFT の測定結果である．ドレイン電圧 10 V としたときのゲート電圧 V_g とチャンネル電流 I_d の特性はばらつきが少ない． $\sqrt{I_d}$ - V_g 特性の直線部の傾きから求めた移動度 μ_{eff} は $0.6\sim 0.8\text{ cm}^2/\text{V}\cdot\text{s}$ 、また V_g 軸との交点から求めた閾値電圧 V_{th} は約 4 V である．オン・オフ比は 10^6 以上が得られている．これらの特性は、TFT LCD を動作させるうえで十分なものである．

LINE	NAME	COMMENT	V_{th} (V)	μ_{eff}	$\frac{W}{L}$	T_{ox} (Å)	E_{ox}
---	LCT-3a	TEG ₆ _UP (LEFT)	3.87	0.82	2.5	1500	4.0
----	LCT-3b	TEG ₆ _UP (CENT)	3.84	0.85	2.5	1500	4.0
----	LCT-3d	TEG ₆ _DN (LEFT)	3.82	0.69	2.5	1500	4.0
----	LCT-3c	TEG ₆ _DN (CENT)	3.87	0.78	2.5	1500	4.0

図 3 アモルファスシリコン薄膜トランジスタの電流-電圧特性

Current-voltage characteristics of amorphous silicon thin film transistors.

3. アドレス配線抵抗の影響

3.1 駆動パルスの伝搬ひずみ

表示画面の大型化・高精細化に伴う TFT アレイ基板の問題として、TFT 特性の均一性、層間ショート他、アドレス配線の高抵抗化と大容量化によるアドレス線駆動パルスの伝搬ひずみの問題がある．高抵抗化するのは、アドレス配線幅を小さくし、開口率を大きくして高い表示品位を保つため、配線長と幅の比率が大きくなるためである．一方、プロセス上信頼度の高い高融点金属から低比抵抗材料への変更や、膜厚の増加などは、プロセス条件の変更や、層間ショートの発生などの問題を生じてしまう．また、高精細化による TFT および交差するデータ線数の増加は、アドレス線の容量を増大させる要因となる．

このようなアドレス線の高抵抗化、大容量化は、TFT を駆動するパルスの伝搬ひずみを生じ、給電端に近い画素では信号電圧の書込みが充分であっても、終端側では不足することが生じうる．この結果、アドレス線にそって表示コントラストが不均一となる．この不均一表示は、図 1 に示すような給電端電極を 1 本

(a) $R_A=130\text{ k}\Omega$, $C_{Amin}=300\text{ pF}$, $C_{Amax}=1160\text{ pF}$

(b) $R_A=80\text{ k}\Omega$, $C_{Amin}=130\text{ pF}$, $C_{Amax}=400\text{ pF}$

写真 1 駆動パルスの伝搬ひずみ波形 (縦軸 5 V/div, 横軸 10 μ s/div)

Transmitted pulse shapes through an address line. (5 V/div in vertical direction, 10 μ s/div in horizontal direction)

おきに画面の右側と左側とに交互に取り出す一般的な配線方法において、画面の両端で1本おきのコントラスト差を生じ、著しく表示品位を低下させてしまう。さらに、液晶を交流駆動させるための最適対向電極電位が一義的に定まらず、一部の領域で液晶のバイアス電圧に直流成分が含まれた状態となり、液晶および表示電極の劣化を生ずる可能性がある。

アドレス線駆動パルスの伝搬ひずみの実測例を写真1に示す。これは、すべてのデータ線電圧を0 Vまたは10 Vとしたときの、アドレス線駆動パルス波形を給電端および終端で測定した結果を示す。(a)と(b)では、1本のアドレス線の給電端と終端間の抵抗 R_A および給電端または終端からみた容量 C_A をそれぞれTa膜厚とTFTのゲートおよびa-Si領域の面積を変更することにより変えている。 R_A の値は(a)で130 k Ω 、(b)で80 k Ω である。 C_A はTFTのゲート電圧によりTFTのチャンネル部に誘起される電子濃度に変化するためTFTのオン状態とオフ状態と異なる。 C_A の最少容量 C_{Amin} (オフ状態)および最大容量 C_{Amax} (オン状態)は、測定周波数100 Hzにおいて

図 4 画素回路の書き込み特性
Dynamic characteristics of a pixel circuit.

(a)が300 pFと1160 pF、(b)が130 pFおよび400 pFである。

3.2 書き込み特性の計算機解析

画素回路書き込み特性に及ぼす駆動パルスの伝搬ひずみの影響を明らかにすることは、TFTアレイ基板を設計するうえで重要である。この問題は本質的に非線形回路の時間応答問題となる。ここでは、回路解析プログラムSPICEを用いて解析を行った。なお、TFTの電流-電圧特性は実測データを参照するテーブルルックアップ方式を用いた¹³⁾。

まず基本画素回路について書き込み特性の計算機解析を行い、実測値との比較を行った。図4に両者の比較を示す。ここでは、測定精度を高めるため、TFTのチャンネル長および幅をそれぞれ6 μ m、1800 μ m、また負荷容量として外部に100 pFのコンデンサ C_s を付加し、実際の回路定数を著しく大きくしている。なお、TFTのゲート電極とソースおよびドレイン電極との重なりは共に5 μ m、ゲートSiO₂膜厚は3600 Åである。実測と計算の結果はよく一致し、SPICEによる解析法が極めて有効であることがわかる。ゲートパルスを0 Vとしたとき、蓄積容量の電位が下がるが、これはゲート電極とソース電極間容量 C_{gs} によるゲートつき抜け効果⁹⁾のためである。

次に、伝搬ひずみを伴う駆動パルスによる書き込み特性について検討を行った。各アドレス線は640個のTFTが接続され、また640本のデータ線と交差している。ここでは、640の画素回路を80個ずつ8個のブロックに分けて近似を行った。したがって図5の r_g はアドレス線抵抗 R_A の1/8である。図5に解析に用いた1本のアドレス線についての等価回路モデルを示す。TFTのゲート容量 C_g は、ゲート電圧 V_g に依存する。ここでは、 C_g - V_g 特性をSPICEに組み込まれたp型MOSトランジスタの蓄積領域の特性を利用して近似した。パラメータ値を適当に変えること

により、実測に近い C_G - V_G 特性を容易に実現できるためである。そして、各ブロックには、1つの画素回路に対応した液晶層容量と α -Si TFT を接続し、画素回路の書き込み特性が求められるようにした。なお、データ線の抵抗は $300\ \Omega$ 程度とアドレス線に比べ充分小さいので無視している。

図5の等価回路モデルの妥当性を調べるため、給電端側からみたアドレス線容量の周波数依存性を検討した。実測結果および SPICE による解析結果を図6に

図5 アドレス線の等価回路
Equivalent circuit of an address line.

図6 アドレス線容量の周波数特性
Frequency responses of address line capacitance.

図7 アドレス配線抵抗・容量の書き込み特性への影響
Effect of address line resistance and capacitance on dynamic performances of a pixel circuit.

示す。ここで、すべてのデータ線電圧および対向基板電位は共に 0 V である。試料は写真1(b)に用いたものと同一である。実測と計算の結果は比較的よく一致している。特に、伝搬定数と関係ある容量の低下する周波数帯はよく一致していることから、上記計算モデルにより比較的精度の高い書き込み特性が計算できるものと思われる。

図7にアドレス線終端における画素回路の書き込み特性の計算結果を示す。ここで、データ線電圧は 10 V とし、初期値 0 V の終端画素の表示電極電位が 9.9 V に達するのに要する時間を、種々のアドレス線抵抗および容量に対して求めている。なお、データ線電圧が小さいほど TFT のオン抵抗は減少するので、書き込みに要する時間も図7の結果より短くなる。なお、給電端ではアドレスライン抵抗の影響は非常に小さく $V_A = 20\text{ V}$ のとき、わずか $9\ \mu\text{s}$ で書き込みが完了する結果が得られた。アドレス線駆動パルス幅は、TV 表示の場合約 $64\ \mu\text{s}$ 、一部のコンピュータでは $40\ \mu\text{s}$ と、システムにより異なるが、書き込みに要する時間はこれよりも短くする必要がある。特に、アドレス線数をさらに増やすとき、駆動パルス幅はますます短くなる方向にあり、アドレス線の抵抗および容量に対して充分な検討が必要となる。

今回試作した TFT LCD では、この対策としてアドレス線の Ta 膜厚を増やすことで対処した。一般的に、ゲート配線厚の増加はゲート絶縁層の耐圧不良を生じ、データ線とのショートを引き起こす。しかしながら、プロセス条件の最適化により Ta 膜のテーパ加工が可能となり、例えば Ta 膜厚 300 nm 、ゲート絶縁膜厚 150 nm の構造であっても、データ線とのショートを皆無とし、かつ、アドレス線抵抗 $50\text{ k}\Omega$ 、そして 100 V 以上の耐圧を実現している。

4. 表示特性

今回試作した TFT LCD の仕様および駆動条件を表1に示す。TFT LCD は $2:1$ のインタレース線順次駆動で2値表示を行った。アドレス線駆動パルス幅は $40\ \mu\text{s}$ 、フィールド周波数は 96 Hz 、フレーム周波数は 48 Hz である。液晶はフレーム毎に電圧極性を反転しているため、その周波数は 24 Hz となっている。バイアス電圧は、アドレス線が選択時で 18 V 、非選択時で 0 V 、またデータ線は $5 \pm 5\text{ V}$ の2値表示信号とした。液晶を交流駆動するための最適対向電極電位は $3 \sim 4\text{ V}$ 程度であった。この駆動条件下での表示例を写真2に示す。コントラスト比は12以上であった。アドレス線の抵抗は $60\text{ k}\Omega$ 、容量は写真1(b)

表 1 α -Si TFT LCD の仕様
Specification of an α -Si TFT LCD.

表示面積	192 mm(水平)×144 mm(垂直)
画素数	640 (水平) × 480(垂直)
画素ピッチ	300 μ m × 300 μ m
有効開口率	54%
液晶材料	TN 液晶
駆動方式	48 Hz インタレース線順次
表示方式	2 値 8 色
駆動電圧	ゲート: 18 V
	データ: 10 V
コントラスト	12: 1 以上
応答速度	立上り 25 ms
	立下り 90 ms

写真 2 表示例
An example of displayed picture.

の試料とほぼ同じである。なお、表示電極以外の部分からの透過光は、LCD パネル両面の偏光板をネガ表示配置することでカットしている。

アドレス線駆動パルス幅を変化させてコントラストの低下を調べたが、写真 1 (a) の試料で終端画素のコントラストが 50% に低下するパルス幅は 15 V 駆動で 50 μ s、20 V 駆動で 25 μ s であった。写真 1 (a) の試料では、パルス幅を 40 μ s とすると、20 V 駆動のときでも表示画面の両端において、アドレス線 1 本毎に著しいコントラスト差が確認された。これらは、計算機解析の結果からも説明できる。

5. む す び

対角 9.5 インチ、アドレス線 480 本、データ線 640 本の α -Si TFT LCD を試作し、層間ショートによる線欠陥がなく、コントラストむらの少ない良好な表示を実現できた。これは、

- (1) プロセス技術の改善により、大面積にわたって均一な特性を有する TFT アレイを実現できたこと
- (2) アドレス線のテーパエッチングと、アドレス線とデータ線の交差部に α -Si 膜を 1 層追加する

ことにより、耐圧不良による致命的な層間ショートをなくしたこと

- (3) 上記テーパ化技術により、ゲート絶縁膜の耐圧を劣化することなくアドレス線 Ta 膜厚を増やすことが可能となり、アドレス線の低抵抗化が実現できたこと

等による。

さらに、回路シミュレータ SPICE を用いて、アドレス線の抵抗・容量の影響による画素回路書き込み特性の不均一性を検討し、十分な書き込み特性を得るための抵抗値、容量値を明らかにした。

今後、書き込み-表示特性の詳細な検討を行い、表示品位をさらに向上させることが必要であろう。

最後に、本研究の遂行にあたり有益な助言ならびに協力をいただいた当社の佐野俊一氏、田屋明氏、栗原考明氏に感謝致します。

(昭和 61 年 3 月 1 日受付、昭和 61 年 5 月 23 日最終受付)

[参 考 文 献]

- 1) P. M. Alt, et al.: "Scanning Limitations of Liquid-crystal Displays", IEEE Trans., **ED-21**, 2, pp. 146-155 (Feb., 1974)
- 2) A. I. Lakatos: "Promise and Challenge of Thin-film Silicon Approaches to Active Matrices", IEEE Trans., **ED-30**, 5, pp. 525-532 (May, 1983)
- 3) T. P. Brody: "The Thin Film Transistor—A Late Flowering Bloom", IEEE Trans., **ED-31**, 11, pp. 1614-1628 (Nov., 1984)
- 4) T. P. Brody: "A 6×6 inch, 20 Lines per inch Liquid Crystal Display Panel", IEEE Trans., **ED-20**, 11, pp. 995-1001 (Nov., 1973)
- 5) K. Suzuki, et al.: "A 220×240 Pixel α -Si TFT Matrix Transmission Liquid Crystal Display", Proc. SID, **25**, 1, pp. 11-16 (Jan., 1984)
- 6) S. Morozumi, et al.: "B/W and Color LC Video Displays Addressed by Poly Si TFTs", SID '83 Digest of Technical Papers, **14**, pp. 156-157 (1983)
- 7) M. Matsuura, et al.: "A Liquid Crystal Display Panel Using a Te-TFT Array", SID '83 Digest of Technical Papers, **14**, pp. 148-149 (1983)
- 8) S. Tagashii, et al.: "A LCTV Display Controlled by α -Si Diode Rings", SID '84 Digest of Technical Papers, **15**, pp. 324-325 (1984)
- 9) K. Niwa, et al.: "LCTV Addressed by MIM Devices", SID '84 Digest of Technical Papers, **15**, pp. 304-307 (1984)
- 10) D. E. Castleberry: "Varistor-controlled Liquid-crystal Displays", IEEE Trans., **ED-26**, 8, pp. 1123-1128 (Aug., 1979)
- 11) D. G. Ast: "Materials Limitations of Amorphous-Si: H Transistors", IEEE Trans., **ED-30**, 5, pp. 532-539 (May, 1983)
- 12) Y. Oana, et al.: "A 9.5-inch Diagonal Multicolor Amorphous Silicon TFT-LCD Panel", Conf. Record of '85 Int'l Display Research Conf. (San Diego), pp. 32-33 (1985)
- 13) T. Shima, et al.: "Three Dimensional Table Look-up MOSFET Model for Precise Circuit Simulation, IEEE J., **SC-17**, 3, pp. 449-454 (1982)