最近の CMOS 技術

鈴木 八十二[†]

超 LSI 素子、低消費電力素子として不可欠になってきている CMOS デバイスについて、各特徴面、つまり高集積化、高速化、低消費電力化、アナログ化の面から、その技術動向を概説する。また、カスタム LSI の開発手法として話題を呼んでいる ASIC、およびこれからの素子として話題をまわっている Bi-CMOS 技術等についても紹介し、今後のテレビ用 LSI の開発に役立つよう技術動向を概説する。

1. ま え が き

半導体は、変動体ともいわれ、需要と供給とのバランスにより半導体の生産高が前年伸び率に対して変動し、図 1 のように約 3 年周期による不景気を招く。これをシリコンサイクルと呼んでいる。

このシリコンサイクルの中で、CMOS 技術は超 LSI の基幹技術として成長を続け、図 2 に示すように、すべての応用分野に採用されている。特に、CMOS デバイスのメモリーへの応用は、微細加工技術の進展度を示すパラメータとしても重要なものである。最近、1 Mb DRAM (Dynamic Random Access Memory) の周辺回路に CMOS デバイスが消費電力低

減化と高速化の面から用いられるに至っている¹⁾。

この CMOS 技術による大容量メモリーは、低消費電力の利点から膨大なデータ量を容易に格納できる。例えば、1 文字を 8 ビットで表すとして、A 4 判用紙に 800 文字入れるとすると、1 Mb DRAM には、A 4 判用紙が 160 枚入ることになり、文字数にして 131000 文字記憶可能となる。

このように、大容量メモリーの応用は、データファイレリングシステムなど OA (Office Automation) 機器をはじめとして、身近なものに利用されつつある。ここでは、超 LSI 素子と低消費電力化素子として不可欠となってきた CMOS デバイスについて、各特

図 1 シリコンサイクル

* ASIC は Application Specific IC の略

図 2 CMOS デバイスの応用の木

[†] 株式会社東芝 集積回路事業部

“Recent Trends of CMOS Technology” by Yasoji Suzuki (Micro-computer Engineering Department, Integrated Circuit Division, Toshiba Corporation, Kawasaki)

微面からみた技術を述べる。

2. 高集積デバイスとしてのCMOS

2.1 メモリー

CMOS デバイスを用いたメモリーは、N-MOS のそれと同じように 3 年毎に 4 倍の高集積化を遂げてきている。その流れを図 3 に示す。

このように、集積度の向上がなされてもメモリーの電気的特性は損なわれることなく、かえって電気的特性の向上に役立っている。例えば、過去に開発した代表製品の 1 トランジスタ当たりのリーク電流を年代順にプロットすると図 4 を得る。この特性図より約 3 年毎に 1 トランジスタ当たりのリーク電流が 1 桁ずつ低減している。また、データ読出し時のアクセス時間が図 5 に示すように記憶容量の増大にもかかわらず、比較的高速になっている。

この CMOS デバイスを用いた LSI は、微細加工つまり、小さくなるほど性能が良いということの見本で

図 3 MOS SRAM 記憶大容量化

図 4 CMOS RAM の待機時の消費電流の変遷 (MOS トランジスタ 1 個当たりに換算したもの)

ある。この微細加工技術のキーポイントは、ショートチャンネル対応の LDD (Lightly Doped Drain-Source) 構造²⁾および、面積を有効に利用できるトレレンチ構造³⁾である。

2.2 マイクロコンピュータ

マイクロコンピュータ (以下、略してマイコン) についても同様な傾向であり、図 6 に示すように年率 40% の集積度の向上で推移している⁴⁾。特に、CMOS ロジックのみに注目すると、図 7 のようになる⁵⁾。このマイコンの集積度は、メモリーのそれより 1~2 年遅れるのが一般的である。

このマイコンも、ここ 1~2 年のうちに CMOS 化率が急増し、高位マイコン (32 ビットマイコン以上) も、ほとんど CMOS 化されるのが現状である。このマイコンの CMOS 化によってマイコンの消費電力が

図 5 CMOS RAM の読出しアクセス時間の変遷

図 6 マイコンの集積素子数の変遷

図 7 CMOS ロジックの集積素子数の変遷(年率約 40%で増加)

大幅に低減する⁶⁾。

3. 高速デバイスとしてのCMOS

CMOS デバイスは、微細化が進めば当然、高速と なっていく。前項で述べたショートチャンネルやナロー チャンネル特性を考慮したプロセスを用い、設計ル ール約 $1\mu\text{m}$ 前後を用いた場合、遅延時間としてゲート アレイのテストビークル (Test Vehicle) で、図 8 に 示すように約 0.5 ns/ゲート を得ている。近年、この 微細化技術を用いて種々の高速デバイスが誕生しつ つある。一例として標準 CMOS ロジックを見てみよ う。

標準 CMOS ロジックは、1967 年 10 月、米国 RCA 社より暫定版としてのロジック (4000 シリーズの原型 版)が発売されて以来、順調な成長を遂げてきており、 1979 年 3 月、東芝より初めて高速 CMOS ロジック 40 HXX シリーズが発売されるに至り⁷⁾⁸⁾、急速な高 速化がなされて来た。特に、1981~82 年にかけて、 各社より発売された高速 CMOS ロジック 74 HCXX シリーズは、TTL 74 LS シリーズに置き換え可能な スイッチングスピードをもつに至っている。さらに、 1985~86 年にかけて、アドバンスト CMOS ロジック 74 ACXX シリーズが生まれるに至り⁹⁾¹⁰⁾、そのス イッチングスピードは、アドバンスト TTL の 74 ALSXX シリーズに相当する。

その標準 CMOS ロジック 40160 と高速 CMOS ロ ジック 40 H 160, 74 HC 160 および、アドバンスト CMOS ロジック 74 AC 74 の性能比較を図 9 に示す。

この他の高速 CMOS デバイスとしては、ゲートア レイなどの ASIC (Application Specific IC's の略で特 定用途向け IC)があるが、後述しここでは略す。

図 8 微細加工技術と平均伝搬遅延時間

図 9 標準 CMOS ロジック、高速 CMOS ロジックお よびアドバンスト CMOS ロジックのフリップ フロップ等による最大クロック周波数特性比較

4. 低消費電力デバイスとしてのCMOS

CMOS デバイスは、本来、低消費電力であり、そ の利点を生かし、古くから電卓や時計に応用されてき た¹¹⁾。1973 年、東芝によって開発された電卓用 C² MOS-LSI は、電卓のポケット化と乾電池化を世界で 初めて実現した。そのキーポイントは CMOS 回路の 工夫とパターン設計の工夫であった¹²⁾。その電卓用 CMOS-LSI も年々、消費電力が低減し、図 10 に示す ように、数 μW 、電池寿命にして 4~5 年持続、ある いはソーラ駆動ができる LSI になっている。また、 時計用 LSI も $1\mu\text{A}$ 以下と、低消費電力の極限に近い

図 10 電卓の低消費電力化へのあゆみ

写真 1 低消費電力デバイスとしての応用例(電子体温計)

性能を実現している。これらの低消費電力特性を生かした他の応用例として、写真 1 に示す電子体温計が各社より発売されるに至っている¹³⁾。

5. アナログデバイスとしての CMOS

5.1 オーディオ・ビデオ用 CMOS-LSI

近年、CMOS デバイス技術によって、コンパクトディスクプレーヤ (Compact Disk Player 略して CD) のサーボプロセッサ用 LSI (TC 9201 F) および、データ処理用 LSI (TC 9200 F) が実現している¹⁴⁾。その CD プレーヤのシステムを図 11 に示す。

このシステムは、マイコン (TLCS-47) を用いて、操作パネルからのキー入力信号の処理と表示デバイスなどのコントロールを行い、さらに、サーボプロセッサ (9201) を駆動している。このサーボプロセッサ (9201) は、マイコンによってコントロールされ、かつ、EFM (Eight to Fourteen Modulation) 信号をもらって、位相補正した EFM 信号を出力し、同時に EFM 信号から同期クロックを抽出する。これら 2 つ

の信号は、データ処理用 LSI (9200) へ送られる。また、ピックアップ位置コントロール信号と定線速度コントロール信号を出力する。したがって、この出力信号をパワーアンプを介して、ピックアップ送りモータとディスクモータを駆動すれば、ピックアップコントロールが行える。

データ処理用 LSI (9200) は、位置補正された EFM 信号と同期クロック信号とをもらい、EFM 復調、デインタリーブ、誤り訂正・補正をデジタル的に処理して、オーディオデジタル信号を出力する。したがって、データ処理用 LSI の出力を DA 変換し、フィルタとオーディオアンプを介すれば、音声として聞かれることになる。

以上の LSI の他に、オーディオ用デジタルフィルタ (TC 9197 F) など、オーディオ、ビデオのデジタル化に伴う CMOS-LSI が種々生まれている¹⁵⁾。

5.2 音声 LSI

最近、音声を聞いて反応するおもちゃのロボットが出現している。つまり、人間の耳をもったロボットである。この人間の耳は、音声認識 LSI で実現できる。例えば、スタティック RAM (TMM 2114 AP×4 個あるいは、TC 5516 AP×1 個など) とマイクロフォン、水晶振動子、コンデンサ、および、操作を行うキーボードなどを結線すると、簡単に写真 2 のような認識用ボードが実現できる。

この音声認識用 LSI (T 6658 A) は、4 kb スタティック RAM 1 個で 10 語、16 kb RAM 1 個で 40 語、認識可能である¹⁶⁾¹⁷⁾。この認識システムは、特定話者、離散発声単語認識であり、応答時間が最大で 0.48 秒、認識率が 70~80% と決して高くない。しかし、習熟した人によれば、認識率が 90% 以上と高められ

写真 2 音声認識用 LSI (T 6658 A) を用いたデモンストレーション用ボードシステム外観

図 11 コンパクトディスクプレーヤの構成

る。

一方、ロボットの口にあたる音声合成用 LSI も数多く出されている。特に、有名なのは PARCOR (Partial Auto-Correlation の略で、偏自己相関係数) 方式*である。この方式の特徴は、音声波形やスペクトルの性質を少ない数のパラメータで表現でき、1.2 ~9.6 kb/s 程度の低ビットレートで比較的音質の良

い合成が可能である。

また、単純に音声合成方式を考えると、音声波形を一定周期でデジタル化すればよく、これには、パルスコード変調 (Pulse Coded Modulation 略して、PCM) がある。しかし、ビットレートが高いため、低くする方法として、1つ前のサンプル値との差を符号化し、音声波形に対して適応していく波形符号化方式がある。これを適応デルタ変調 (Adaptive Delta Modulation 略して ADM あるいは、適応 ΔM) 方式と呼んでいる¹⁸⁾。

この適応 ΔM 方式であると、10~32 kb/s 程度のビットレートとなり、比較的 LSI 化し易い。

近年、LSI 化しやすい適応 ΔM 方式を用いた録音再生 LSI (T 6668) が実現している。この録音再生 LSI は、音声の変調、復調を行うもので、テープレコーダの代わりをなす。その LSI を用いたボードを写真 3 に示す。このボードシステムでは、256 kb DRAM を 4 個、つまり 1 Mb メモリー 1 個を使用しており、ビットレート 8 kb/s で最大 128 秒録音・再生可能となっている。また、このシステムを利用したテープレコーダ付時計も実現している¹⁹⁾²⁰⁾。

以上、人間の声を認識し、あるいは録音再生する音声 LSI が CMOS デバイスによって、1 チップで実現

写真 3 音声録音・再生用 LSI を用いたテープレスレコーダ

図 12 ASIC ファミリーでの位置付け

* PARCOR は、(株)NTT によって開発された音声分析合成方式である。

(注) ソース：1984年6月データクエスト

図 13 各ASICとの比較

(a) ゲートアレイ

(b) スタンダードセル

(c) スーパーインテグレーション

図 14 各ASICの設計手法

しはじめている。

6. 話題のカスタム LSI, ASIC

最近、カスタム LSI の開発手法として ASIC が話題になっている。ASIC の明確な定義はないが、米国データクエスト社によれば、図 12 のように定義されている。各 ASIC の設計手法によって開発期間と開発コストは異なる。その比較を図 13 に示す²¹⁾。

ゲートアレイ (Gate Array 略して GA) は、図 14

図 15 各ASICのパフォーマンス

図 16 各ASICのチップサイズ比較

設計者×設計時間 (人×月)

図 17 同一システムを各種手法で設計した場合のワーク量比較

(a)のように、ベーシックセルと呼ばれるN-MOSとP-MOSトランジスタの基本セルを基盤の目のように並べ、いくつかのベーシックセルの組合せによってNANDゲートなどのマクロセルを作成し、そのマクロセルとベーシックセルとの組合せでユーザの希望する論理回路を構成するものである。

スタンダードセル (Standard Cell, 略してSC) は、同図(b)のように、ゲートアレイの他にスーパーマクロセルと呼ばれるある機能をもったセル、例えば、ビットスライスプロセッサ (2900シリーズ) とか、RAM, ROM, マイコン周辺 (SIO, PIO など) あるいは、74シリーズロジックなどの機能マクロセルとの組合せで、ユーザの希望する論理回路を構成するものである。

これに対して、スーパインテグレーション (Super Integration, 略してSI) は、同図(c)のように、スタンダードセル的な考えの設計手法であるが、スーパーマクロセルがすでに商品化されているチップであり、これらチップとスタンダードセルとの組合せにより構成するものである²²⁾。

これら3タイプのASICのパフォーマンスを比較すると図15となる。ここで、SOGはSea of Gateの略で、ゲートアレイの配線領域にベーシックセルを並べたもので、ゲートアレイのひとつのシリーズである²³⁾。

各ASICによるチップサイズを設計ルール $2.0\mu\text{m}$ を用いて、MSXエンジン* (T7775) を構成したとして比較すると図16となり、その設計ワーク量は図17となる²⁴⁾。SIは、標準としてのチップをスーパーマクロセルとして用いているため、ボンディングパットをそのまま残しているが、チップサイズは手設計 (ハンディークラフト) に近く、また、設計ワーク量は一番少ない。

以上のように、各ASICの設計手法導入により、システム設計者が、非常に短い開発期間で所望するカスタムLSIを開発できる時代を迎えつつある。

7. これからのCMOSデバイス

超LSI技術として、低消費電力特性をもつゆえに高集積化できるという利点からCMOS技術が採用され、その微細化はごく最近、 $\sim 1\mu\text{m}$ デバイスにまで達している。しかしながら、CMOSデバイスは出力に負荷されるキャパシタンス C_L が増すと、スイッチングスピードが低下するという欠点をもつ²⁵⁾。この出

図18 Bi-CMOS回路の基本的考え方(CMOSの相補動作とバイポーラの高駆動能力を生かして、高速・低消費電力性を併せもつ)

図19 1ゲート当たりの平均伝搬遅延時間比較(15段リングオシレータによる)

力の駆動力向上に対して、バイポーラ+CMOSといういわゆるBi-CMOS技術が話題になっている²⁶⁾。

Bi-CMOS回路の基本的考え方を図18に示す²⁷⁾。この回路には、CMOSデバイスの負荷キャパシタンス C_L に対する駆動力不足をバイポーラトランジスタで補う思想が表れている。つまり、負荷キャパシタ C_L に対するゲートの伝搬遅延時間 t_{pd} をプロットすると図19になり、Bi-CMOSがピュアCMOSより駆動力の点で優れているデバイスであることがわかる。消費電力特性については、あまり優劣がない。

このように、Bi-CMOSデバイスは、出力負荷に対して高駆動力をもち、高速スイッチングスピードをもつ高性能なCMOSデバイスで、メモリーやゲートアレイなどに適用されつつある²⁸⁾²⁹⁾。

また、高集積化つまり、微細化のために、トレンチ構造やLDD構造が採用されていることを先に述べ

* 米国(株)マイクロソフト社の登録商標

(a) PHS層とモリブデンシリサイド (MoSi₂) を用いた多層 CMOS デバイス構造 (3 次元デバイス)

(b) 多層 CMOS デバイスの等価回路

図 20 3 次元構造の CMOS デバイス構造例 (多層 CMOS デバイスの一例)

図 21 東芝における C² MOS-LSI 開発の流れ

た. これらの CMOS デバイスとしては, バルク CMOS の他, 積層 MOS (Stacking MOS) や SOI (Silicon On Insulator) デバイスが採用されるものと考えられる³⁰⁾.

一昨年, 神戸で開かれた VLSI シンポジウムにおいて, 積層 MOS や SOI の原理を利用した図 20 のような 3 次元構造 CMOS デバイス (多層構造 CMOS デバ

イス) が発表された. これは, 3 層目にあるアモルファスシリコンの光センサによって, 光の情報を取得し, 2 層目にあるレベル検出器 (Level Detector) によって, 検出処理し, 1 層目にある 6 トランジスタ構造のスタティックメモリー (S-RAM) にデータを書込んで記憶するデバイスで, 2 層目と 1 層目の絶縁層が PHS (Planarized Heat Sink) と呼ばれる多結晶シ

リコン（ポリシリコン）を用い、レーザによってシリコン（Si）を熔融し、再結晶化することで2層目のMOS構造を形成している。ここで、前述したPHSは、2層目と1層目の平坦化、上下トランジスタのシールドおよび、上下トランジスタの接続（Buried interconnection）等の役目をする³¹⁾。

今後、短期的にみれば、Bi-CMOS技術、中期的にみれば積層MOSやSOIデバイスが採用され、近い将来、3次元MOSデバイスが実現され、より高度かつ高性能なシステムのシングルチップ化がなされていくものと考えられる。

8. む す び

本稿では、CMOSデバイスの技術的動向について述べてきた。このCMOSデバイスの歴史を見てみると図21となる。数千トランジスタを1チップ化した電卓LSIから始まり、超高集積化された4Mbit-DRAMまで、その流れは激しく変化に富んでいる。今後も低消費電力特性を維持しながら、高速面、高駆動力面で改善がなされ、高性能な超LSIデバイスとして進展するものとみられる。

最近、話題を呼んでいる高品位テレビやデジタルテレビ、また、液晶テレビにも低消費電力かつ高速のCMOSデバイスがますます使用されていくものと思われる。本稿は、その際の何らかの一助となれば幸いである。

(昭和61年9月19日受付)

〔参 考 文 献〕

- Shozo Saito, et al.: "A 1 Mb CMOS DRAM with Fast Page and Static Column Modes", IE³ ISSCC, pp. 252-253 (Feb., 1985)
- Seiki Ogura, et al.: "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", IE³ Trans., ED-27, 8, pp. 1359-1367 (Aug., 1980)
- R.D. Rung, et al.: "Deep Trench Isolated CMOS Devices", 1982 IEDM, pp. 237-240 (1982)
- 岩村淳: "効率化進むマイクロプロセッサ", 日経産業新聞, 半導体広告特集, 26-27面 (60.9.25付)
- 島亨ほか: "低消費電力をあくまで維持しながら高速化", 日経エレクトロニクス, p. 172 (June 21, 1982)
- Yasoji Suzuki, et al.: "C² MOS 8-bit Microprocessor", IE³ J., SC-16, 5, pp. 599-601 (Oct., 1981)
- 鈴木八十二ほか: "CMOS ロジック HS-C² MOS", 電子科学, 7, pp. 35-42 (1979)
- "動作速度が10倍に, 東芝, 新CMOSを開発", 日刊工業新聞 (54.3.8付) & "Toshiba Makes CMOS Logic Family 10 Times Faster", Electronics, International Newsletter (Mar., 1979)
- Steve Goodspeed and Martin J. Bayness: "Speedy CMOS Logic Drives Transmission Lines with Schottky Efficiency", Electronic Des., pp. 211-216 (May 16, 1985)
- "東芝, 伝搬遅延時間ナノ秒, 標準ロジックIC超高速のCMOS型", 電波新聞 (61.5.3付)
- 島亨ほか: "低消費電力化技術の変遷", 日経エレクトロニクス, pp. 211-230 (June 21, 1982)
- Yasoji Suzuki, et al.: "Clocked CMOS Calculator Circuitry", IE³ ISSCC, pp. 58-59 (Feb., 1973)
- 山口哲男ほか: "電子体温計の特徴と応用", 電子技術, 26, 8, pp. 74-80 (1984)
- 永田満ほか: "低電圧動作コンパクトディスクプレーヤ用IC", 東芝レビュー, 41, 6, pp. 550-554 (1986)
- 長谷川幸雄ほか: "オーディオ用デジタルフィルタ TC 9197 F", 東芝レビュー, 41, 6, pp. 559-562 (1986)
- Hiroshi Shigehara, et al.: "C² MOS Speech Recognition System", IE³ International Conference on Consumer Electronics, pp. 56-57 (June, 1985)
- 中島隆夫: "1チップ音声認識 LSI T 6658 A", 東芝レビュー, 40, 11, pp. 973-976 (1985)
- 鈴木八十二: "デジタル音声合成器の設計", 電子科学シリーズ 97, 産報出版 (1982)
- Yasoji Suzuki, et al.: "Advanced C² MOS Speech Synthesizers", Microprocessors and Microsystems, Butterworth & Co (Publishers) Ltd., 7, 10 (Dec., 1983)
- Fuminari Tanaka, et al.: "C² MOS Speech Synthesis Systems", IE³ ISSCC, pp. 266-267 (Feb., 1982)
- "SIS Products-Markets", Dataquest Incorporation (June, 15, 1984)
- 鈴木八十二ほか: "スーパーインテグレーション", 電子材料, 7, pp. 98-103 (June, 1986)
- Tony Wong, et al.: "A High Performance 129 K Gate CMOS Array", IE³ Custom Integrated Circuits Conference 1986, pp. 568-571
- Kenichi Nagao, et al.: "Super Integration", IE³ Custom Integrated Circuits Conference, pp. 267-271 (May, 1985)
- 鈴木八十二ほか: "CMOS-ICの現状", テレビ誌, 29, 6, p. 445 (1975)
- 西尾洋二ほか: "バイポーラとCMOSを基本論理回路内で複合し, 高速かつ低消費電力なLSIを実現する", 日経エレクトロニクス, pp. 187-208 (Aug. 12, 1985)
- 増田郁朗ほか: "Hi-Bi CMOS技術の展開", 日立評論, 68, 7, pp. 7-12 (June, 1986)
- 荻上勝巳ほか: "高速, 高集積メモリに台頭するバイポーラCMOS RAM", 日経エレクトロニクス pp. 199-217 (Mar. 10, 1986)
- Junichi Miyamoto, et al.: "A 28 ns CMOS RAM with Bipolar Sense Amplifiers", IE³ ISSCC, pp. 224-225 (1984)
- Rick D. Davies: "The Case of CMOS", IE³ Spectrum, pp. 27-28 (1983)
- S. Akiyama, et al.: "Fabrication Technologies for Multilayer CMOS Device", 1985 Symposium on VLSI Technology, IE³ ED Society, pp. 28-29 (1985)

すざき やそじ 昭和42年, 東海大学卒業。同年, (株)東芝に入社。電卓, 時計, 標準ロジック, メモリー, マイコン, 車載, オーディオ, テレビ等のCMOS開発に従事。48年, ISSCCにて世界初の電卓用CMOSを発表。現在, マイコンの開発に従事。工学博士。