1. 高密度固体撮像技術の動向

正会員 安 藤 隆 男[†]

1. ま え が き

この数年間の撮像デバイスの発展には目を見張るものがある。なかでも固体撮像素子は多くのビデオカメラに使われ、非常に身近なものとなってきた。また、ファクシミリを代表とする各種のOA機器やカメラ、画像計測、産業用ロボット等、多くの分野の画像入力デバイスとして、さらには小型・高信頼性の特徴を生かして電子カメラ、医用等への応用も広がってきた。

このように応用分野の広がりに伴って、より高い解像度が要求されるようになった。その結果、例えばVTR一体型カメラにおいては、水平解像度330~380TV本の25~27万画素から430TV本以上のS-VHS向けの33~38万画素に需要の中心が移り、画素数の多い固体撮像素子の実用化を促した。

また、電子スチールカメラで代表される静止画の分野では、一定の画質感を得るのに動画像以上に高い分解能が必要とされ、50万画素の素子が必要との声もある。現状では画像プリント技術の進歩により、画質の制限は撮像素子の解像度で決まることが多い。

一方、これら撮像デバイスで撮られた信号は、テレビ画面上に再生できることが応用上必須であろう。したがって、1画面を送る速度はNTSC方式に合致していることが必要である。このため、画素数の増加は必然的に大きな読出し速度を要求する。さらに、装置の低価格化や消費電力の低減、機動性の面からは光学系とならんで撮像素子を小型にするほうが有利である。この結果、撮像素子の多画素化を進めるには、高密度化を実現しなければならない。特に、次の目標となる次世代のHDTVに適用できる固体撮像素子では、より一段と高度な高密度化技術が要求される。

固体撮像素子での高密度化技術は、VLSIを可能に

したSi半導体の微細加工技術の成果を取り入れて、現在、画素ピッチは10 μm を切る段階に達した。これは1Mbの半導体メモリーのセルサイズにほぼ匹敵する。今後、より細かな加工技術の開発により、形の上ではいっそうの高密度化が可能と考えられる。しかし、画素面積が縮小するとフレーム時間が変わらないかぎり、画素に貯わえることのできる信号電荷量が減少し、感度の低下につながる。そこで高感度化と両立できる高密度化技術の開発が強く望まれている。

この小特集では、この問題について、現在までの研究成果をそれぞれの分野の権威者に詳細に論じてもらうが、その前に最近の開発動向と固体撮像素子の高密度化に付随する固有の課題についてまとめてみた。

2. 固体撮像技術の最近の進歩

現在、固体撮像素子の開発は、現行のNTSC方式では40万画素でひとつの落ち着いたきを見せている。それに伴い、チップ面積の縮小と併せて感度やダイナミックレンジ、スミアなどの特性の改善ならびに、可変電子シャッタなど機能面の充実に向けられている。

2.1 多画素化

図1は、この数年間に開発された固体撮像素子の画素数とその画素面積の推移を示したものである。1986年頃より、開発の中心が25万画素より水平解像度430TV本に対応する38~40万画素の素子に移っていることがわかる。そのうえ、デバイス構成としては、スミアの低減ならびに可変電子シャッタ機能を持たせるために複雑なFIT構造をとるものが多くなった。

一方、画素サイズは、LSIの新しいプロセス技術やスケーリング手法を取り入れ、半導体メモリーのセルサイズの減少とほぼ同じ歩調で縮小されてきた。特に、信号転送電極と垂直転送電極の共用など構造の簡単化、VOD (Vertical Overflow Drain) によるブルーミングの抑圧などのアイディアは¹⁾²⁾、以後の高密度化の達成に大きく貢献した。現在、画素面積80 μm^2

[†] 静岡大学 電子工学研究所

"Trends of High-resolution and High-performance Solid State Imaging Technology" by Takao Ando (Research Institute of Electronics, Shizuoka University, Hamamatsu)

程度のものまで試作されている。従来、25万画素は1/2インチ、33~38万画素は大部分2/3インチと画像

サイズを大きくとっていたので、画素面積は画素数ほどには縮小していなかったが、最近では38~40万画素の素子も2/3インチから1/2インチへと確実に縮小される傾向にある³⁾⁴⁾。

撮像デバイスでは、光が入力信号であること、扱う信号がアナログ量であることから、画素面積の縮小に伴う制約がいくつかある。シリコンは光の吸収係数が比較的小さく、その上キャリアの拡散距離が長い。したがって、基板の深い位置で吸収された光によるキャリアは、周辺の画素やIL-CCDでは垂直転送路に入り、光クロストークやスミアを発生する。このままでは画素ピッチを小さくしても解像度を高くできない。そこで、図2に示すように、形状を制御した p ウェルと完全空乏化フォトダイオードからなる npn 構造⁵⁾を使用することが考えられ、現在、可視部の光を使う素子に限れば、ほとんど問題にならない。

2.2 高感度化

画素面積が小さくなると単位時間に入射する光子数が減少するので、高密度化と感度は互いに相反関係にある。したがって、高密度化の達成には高密度技術が伴わなくてはならない。高感度化には信号成分を増すか、雑音を減らすかの2つの方法がある。前者によるもののうち、開口率の改善は雑音を伴わずに信号成分を増加できるので、その効果は大きい。開口率の改善には4つのアプローチが考えられる。

第一は、感光部を積層した積層型撮像素子である。図3に代表的な画素断面の例を示す。この構造は、感光部と信号電荷転送部とが空間的に分離できるので、2つの領域間に面積のトレードオフは生じず、開口率を1に近づけることのできる理想的構造と考えられる。最近、 a -Si光導電膜を積層膜に使いHDTV対応の200万画素撮像素子が試作され、開口率0.7~0.8

図1 ここ数年間の固体撮像素子の推移

図2 npn型フォトダイオードの構造(単位画素断面)⁵⁾

図3 積層型固体撮像素子の単位画素の断面構造⁶⁾

を達成した⁶⁾。しかし、現状では残像ならびに積層プロセスに関して解決すべき問題も多い。

第二は、より縮小された設計ルールを適用して感光部の面積を広くする方法である。IL-CCD型の固体撮像素子の高密度化は主としてこの方法が使われてきた。現在、 $1.2\ \mu\text{m}$ ルールで200万画素の素子が試作されている⁷⁾。しかし、同一平面上に感光部と信号電荷転送部を配置するので、IL-CCDでは設計に微妙なバランスが要求されるなど、高密度化には限界がある。

第三の方法として、フレーム転送型の蓄積部をも感光部に使うフルフレーム転送型撮像素子がある。2/3インチ、140万画素の撮像素子が試作されている⁸⁾。画素面積 $6.8 \times 6.8\ \mu\text{m}^2$ でも45%の高い開口率を得ている。ただこの構成では、スミアを防ぐために機械式シャッタを併用する必要があるため、応用は特殊用途、例えば電子スチールカメラ等分野に限られる。

もうひとつのアプローチは、開口率を高めやすい新しいデバイス構成の採用である。IL-CCDでは横1列のフォトダイオードの信号電荷を垂直CCDへ移し、水平ブランキング期間内に垂直CCDから水平CCDへ転送するCSD (Charge Sweep Device) や垂直CCDを多相駆動するデバイスの報告がある⁹⁾¹⁰⁾。撮像デバイスの解像度特性は開口率とも関係が深い。固体撮像素子は撮像管と異なり、開口率が1より小さいのでナイキスト限界で高いMTF値を持つ。このために、大きなモアレ偽信号が発生する。これを軽減するには開口率を大きくするか、画素数を増やすことが必要である。

2.3 暗電流の低減

画素面積の縮小による飽和信号電荷量の減少は、ダイナミックレンジの低下を招くとともに、画素間のばらつきが相対的に大きく影響する。現在、素地むらと呼ばれる暗電流のばらつきによる固定パターン雑音

が、撮像素子のダイナミックレンジを決めている。この雑音を軽減する鍵は、プロセスと結晶基板の均一性を高めると共に、いかに暗電流を抑制するかにかかっている。暗電流の抑制には、Si-SiO₂界面から発生する暗電流成分を抑えるために、受光部の表面に多数キャリアの蓄積層を設けた図4に示したような p^+n pn埋め込み構造のフォトダイオードが効果的である¹¹⁾。また、この構造では接合面積が約2倍に広がるため、飽和蓄積電荷量を増やすこともできる。反面、信号電荷の読出しには、表面の p^+ 層と転送ゲート電極間の位置ならびにプロセス条件との関係を精密に制御しなければならない¹²⁾。

高密度化技術と製作プロセス技術とは関連が深い。30~40万画素に使用する最小加工寸法は、1MbのDRAMとほとんど変わらないが、位置合わせ精度、ゲート閾値電圧などに関してはDRAMより2桁程度高い均一性が要求される。また、高密度化に伴い不純物プロファイルの精密制御が必要になり、結晶欠陥を抑えるプロセスの自由度が減るため製作プロセスの再検討が行われ、その結果、画質を損なう縞状の固定パターン雑音は基板中の不純物濃度むらで、その除去には、エビウエハの使用が効果的であること¹³⁾、白きずの除去にはCCDプロセスに先だって、基板内に残る酸素原子を内部に析出させてエピ層の外に固定化し、重金属などをゲッタリングさせるIG処理がきくこと

図4 埋込み構造フォトダイオード (単位画素断面)²⁰⁾

(a) リセット動作

(b) 完全転送動作

図5 フローティングウェル電荷検出器の動作¹⁶⁾

などが明らかにされている¹⁴⁾。

2.4 低雑音信号検出技術

最も低雑音といわれる CCD 型撮像素子においては、信号検出部で発生するリセット雑音、FDA (Floating Diffusion Amp) アンプ雑音により、低照度の撮像限界が決まる。CCD 型撮像素子の低雑音化の大きな成果は CDS (Correlated Double Sampling) 法の出現である¹⁵⁾。これによって、リセット雑音と FDA の $1/f$ 雑音は大幅に減少し、室温で等価雑音電子数を 30/画素以下にすることが可能となった。画素面積が減少すると飽和電荷量も減少するが、浮遊容量や暗電流も減少するので、現状では 60 dB 以上のダイナミックレンジが確保できる。リセット雑音に関しては、図 5 に示すようにリセットに完全転送動作を使うことが提案され、高感度電荷検出と 1.2 電子数/画素の低いリセット雑音を実現した報告がある¹⁶⁾¹⁷⁾。

2.5 高精細撮像への対応

画素数が 100 万画素を越す高精細撮像素子では、読取り速度は 35 MHz 以上になる。このような速度では、水平 CCD レジスタを高い転送効率で動作させることが難しく、複数の CCD を並列で動作させ、クロック周波数を下げて使うことが行われている¹⁸⁾。さらに、CDS 回路に代わって高速動作でも安定に動作する反射型遅延差雑音除去回路などが考案され、データレート 31.7 MHz で出力部の雑音等価電子数を約 8 個にできることを示した¹⁹⁾。

現在、HDTV 対応の撮像素子は、画面サイズは 2/3~1 インチと大きい。このように大きなチップサイズでは FIT 型 CCD の垂直転送速度を大きくすることが難しい。そこで、光シールド用の A1 層を poly-Si の垂直転送電極の駆動パルス供給配線としても用いて電極の時定数を改善する試みがなされ、625 kHz の高速垂直転送速度を実現している²⁰⁾。標準方式に適用しない撮像デバイスでは、400 万画素の固体撮像素子も開発されているが、読取り速度は遅く、静止画用である²¹⁾。

3. 高密度化の課題

MOS メモリーでは、4 K 時代から始まったプレーナ構造を 1 M まで使ってきた。同時に、1 M からセルは各種の 3 次元構造に発展して、そして、64 M まではスケール則の適用により、できる見通しという。

一方、固体撮像素子では、開口率が一定でも画素面積が縮小されると感光部に入射する光量が減少する。図 6 は画像サイズ 1/2 インチ、量子効率 1 の光電変換

図 6 画素面積と 1 画素で生じる信号電子数、そのショット雑音等価電子数の関係

部から像面照度 51x、蓄積時間 33 ms で得られる信号電子数とそのゆらぎに基づく雑音電子数を、開口率ならびに画素面積を変えて計算した結果である。この図から、撮像素子内に発生する付加雑音がないと仮定しても、画素面積が 25 μm^2 では開口率が 1 で、信号対雑音比 (S/N) は約 43 dB、開口率が 0.25 では約 36 dB で、光ショット雑音がモニタ上で見えないために必要な $S/N=46 \text{ dB}$ ²²⁾以上で、この入射光子のゆらぎ雑音は、撮像デバイスの高密度化に対する究極的な限界となる。この問題は、チップ面積を大きくすれば解決できるが、この場合には容量の増加などで回路の時定数が大きくなり、なんらかの並列信号処理をする必要がある。

最近、多画素化に伴う感度不足を解決する技術として増幅型撮像デバイスが注目されている^{23)~26)}。しかし、固定パターン雑音など多くの問題があり、CCD 型撮像素子の性能を凌駕する段階には至っていない。これら増幅型撮像素子でも、光ショット雑音はそのまま増幅されるので、高密度化に伴って発生する前述の限界を改善する手段にはならない。

4. む す び

撮像デバイスの高解像度化は、高感度化と並んでデバイスの誕生以来、不変の技術課題であり、固体撮像素子も、この数年間、半導体の微細加工技術を取り入れ、大幅な高密度化が達成された。現在、30~40 万画素のデバイスが実用化されている。しかし、静止画応用や HDTV の分野では、いっそうの多画素化が要

求され、高密度化への期待は大きい。開発段階では、素子の感度ならびに低雑音化技術は、すでに信号電子を1個ずつ数えることのできる段階の直前まで到達している。したがって、今後は微細加工技術のみに頼る単純なスケーリングでは高密度化は困難になる。そこで、雑音軽減効果を持つ光電変換・増幅技術や、入射光に比例した信号を読出すのではなく別の符号に変換して出力するデジタル符号化技術のデバイス化など、新たなブレークスルーがないと多画素化、高密度化は鈍化する。

(1989年9月7日受付)

【参 考 文 献】

- 1) S. Miyatake, et al.: "An Interline-Transfer CCD Imager with Floating Photodiodes", IEDM Tech. Dig., pp. 342-345 (1980)
- 2) 石原ほか: "縦型オーバーフロー構造 CCD イメージセンサ", テレビ誌, **37**, 10, pp.782-787 (1983)
- 3) 松井ほか: "1/2 インチ有効 38 万画素連続可変速シャッタ付き IT-CCD 撮像素子", テレビ全大, 2-6, pp. 23-24 (1989)
- 4) 渋谷ほか: "1/2 インチ 710 H 画素 FIT-CCD 撮像素子", テレビ全大, 2-7, pp. 25-26 (1989)
- 5) Y. Ishihara, et al.: "Interline CCD Image Sensor with an Antiblooming Structure", ISSCC, Dig. Tech. Papers, pp. 168-169 (1982)
- 6) S. Manabe, et al.: "A 2-Million Pixel CCD Image Overlaid with Amorphous Silicon Photoconversion Layer", ISSCC, Dig. Tech. Papers, pp. 50-51 (1988)
- 7) 永野ほか: "200 万画素高精細度 CCD イメージセンサ", 信学技報, ED 87-174, pp. 45-50 (1988)
- 8) E. G. Stevens, et al.: "A 1.4-Million-Element CCD Image Sensor", ISSCC Dig. Tech. Papers, pp. 114-115 (1987)
- 9) M. Kimata, et al.: "A 480×480 Element Image Sensor with a Charge Sweep Device", ISSCC Dig. Tech. Papers, pp. 100-101 (1985)
- 10) T. Yamada, et al.: "A Line-Address CCD Image Sensor", ISSCC, Dig. Tech. Papers, pp. 106-107 (1987)
- 11) B. C. Burke, et al.: "The Pinned Photodiode for an Interline-transfer CCD Image Sensor", IEDM Tech. Dig. pp. 28-31 (1984)
- 12) 武藤ほか: "2/3 インチ 80 万画素 CCD カラーイメージセンサ", テレビ学技報, **13**, 11, pp. 73-78 (1989)
- 13) 広島ほか: "エピウエーハを用いた CCD 撮像素子", 信学論誌, **J66-C**, 12, pp. 1004-1011 (1983)
- 14) 広島ほか: "IG 基板における転位の発生", 応物学会予稿集, p.785 (1986)
- 15) M. H. White, et al.: "Characterization of Surface Channel CCD Image Arrays at Low Light Levels", IEEE J. Solid-state Circuits, **SC-9**, 1, pp. 1-12 (1974)
- 16) Y. Matsunaga, et al.: "A High Sensitivity Output Amplifier for CCD Image Sensor", IEDM Tech. Dig., pp. 116-119 (1987)
- 17) 森本ほか: 環状接合ゲート型低雑音 CCD 電荷検出器, テレビ全大, 2-9, pp. 27-28 (1989)
- 18) K. Orihara, et al.: "New Technologies in Dual Channel Read-out Registers for High Density CCD Image Sensor", IEDM Tech. Dig., pp. 365-368 (1986)
- 19) 大保ほか: "CCD 反射型遅延差雑音除去回路", テレビ全大, 2-10, pp. 29-30 (1989)
- 20) 吾妻ほか: "130 万画素 FIT-CCD 撮像素子", テレビ学技報, **13**, 11, pp. 67-72 (1989)
- 21) M. M. Blouke, et al.: "Large Area CCD Image Sensor for Scientific Applications", Proc. SPIE, **570**, pp. 82-88 (1985)
- 22) 西田ほか: "CCD 型撮像素子のノイズと今後の問題", テレビ学技報, **9**, 30, IPD 101-1, pp. 1-6 (1985)
- 23) 中村ほか: "ゲート蓄積型 MOS フォトトランジスタイメージセンサ", テレビ誌, **41**, 11, pp.1047-1053 (1987)
- 24) 安藤ほか: "増幅型固体撮像素子 AMI (Amplified MOS Intelligent Imager)", テレビ誌, **41**, 11, pp.1075-1082 (1987)
- 25) N. Tanaka, et al.: "A Novel Bipolar Imaging Device with Self Noise Reduction Capability", IEEE Trans., **ED-36**, 1, pp. 31-38 (1989)
- 26) J. Hynecek, et al.: "A New Device Architecture Suitable for High Resolution and High Performance Image Sensor", IEEE Trans., **ED-35**, 5, pp. 646-652 (1988)

あんどう なかお
安藤 隆男 昭和 32 年、静岡大学工学部電気工学科卒業。同年、日本電気(株)中央研究所に入社。50 年、静岡大学電子工学研究所に移る。現在、同大学電子工学研究所教授。固体撮像素子など画像電子デバイスの研究に従事。工学博士。正会員。