ASIC 方式 H1 レート動画画像コーデック装置の開発

正会員 小林 孝之[†], 正村 和由[†], 西塔 隆二[†]
 正会員 藤原 洋[†], 椎名 孝^{††}, 緒方 成好^{††}
 濱中 慎一^{††}

Development of ASIC Based H1 Rate Video Codec

Takayuki Kobayashi[†], Kazuyoshi Shomura[†], Ryuji Saito[†], Hiroshi Fujiwara[†],
 Takashi Shiina^{††}, Naruyoshi Ogata^{††} and Shinichi Hamanaka^{††}

Abstract We have implemented an H1-rate video codec whose video quality is close to that of normal 30-frames/sec television. Until now, preprocessing has been implemented with ASICs that can manage video rates of 30 frames/sec, and actual coding has been implemented with DSPs that have a processing limit of only 15 frames/sec. From viewpoints of performance, cost, and flexibility, programmable ASICs are the best choice for implementing the H1-rate video codecs. For compact implementation, we developed our own ASIC for the audio codec, adopted a high performance H.221 multiplexer-demultiplexer, and organized the codec system and picture quality controls under a single microprocessor. We also implemented various kinds of communication interfaces, and confirmed performance and functions by evaluating image quality and testing conformance with different vendors' codecs.

1. ま え が き

デジタル信号処理と半導体技術の急速な進展によって動画画像通信が実用化されつつある。特に、テレビ会議/テレビ電話等の通信利用を目的とした、伝送レート $P \times 64 \text{ kb/s}$ ($P: 1 \sim 30$) の動画画像符号化方式が、1990 年 12 月に CCITT H.261¹⁾ として正式勧告され、異機種間接続が保証されることとなった。

動画画像コーデック装置は、従来から高性能仕様（通信用レート 1536 kb/s、フレームレート 30 フレーム/s）

の上位型と、普及仕様（64～128 kb/s、5～10 フレーム/s 程度）の下位型に分けられて実用化が進められてきた。しかしながら、テレビ画像は元来 30 フレーム/s であり、上位型のニーズが高いにもかかわらず高速専用回路の LSI 化が困難なことから、大型、高コストがこれらのニーズに応えるための障害となってきた。

本論文では、このような問題を解消した小型・低コストの上位型動画画像コーデック装置について報告する。本装置の技術的特徴は以下の通りである。

キーワード：動画画像コーデック、テレビ会議、動画画像符号化、動画画像通信、圧縮符号化、動画画像デジタル伝送

1993 年 3 月 2 日受付、1993 年 7 月 23 日最終受付

[†] ジー・シー・テクノロジー株式会社（〒151 東京都渋谷区代々木 4-36-19, TEL 03-5351-8911）

^{††} 日本電信電話株式会社（〒100 東京都千代田区内幸町 1-1-6, TEL 03-3509-3273）

[†] GC Technology Co. (4-36-19, Yoyogi, Shibuya Ku, Tokyo 151, Japan)

^{††} Nippon Telegraph and Telephone Co. (1-1-6, Uchisaiwai Cho, Chiyoda Ku, Tokyo 100, Japan)

第1に、動画像コーデック部において、完全 ASIC 方式のエンコード/デコードブロック²⁾と 30 フレーム/s で処理を行う前処理用 ASIC³⁾ および後処理用 ASIC を組合せたことである。これにより、ビデオの変復調処理を含めて、30 フレーム/s の符号化/復号化処理を ASIC のみで実現できた。

第2に、音声コーデック部において、ASIC と DSP を組合せたこと、第3にマルチメディア多重分離部においても ASIC⁴⁾ を採用したことである。これらの ASIC 化において、画質制御等の柔軟な制御が必要とされる部分で変更可能なパラメータを抽出したことや、マルチメディア多重分離等において送受信データと割り込みタイミングの最適化を図ったことで、ソフトウェア負荷の軽減を実現した。このため、画質の制御や通信手順を含め、すべての制御が単一の汎用 CPU により可能となり、小型、低コストを実現したことである。

2. 装置全体構成と特徴

2.1 装置構成

本 H1 レート (1 次群速度) 動画像コーデック装置は、ビデオカメラ、モニタテレビ、マイクロホン、スピーカ、エコーキャンセラ、赤外線リモコンおよび外部制御装置を組合せることによって、テレビ会議シ

ステムを構成することができる。本装置は図 1 に示すように 5 種類の基板から構成されている。

2.2 装置の特徴

本装置は、以下の点を考慮して設計を行った。

- ① 徹底した VLSI 化による小型軽量・低消費電力化
特に、装置の中心部分に徹底した VLSI 化を行い小型軽量・低消費電力を実現する。
- ② 最大 30 フレーム/s の動画像符号化/復号化：高ビットレート通信時における、動画像の動きを忠実に再現する。
- ③ 広範囲な回線インタフェースに対応：1 次群インタフェース、基本インタフェース、高速デジタル回線インタフェース、および国際高速デジタル回線インタフェースを装備し、各種通信インタフェースに広く対応する。
- ④ 動画像の高画質化：各転送レートにより最適なパラメータを設定することにより高画質化をはかる。
- ⑤ 16 kb/s 音声コーデックの搭載：高圧縮音声符号化/復号化により、低ビットレート通信 (64kb/s, 128 kb/s) における動画像の画質向上を効果的に行う。

以上を考慮した開発仕様を表 1 に示す。

図 1 H1 レート動画像コーデック装置の機能ブロック図

Functional block diagram of ASIC based H1 rate video codec.

表 1 H1 レート動画像コーデック装置主要諸元
Specification of H1 rate video codec.

No.	項目	仕様
1	準拠規格	CCITT H.320, H.261, H.221, H.242, H.230, G.711, G.722
2	外部インタフェース	・高速デジタル, INS ネット 64, INS ネット 1500, I インタフェース ・V.35, RS-422/449
3	画像入出力インタフェース	NTSC 525 本 60 Hz
4	解像度	CIF (352×288) または QCIF (176×144)
5	オーディオ	A-law/ μ -law (G.711), SB-ADPCM (G.722), APC-AB (16 kb/s)
6	伝送速度 (b/s)	・TA インタフェース : 64/128/384/768/1536 kb/s ・高速デジタル : 64/128/384/1536 kb/s ・INS ネット 64 : 64/128 kb/s ・INS ネット 1500 : 64/128/384/1536 kb/s
7	電源	100 V AC 50/60 Hz
8	消費電力	70 W
9	外形寸法	200×350×450 mm
10	重量	18 kg

2.3 開発課題と検討項目

動画像コーデック装置の効率的実現に当たっては、主要部の動画像符号化/復号化における VLSI 技術を駆使した小型化実装技術が重要である。これに関しては現在 2 つのアプローチが知られている。ひとつは専用回路に基づく ASIC (特定用途向半導体) によるものであり、他のひとつはプログラマブルプロセッサ (ビデオ DSP) によるものである。各々、処理性能、柔軟性、ハードウェア規模等について長所短所を有しているが、装置の実現に際しては、その目的に応じたアーキテクチャの最適化が必要である。そこで、上位型動画像コーデック装置として実現すべき機能をブロック別に分解し(図 1 参照)、各ブロック毎の実現方式についての検討を行った (表 2 参照)。

例えば、動画像コーデック部に関しては、上位型動画像コーデック装置ということから要求される高画質化と、毎秒 30 フレームの高速処理が重要となる。マルチメディア多重分離部については、多くの伝送速度 (64, 128, 384, 768, 1536 kb/s) から、画像、音声、データの動的割当制御をリアルタイムで実行する具体的方策が課題となる。端末制御・マンマシンインタフェース部については、装置を小型化するための内部バス幅の検討、および単一プロセッサ (CPU) で端末制御や上記リソースの動的割当制御のリアルタイムでの実行が課題となる。また、音声コーデック部については低コストの小型化実装、および通信網インタフェース部については、ISDN の基本インタフェース、1 次群インタフェース、さらには専用線インタフェースに

柔軟に対応可能な LSI 選定等が課題となった。

これらの課題に対する技術開発の内容を次章に詳述する。

3. 主要部の機能と実現方法

動画像コーデック装置は、機能別に 5 部分に分けられる。以下に各機能ブロック別の実現方法の検討結果を示す。

3.1 動画像コーデック部

動画像コーデック部は、動画像コーデック装置の主要部分を占め、機能別に 5 ブロックに細分し、リアルタイムコーデックを実現する前にシステムの複雑さに関して考察を行い、最適なアーキテクチャを決定することとした。

(1) A/D-D/A 変換ブロック

高圧縮符号化を行う動画像コーデック部において、入力部の特性が画像品質や符号化効率に大きな影響を与える。このため、この部分については、小型化、経済化を考慮しつつ、高精度の変換特性および低ノイズ特性を持つ必要がある。さらにこの部分では、アナログ信号とデジタル信号が混在するため、信号線分離等、実装に対し充分な配慮が必要となる。

このため小型化と経済化および高性能化を考慮し、A/D-D/A 変換ブロックにハイブリッドモジュール⁵⁾を採用した。

本モジュールは、クロック発生用のアナログ回路とデジタル回路が混在した ASIC と A/D 変換器、および D/A 変換器を搭載している。アナログとディジ

表 2 開発課題と検討項目
Development issues and considering items.

No.	機能ブロック	開発課題	検討項目
①	動画像 コーデック部	A/D-D/A 変換ブロック	小型、高精度 ・実装方法
		前処理ブロック	高画質 ・NTSC 復調部の実現回路方式 ・前処理フィルタリング方式
		後処理ブロック	高画質 ・NTSC 変調部の実現回路方式 ・後処理フィルタリング方式
		エンコーダ/デコーダ ブロック	高速処理 (30 フレーム/s) ・符号化・復号化部の最適回路方式
②	マルチメディア多重分離部	小型、応答性	・マルチメディア多重分離およびネゴシエーションの最適負荷分散
③	端末制御・マンマシンインタフェース部 (制御用 CPU)	小型、応答性	・ビデオコーデック用制御系バス構造 ・CPU 選定 ・OS 構造
④	音声コーデック部	小型、柔軟性	・符号化・復号化部の最適回路方式
⑤	通信網インタフェース部	小型、高速性	・LSI 選定

タルの混在部分を専用のモジュールにしたことにより、他のデジタルブロックからのデジタルノイズが回避された。また、本モジュールは 89 mm×117 mm と小型で、S/N 54 dB 以上、DG/DP 特性がそれぞれ 3% 以下、3° 以下の放送局品質のレベルにある⁵⁾。

(2) 前処理ブロック

本ブロックでは、NTSC デジタル復調、NTSC から CIF/QCIF へのフォーマット変換、フィルタ処理、およびフィールド/フレーム変換が行われる。これらの処理は積和演算を使用したフィルタ処理が中心となり、各画素当り約 70 ns の演算処理とパイプライン構成の並列処理が必要となる。このため、本ブロックの小型化、経済化には ASIC 化が有効である。

NTSC 信号のデジタル化には、信号を直接 A/D 変換しデジタル処理で復調処理を行う方式と、アナログ処理で復調処理を行い、得られたベースバンドアナログ信号を A/D 変換する方式が考えられる。

アナログ処理で復調処理を行う場合、抵抗、コンデンサ等を含めて約 350 点の部品が必要⁶⁾ となり、デジタル信号線からの分離等を含め実装上の注意が必要となる。一方、デジタル方式の場合、1 個の VLSI により復調処理が可能³⁾ で、小型化と信号線の分離が容易である。またアナログ方式の場合、調整箇所も 6 カ所程度必要⁶⁾ であるが、デジタル方式の場合は全くなくなり、より一層の生産性が期待できる。このため本装置ではデジタル方式を選択した。

また、上位型コーデック装置では高画質化が重要となるが、放送局品質の NTSC デジタル復調処理³⁾ と NTSC から CIF/QCIF の変換時に、解像度を極力損なわないようにするために、3 から 19 タップの縦続接続を使用した水平フィルタと、5 ラインを使用してライン変換処理を行う ASIC³⁾ を採用した。

さらに、動画画コーデック部に対しては、カメラから生じる電灯線フリッカ雑音や低レベル雑音等が、画像品質および符号化効率に悪影響を与えるため、エンコード部の前に配置されるプリフィルタの性能が重要となる。そこで、低ビットレート符号化時の滑らかな動きを実現し、雑音の低減を図るために、フレーム間の重み付け平均化処理と符号化フレーム間の非線形フィルタ処理機能を持つ ASIC³⁾ を採用した。

その結果、NTSC デジタルビデオデータから CIF マクロブロックデータまでの変換と、上記高画質化処理を行うために、3 種 3 チップの専用 ASIC で実現した (図 2 参照)。

(3) エンコードブロック

勧告では特に規定されていないが、高画質化を図るためにはエンコード部分の効果的な画質制御が必要である。

エンコード部分の構成方法の中で、ビデオ DSP による方法は、符号化方式の変更や高画質化などの制御に柔軟性を有している⁷⁾。

一方、ASIC 方式による方法は、処理が固定化され柔軟性に劣るが処理速度が速いなどの特徴がある²⁾。

図 2 ASIC を使用したエンコーダ機能ブロック図
Functional block diagram of ASIC based encoder.

H. 261 エンコーダの要求性能は、30 フレーム/s で約 2500 MOPS とされており²⁾、現在実用化されている 250～400 MOPS のビデオ DSP を使用した場合、128 kb/s までの通信速度と 10 フレーム/s 程度のフレームレートでの符号化では、2～4 個程度のビデオ DSP で実現できる⁷⁾ため、処理を比較的簡単に負荷分散できる。しかし、384 kb/s 以上の通信速度やフレームレート 30 フレーム/s を実現するには、多数のビデオ DSP が必要となり、処理の最適分散を図るための複雑な制御と、高速メモリアクセスが要求される⁷⁾ (表 3 参照)。

これに対し、ASIC 方式では、並列処理とパイプライン処理の段数を最適化することにより、DSP 方式より少ないハードウェア量で実現可能である (表 3 参照)。

さらに、上位型動画像コーデック装置で最重要の高画質化要求の鍵を握るのが、動きベクトル検出方式である。ビデオ DSP を用いた場合、全探索法では動きベクトル検出のみで 4～6 個程度必要²⁾となり、3 ステップサーチ⁸⁾等の簡易化手法を用いざるを得ない。高ビットレートでは全探索法による方式の画質面での優位性が顕著となることから、現時点では H1 レートのエンコーダには ASIC 方式が適している。

勧告 H. 261 では、通信速度は 64 kb/s から 1920 kb/s までの広範囲にわたり、またフレームレートとして、30 フレーム/s までの可変または固定レートでの適応的な制御が可能な柔軟性が要求される。

従来、ASIC による方法は、上記の通信速度やフレ

ームレートに応じた適応的な制御や、高画質化などの制御上の柔軟性が乏しいとされてきた。そこで、ASIC 方式におけるこれらの問題を解決するために、VLSI 化に当たって、ASIC 方式の性能面での優位性を保持しつつプロセッサ方式の柔軟性を取り込むことを考慮した。そして、標準画像を使用したシミュレーション実験とフレキシブルハードウェア⁹⁾を使用したエミュレーション実験により、効果的なパラメータを抽出し、処理方式の決定とアーキテクチャ設計を行った。

本装置では、エンコーダのすべての処理において ASIC 化を図ると共に、ハードウェア量の低減のため、勧告で明確に規定されているループフィルタ¹⁰⁾、DCT¹¹⁾/IDCT¹¹⁾、可変長符号化¹²⁾、量子化/逆量子化については、処理を固定した。また、前述のように動きベクトル検出においては、16 要素の並列処理による ASIC 2 個で全探索検出を実現し¹³⁾、Inter/Intra 判定¹⁰⁾についてもハードウェア量と性能を考慮し、上記実験により回路を固定した。

一方、画質に大きく影響する量子化ステップ制御およびフレームレート制御については、ASIC 内に適応的に制御可能なアーキテクチャ¹⁴⁾を採用した。

この適応制御部は、符号化中に得られた量子化ステップ、符号化モード、バッファ量等のパラメータを引き数とし、量子化ステップ制御テーブルとフレームスキップテーブルを参照し、値を決定する。また、各制御テーブル毎に ROM/RAM を並列に持たせ、通信プロトコル等の制御に用いる外部の汎用 CPU を使用して、各ビットレート毎に画質優先/標準/動き優先の 3 種の画質特性の変更を可能にした。可変制御の具体例については 5 章で述べる。

さらに、前述のパラメータや符号化タイミングを外部に知らせる機能を付加し、汎用の CPU でも符号化制御が可能のように考慮した。

その結果、エンコーダブロックは高画質化と高速処理を両立させ、図 2 に示すように 5 種 7 チップの ASIC で実現した。

(4) デコーダブロック

H. 261 デコーダは勧告によって明確に規定されている。このため、ASIC 化による小型化、経済化が特に有利となる。本部分では、勧告で規定されている全機能について 3 種 3 チップの ASIC を開発し (図 3 参照)、通信レート 2 Mb/s、フレームレート 30 フレーム/s の復号化性能を実現した。

また、復号中のエラー発生を、汎用 CPU に割り込みで知らせ、伝送誤りに対する耐性を確保している。

表 3 H1 レート動画像コーデック部の DSP 方式⁷⁾と ASIC 方式の比較

Comparison between DSP based and ASIC based H1 codec.

項 目		ASIC 方式	DSP 方式
30 フレーム/s の処理性能を実現するトランジスタ数 (H.261 符号化・復号化)		約 1,047 kTr	約 910 kTr ×8～12 チップ
フレームメモリアクセスタイム		約 70 ns	約 25 ns
動きベクトル検出		全探索手法	簡易化手法 (3 ステップサーチ等)
評 価	性能/Tr 数	3.5～7	1
	メモリーコスト	1	3.5
	高ビットレート時の画質	良 (全探索法)	普 通

さらに、汎用 CPU により制御可能なフリーズ機能を持たせている¹⁵⁾¹⁶⁾。

(5) 後処理ブロック

後処理ブロックは、低雑音、無調整化、小型化を実現するために、CIF データから NTSC 複合映像データまでの変換をすべてディジタル方式で行うこととし、さらに積和演算を使用するフィルタ処理が中心となるため、ASIC を開発した。

また勧告外であるが、量子化に伴うブロック歪みとモスキート雑音の除去については、シミュレーション実験やエミュレーション実験を行い、ブロック歪みには非線形内分型フィルタ¹⁷⁾を、モスキート雑音には ϵ フィルタ¹⁷⁾を採用した。この結果、上記の CIF データから NTSC ビデオデータまでの変換を 3 種 3 チップの ASIC で実現した (図 3 参照)。

3.2 音声コーデック部

テレビ会議においては、会議の臨場感を得るために 7 kHz 帯域の G. 722 コーデックが必要とされる。当部分は、動画像コーデック部に比較して、アルゴリズムは複雑であるが高速処理は不要である。このため、固定小数点タイプの汎用 DSP 1 個と、DSP 周辺のインタフェースを小型化するため、ASIC 1 個を開発した。その際、音声のアナログ回路の共通化のため 7 kHz で標本化を行い、G. 711 と G. 722 の符号化/復号化処理を行うこととした。

16 kb/s 音声符号化は、動画像の転送レートを確保するために有効であり、ボイスメールなどで実績のある APC-AB (Adaptive Predictive Coding-Adaptive Bit Allocation) 方式を採用した。

3.3 マルチメディア多重分離部

動画像や音声、および LSD/MLP/HSD データは、

勧告 H. 221¹⁸⁾ に従い、各種通信インタフェースに対応し多重化/分離化され送受信される。

また、各種データとともに FAS, BAS データが多重化され伝送される。この FAS, BAS データを用いて、汎用 CPU により勧告 H. 320¹⁹⁾, H. 242²⁰⁾, H. 230²¹⁾ の手順を実行することが妥当である。このため勧告 H. 221 の多重/分離機能に ASIC⁴⁾を採用し、単一 CPU による処理が可能ないようにソフトウェアの負荷を軽減した。

3.4 通信網インタフェース部

ディジタル通信は、各種インタフェースに対応することが必要である。特に、国内の ISDN への対応については B, 2 × B, H0, H11 に、また高速ディジタル回線へのダイレクト接続と国際通信や専用線の接続のために V. 35, RS-422/449 を採用し、多種類のインタフェース、ビットレートでの利用を可能とした。

3.5 端末制御・マンマシンインタフェース部

動画像コーデック部を ASIC 化し、マルチメディア多重分離部においても ASIC を採用したことにより、1 個の 8 ビットバスの 16 ビット汎用 CPU のみで装置全体の制御を行うことが可能となった。この 8 ビットバス構造によりシステムの小型化を実現した。

また全体の制御は、ソフトウェアのモジュール化を実現するために、イベントドリブン型のマルチタスクモニタにより管理され、各タスクをリアルタイムに起動することで、すべての処理を円滑に実行することが可能となった。

4. ハードウェア

4.1 実装構造

実装は、保守性を考慮し、電源および基板をモジュ

図 3 ASIC を使用した機能ブロック図
Functional block diagram of ASIC based decoder.

写真 1 動画画像コーデック装置の外観
View of H1 rate video codec.

写真 2 映像基板
View of video board.

ール構成とした。

また、筐体に二重構造を採用し、耐誘導ノイズ性、耐不要輻射についても配慮した。コーデック装置の外観を写真 1 に示す。

4.2 基板構成

基板は、機能別に映像基板(写真 2)、制御/音声基板、通信基板のメイン基板 3 枚とサブ基板 2 枚により主要部分を構成した。各々の基板には面実装部品を採用し、実装密度を向上させた。

5. 通信実験結果

5.1 画質評価結果

画質については、128 kb/s 以下の低ビットレートにおいて、他社の 3 機種を加えてテレビ会議の形態(3 人が並んだ状態)で画面高の 7 倍の視距離で治験者 10 人により画質評価を行い、パラメータを決定した。

また、384 kb/s 以上の高ビットレートでは、映像ソースの伝送等の応用も考えられるため、上記実験に

図 4 制御パラメータテーブルの関係
Relationship of control parameter tables.

加えて、映画、アニメ、風景等をレーザーディスクから入力し、上記の画像評価を行った。

各レートにおける画質評価実験で、動きのある物体の背景が単調な場合、モスキート雑音が量子化ステップ (Qstep) 8 程度でも目立つこと、さらに、Qstep が小さい場合、Intra マクロブロック時の AC 係数の低周波成分と、Inter マクロブロック時の DC 成分にオーバーフローが発生すると、非常に目立つ雑音になることがわかった。

このようなオーバーフローは一般的な画像でも発生しやすく、Inter/Intra 判定や Qstep の決定に依存する。これらの点に注意し、各種テスト画像による画像評価を繰り返すことで最適パラメータの決定を行った。図 4 は、上記の内容を考慮した低ビットレート時の制御パラメータテーブルの関係を示したものである。(a) は画質優先タイプを、(b) は動き優先タイプを示す。ここで、Qstep テーブルは送信バッファの蓄積量(バッファ量)から、各マクロブロック毎の Qstep 値の候補を決定する。また、フレームスキップテーブルは前フレームの平均バッファ蓄積量に比例する前フレーム平均 Qstep 値により、次の符号化フレームまでのフレームスキップ量を決定する。

画質優先タイプの場合、Qstep テーブルの Qstep 値は小さな値を使用し、さらにバッファ量に対する変化率を小さくした。また、その分フレームスキップテ

写真 3 2×B での通信映像
Picture of 2×B communication.

写真 4 H11 での通信映像
Picture of H11 communication.

ブルで前フレームの平均 Qstep に対するフレームスキップ量を大きくした。これにより、各フレームにおける符号量の発生を大きくでき、解像度が高くなる。さらに、Qstep テーブルでパッファ量が少ない時は変

化率を大きくし、Qstep = 8 以下になりにくくすることにより、オーバーフローの発生を抑えている。

また、動き優先タイプの場合は、Qstep テーブルでパッファ量に対する Qstep の変化率を大きくし、フ

フレームスキップテーブルでは前フレームの平均 Qstep に対するフレームスキップ量を小さくした。これにより送信フレーム数が多くなるが、バッファ量に対する Qstep の変化率を大きくすると、フレーム内の画質のバラツキが発生する。そこで、会議風景の基準画像で送信フレーム数が 7~10 フレームになるような Qstep 値 (16 程度) を Qstep テーブルの鞍部とし、フレーム内のバラツキを抑えた。また、これを越えた部分については、Qstep テーブルのバッファ量に対する変化率を大きくし、動きが滑らかになるように制御した。写真 3、写真 4 に、画質優先タイプのテーブルを使用した通信時の写真を示す。

5.2 相互通信結果

プロトコルの確認を行うために、汎用 CPU のソフトウェアに H. 221 トレース機能を持たせ、外部のターミナルで表示することより、接続性の確認を行った。また、高度通信システム相互接続推進会議 (HATS) の接続実験に参加し、異機種装置および多地点接続装置 (MCU) との相互接続性の確認を行った。さらに、国際 ISDN 回線を使用し、制約網を含めた海外のネットワークに接続された装置との接続実験を行い、相互接続性の確認を行った。

また、通信回線上にノイズを加え、装置の耐ノイズ性の確認および通信異常からの復帰実験を行った。

最後に、通信実験を通じて勧告 H. 320、H. 242、H. 230 の有効性を確認したが、下記の課題のあることがわかった。

- ① 接続時間の相違：接続時間が装置によって、数秒から 20 秒以上もかかるものがあり、時には初期シーケンスでタイムアウトを起こしてしまうものがある。特に、2×B では時間が長くなる。
- ② 画像表示状態の相違：装置により同じ転送モードでも画像が表示される場合と表示されない場合がある。
- ③ Intra 画面の送出時間の相違：通信開始時の Intra 画面の送出を行うものと行わないものがあり、また送出時間が異なっている。
- ④ 再能力交換時の動作の相違：通信中の障害等により、再能力交換を行うときに画面が止まるものやブルーバックになるものがある。
- ⑤ 予約コードの扱いの相違：H. 221 で予約されているコードや、割り当てられていないコードを送信する装置がある。
- ⑥ オフコマンドの扱いの相違：例えば、暗号化の能力なしと宣言している装置に対し、暗号化オ

フのコマンドを送信する装置がある。

- ⑦ マルチバイトコードの扱いが不明確：マルチバイトコードは可変長コードなので、通信中エラー等からの復帰のために、ユニークコードが必要となるが明示されていない。

上記の装置間での勧告の解釈における相違は、ユーザーに理解しにくい勧告 H. 242 の本質的属性であり、追加勧告等で、ある程度の指針を示す必要があると思われる。

6. む す び

CCITT 勧告 H. 261 符号化方式を含む勧告 H. 320 に準拠した ASIC 方式 H1 レート動画像コーデック装置を実現した。

本装置により、64 kb/s から 1536 kb/s までの通信レートに対応し、さらに最大フレームレート 30 フレーム/s のリアルタイム動画像符号化/復号化の確認を行うことができた。

また、異機種装置や MCU との相互接続実験等を行い、勧告 H. 320 の有効性を確認すると共に、勧告の今後の課題について明確化することができた。

本論文で報告したコーデック装置により、動画像通信の利用が更に普及・促進されることを期待する。

最後に、開発にご協力いただいた関係各位に感謝します。

〔参 考 文 献〕

- 1) Video Codec for Audio Visual Services at p×64kb/s, CCITT Recommendation H. 261 (1990)
- 2) H. Fujiwara, et al.: "An All-ASIC Implementation of a Low Bit-Rate Video Codec", IEEE Trans. on Circuit and Systems for Video Technology, 2, 2, pp. 123-134 (June 1992)
- 3) 土屋, 西村: NTSC/CIF 相互変換 LSI の構成, NTT R & D, 40, 8, pp. 1043-1050 (1991)
- 4) 林, 泉岡, 大久保, 吉村: マルチメディア多重分離 LSI, NTT R & D, 40, 8, pp. 1059-1068 (1991)
- 5) 西村: 動画像コーデック用 A/D-D/A 変換モジュール, NTT R & D, 40, 8, pp. 1051-1058 (1991)
- 6) 小林, 正村, 藤原: テレビ電話-AV 機器を接続した動画像通信, 電子技術, 34, 13, pp. 50-53 (Dec. 1992)
- 7) H. Yamauchi, et al.: "Architecture and Implementation of a Highly Parallel Single-Chip Video DSP", IEEE Trans. on Circuit and Systems for Video Technology, 2, 2, pp. 207-220 (June 1992)
- 8) T. Koga, et al.: "Motion-Compensated Interframe Coding for Video Conferencing", in NTC 81, proc., pp. G5.3.1-G5.3.5 (Dec. 1981)
- 9) 市川, 正村: マルチプロセッサ構成による実時間動画像符号化器, 信学技報, IE89-32 (1989)
- 10) M. Tayama, et al.: "VLSI Implementation of System Manager Chip for p×64 kbps Video Encoder", The Third International Workshop on 64 kbit/s Coding of Moving Video, Rotterdam, the Netherlands (Sep. 4-6, 1990)

- 11) M. Maruyama, et al.: "VLSI Architecture and Implementation of a Multi-Function Forward/Inverse Discrete Cosine Transform Processor", SPIE Visual Communication and Image Processing 1990, **1360**, pp. 410-417 (Oct. 1-4, 1990)
- 12) R. Saito, et al.: "VLSI Implementation of a Variable-Length Coding Processor for Real-Time Video", IEEE Workshop on Visual Signal Processing and Communications, pp. 87-90, Hsinchu, Taiwan, ROC (June 6-7, 1991)
- 13) K. M. Yang, et al.: "A Flexible Motion-Vector Estimation Chip for Real-Time Video Codecs", IEEE 1990 Custom Integrated Circuits Conference, pp. 17.5.1-17.5.4, Boston, Mass., U.S.A. (May 13-16, 1990)
- 14) H. Uwabu, et al.: "VLSI Implementation of A Buffer, Universal Quantizer and Frame Rate Control Processor Chip", SPIE, **1605**, pp. 928-937, Visual Communications and Image Processing 1991, Boston, Mass., U.S.A. (Nov. 11-13, 1991)
- 15) H. Fujiwara, et al.: "VLSI Implementation of a Flexible Variable-Length Decoding Processor for Real-Time Video", The Third International Workshop on 64 kbit/s Coding of Moving Video, Rotterdam, the Netherlands (Sep. 4-6, 1990)
- 16) H. Fukuchi, K. Shomura and H. Fujiwara: "VLSI Implementation of Decoding System Manager Chip for Motion Picture Decoder", IEEE Workshop on Visual Signal Processing and Communications, pp. 173-176, Hsinchu, Taiwan, ROC (June 6-7, 1991)
- 17) 片山: "ポストフィルタによる符号化画像の修復", 平成2年信学総全大, D-307
- 18) Frame Structure for 64 to 1920 kbit/s Channel in Audio Visual Teleservices, CCITT Recommendation H. 221 (1990)
- 19) Narrowband Visual Telephone System and Terminal Equipment, CCITT Recommendation H. 320 (1990)
- 20) System for Establishing Communication between Audio Visual Terminals using Digital Channels up to 2 Mbit/s, CCITT Recommendation H. 242 (1990)
- 21) Frame-synchronous Control and Indication Signal for Audio Visual System, CCITT Recommendation H. 230 (1990)

こばやし たかゆき
小林 孝之 昭和54年、埼玉大学理工学部卒業。エレクトロニクスメーカーを経て、昭和62年、マイクロシステムズ(株)に入社。平成元年、(株)グラフィックス・コミュニケーション・テクノロジーズに出向。平成3年、ジー・シー・テクノロジー(株)に出向。現在、同社画像通信開発部担当部長。画像符号化技術の研究およびLSI、端末機器開発に従事。正会員。

しょうむら かずよし
正村 和由 昭和46年、工学院大学工学部電気工学科卒業。同年、大倉電気(株)に入社。昭和62年、(株)グラフィックス・コミュニケーション・テクノロジーズに出向。平成3年、ジー・シー・テクノロジー(株)に出向。現在、同社画像通信開発部長。画像符号化技術の研究および端末機器開発に従事。

さいとう りゅうじ
西塔 隆二 昭和58年、東京農工大学工学部卒業。エレクトロニクスメーカーを経て、昭和61年、マイクロシステムズ(株)に入社。平成元年、(株)グラフィックス・コミュニケーション・テクノロジーズに出向。平成3年、ジー・シー・テクノロジー(株)に出向。現在、同社MM端末研究部グループリーダー。画像符号化技術の研究およびLSI、端末機器開発に従事。

ふじわら ひろし
藤原 洋 昭和52年、京都大学理学部卒業。コンピュータメーカー、エンジニアリング会社を経て、昭和60年、(株)アスキーに入社。昭和62年、(株)グラフィックス・コミュニケーション・テクノロジーズ取締役研究開発部長、平成3年、ジー・シー・テクノロジー(株)常務取締役研究開発本部長となり、現在に至る。コンピュータ通信システム、画像符号化技術の研究開発に従事。正会員。

しいな たかし
椎名 孝 昭和61年、茨城大学工学部卒業。同年、NTTに入社。神戸ネットワークセンタ勤務。昭和62年、画像通信事業部サービス開発部画像通信方式担当(現:画像通信事業本部映像通信サービス部テレビ会議システム部門)に配属。現在に至る。

おがた なるとし
緒方 成好 平成元年、佐賀大学大学院理工学研究科修了。同年、NTTに入社。NTT東京支社勤務後、平成2年、画像通信事業サービス開発部画像通信方式担当(現:画像通信事業本部映像通信サービス部テレビ会議システム部門)に配属。現在に至る。

はまなか しんいち
濱中 慎一 平成2年、東京理科大学大学院理工学研究科修了。同年、NTTに入社。NTT倉敷支店勤務後、画像通信事業部サービス開発部画像通信方式担当(現:画像通信事業本部映像通信サービス部テレビ会議システム部門)に配属。現在に至る。