対角 4.7 インチ SrS : Ce, Eu 白色発光 薄膜 EL ディスプレイ

正会員 田 中 義 人[†], 山 田 さだ江[†] 皆 本 真 樹[†],
藤 田 裕 司[†], 小 西 庸 雄[†]

A 4.7-inch-Diagonal TFEL Display with SrS : Ce, Eu White Light Emitting Phosphor Layer

Yoshito Tanaka[†], Sadae Yamada[†], Maki Minamoto[†],
Yuji Fujita[†] and Tsuneo Konishi[†]

Abstract This paper discusses a newly developed 4.7-inch diagonal white light emitting TFEL display panel with 320×240 dots and a SrS : Ce, Eu phosphor layer. Luminance of 520 cd/m² and luminous efficiency of 0.25 lm/W at $V_{th} + 60$ V were obtained using a 1-kHz pulse drive, with V_{th} being the threshold voltage. The estimated response time is 30 ms, which is almost the same as that of a ZnS : Mn TFEL device. Therefore, this response time is fast enough for matrix display application. Multi color display encompassing eight colors is possible by combining this device with color filters.

1. ま え が き

現在、種々のフラットパネルディスプレイについてカラー化が進められており、薄膜 EL ディスプレイにおいてもカラー化は重要な課題のひとつである。薄膜 EL のカラー化については、発光層の材料、高輝度化、高効率化といった物理的な検討と共に、その方式についても様々な研究が進められている。カラー化の方式としては、単色の発光層を積層する方式、発光層をパターン形成する方式、白色発光にカラーフィルタを組合せる方式などが提案されている^{1)~3)}。その中でも白色発光とカラーフィルタを組合せる方式は 1 種類の発光層で素子が形成されるため、作製工程の簡略化

の面で有利であると考えられる⁴⁾。しかし、比較的高輝度の白色発光が得られる SrS : Ce, Eu 薄膜 EL 素子については、ディスプレイとしての評価はあまりなされていない。

今回我々はカラー化の前段階として白色の発光層とそのディスプレイ化技術について検討を行った。その結果、SrS : Ce, Eu を発光層とする、320×240 ドット、対角 4.7 インチの白色薄膜 EL ディスプレイを試作した。

2. 素 子 構 成

今回用いた素子の基本構造を図 1 に示す。基本的には従来から用いられている 2 重絶縁構造を採用してい

キーワード：薄膜 EL、ディスプレイ、白色

1992 年 10 月 14 日、Japan Display '92 で発表

1992 年 10 月 22 日、1993 年 1 月 11 日再受付

[†] 関西日本電気株式会社 開発研究部(〒520 大津市晴嵐 2-9-1, TEL 0775-37-2100)

[†] Research and Development Division, NEC Kansai Ltd. (9-1, 2-chome, Seiran, Otsu shi, Shiga 520, Japan)

1a, 1b : Charge injection refraining layer (SiO_2 : 50nm)
 2a, 2b : Main insulating layer (Si_3N_4 : 200nm)
 3a, 3b : Buffer layer (ZnS : 100nm)

図 1 素子の基本構成
 Schematic structure of the TFEL device.

る。上下の絶縁層はそれぞれ電荷注入抑制層である SiO_2 と主絶縁層である Si_3N_4 との積層膜からなっている。ZnS は発光層と絶縁層の緩衝層として電子ビーム蒸着法により 100 nm の厚さに、発光層の形成の前後に同一チャンバ内で形成している。我々はこれまでに ZnS : Mn, ZnS : Tb, F を発光層として用いたディスプレイの試作を、主絶縁層に Ta_2O_5 を用いて行っている⁵⁾。しかし、今回の素子の主絶縁層に Ta_2O_5 を用いた場合は、ZnS 膜との界面での剝離や、発光効率が低いといった問題がある。これは SrS : Ce, Eu の蒸着時の基板温度や熱処理温度が高いことに対し、 Ta_2O_5 の耐熱性が不足しているためと考えられる。このため、より耐熱性が高い Si_3N_4 を主絶縁層として用いたところ⁶⁾、層間剝離は発生せず、発光効率も向上した。

緩衝層である ZnS は、発光層形成後の素子を直接大気に曝さないためと素子の対称性を保つために、発光層の両側に形成している。ここで、基板側の ZnS は発光層形成時の下地層でもあり、ZnS の結晶配向性が発光層である SrS : Ce, Eu の結晶配向性に影響を与えることが知られている⁷⁾。我々の検討でも下地層となる ZnS が (1 1 1) 面に配向している場合 SrS : Ce, Eu も (1 1 1) 面に配向し易く、ZnS が無配向の場合には SrS : Ce, Eu は (2 0 0) 面に配向し易い傾向がみられた。一方で、SrS : Ce, Eu が (1 1 1) 面に配向した場合よりも (2 0 0) 面に配向した場合の方が発光特性が良いという結果も得ている。以上のことから、無配向の ZnS を形成するために ZnS 形成時

図 2 電圧-輝度、発光効率特性
 Applied voltage dependence of the luminance and luminous efficiency of the TFEL device.

の基板加熱は行っていない。

次に、発光層について説明する。発光層である SrS : Ce, Eu は、母体材料の SrS 粉末中に CeCl_3 , EuCl_3 粉末を混合し加圧成形したペレットを用いて、電子ビーム蒸着法により形成している。電子ビームによる蒸着と同時に、SrS : Ce, Eu 中の硫黄の不足を補い、かつ蒸着雰囲気中の酸素分圧を下げるために⁸⁾、抵抗加熱方式による硫黄の共蒸着を行っている。SrS : Ce, Eu 形成時、膜厚は 1000 nm、基板温度は約 450°C に設定しており、チャンバ内の真空度はおよそ 2×10^{-5} Torr である。前にも述べたように、発光層の前後に形成してる ZnS の蒸着時には基板加熱は行っておらず、また硫黄の共蒸着も行っていない。Ce および Eu の濃度は仕込濃度でそれぞれ 0.2 および 0.03 mol% で、膜中の濃度については測定していない。熱処理は、上部緩衝層の形成後に、650°C、2 時間、真空中で行っている。熱処理の実施により、発光開始閾電圧 (V_{th}) は 50~70 V 程度下がり、輝度、発光効率共に 2~3 倍程度上がる。熱処理の効果がこれほど顕著に現れるのは、SrS : Ce, Eu 形成時の基板温度がまだ低いためと考えられる。

3. 素子特性

3.1 電圧-輝度、発光効率特性

図 2 に輝度、発光効率の印加電圧依存性を示す。測定は、1 kHz、パルス幅 50 μs の両極性パルス電圧を用いて行っている。 V_{th} は約 150 V で、 $V_{th} + 60$ V での輝度 (L_{60}) は約 520 cd/m^2 、発光効率 (η_{60}) は約

0.25 lm/W である。輝度が周波数に比例すると考えると、対称駆動した場合、フィールド周波数 100 Hz、フィルファクタ 0.69 のマトリクスディスプレイでは 18 cd/m² の面輝度が得られることとなる。

3.2 絶縁破壊特性

次に、図 3 に絶縁破壊特性についての評価結果を示す。評価には 50 mm×50 mm のガラス基板上に 0.4 mm ピッチで 64×64 のマトリクスを形成した素子を用いている。この素子の 1 ライン毎に 500 Hz の両極性パルス電圧を徐々に上げながら加え、充放電電流よりもはるかに大きい絶縁破壊時の電流を検知することにより、絶縁耐圧特性の評価を行っている。この評価方法は、直流電圧印加による漏れ電流量により絶縁耐圧を評価する方法よりも実用的な評価が可能である。絶縁破壊電圧の最小値は 220 V であり、素子の駆動電圧は 210 V 前後になるので、マージンを考えれば充分ではない。しかし、この素子の絶縁破壊モードは自己回復型のため、数 100 時間程度の使用ではディスプレイとしての重欠陥である断線に至ることはほとんどない。

3.3 発光の応答性

一方、線順次駆動によるマトリクスディスプレイとして用いるための重要な特性のひとつに発光の応答性があり、薄膜 EL ディスプレイについても応答性の評価は欠かすことはできない。図 4 は両極性パルス電圧で素子を駆動したときの、印加電圧パルスに伴った発光強度をプロットしたものである。発光ピーク強度が、定常発光時の強度 (Al 電極が正極性の場合と負極性の場合のピーク強度の平均値) の 90% 以上、あるいは 10% 以下となった時点を各々発光、消灯の応答完了と定義すると、発光、消灯共に 3 パルス目には応答完了となっていることがわかる。種々の周波数で測定した結果、SrS:Ce,Eu 薄膜 EL 素子では、周波数に関係なく 3 パルス以内で応答完了となることがわかった。これをフィールド周波数 60 Hz のディスプレイ (駆動周波数 30 Hz) で考えると、応答完了までの時間は発光時、消灯時共に 33 ms 以下となる。この値は ZnS:Mn を発光層とした薄膜 EL ディスプレイと同等の値であり、SrS:Ce,Eu はディスプレイへの応用に十分な応答性を持っていると考えられる (図中の発光波形は発光の様子を模式的に示したもので、実際には電圧パルスの立上がり時と立下がり時に発光パルスが観測される。この 2 種類の発光パルスはほぼ同等の応答特性を示し、どちらも 3 パルス以内に応答完了となる)。

4. 背面電極のパターン形成

SrS:Ce,Eu を発光層に用いたマトリクスディスプレイを作製する上で、プロセス上の重要な課題のひとつに、背面電極のパターン形成のオールドライ化がある。発光層が ZnS:Mn のディスプレイでは、ポジレジストを用いたフォトリソ法と、酸によるウェットエッチングにより背面電極のパターン形成を行っていた。しかし、SrS:Ce,Eu は水分により容易に分解するため、現像液や、酸に含まれる水分が問題となる。SrS:Ce,Eu を覆うように第 2 絶縁層が形成されているが、ピンホール等のため、水分の浸入を完全に防ぐことはできない。これを回避するため、背面電極のパターン形成のオールドライ化はディスプレイパネル作製上、重要な技術となる。今回我々は、フォトリソ工程ではネガレジストを用い、エッチングは Ar プラズマによるスパッタエッチング、レジスト除去は O₂ プラズマによるアッシングを用いる方法でオ

図 3 素子の絶縁破壊特性
Histogram for breakdown voltage of the TFEL device.

図 4 素子の発光応答特性
Luminous response characteristics.

ールドライ化を図った。ネガレジストを用いたフォトリソ法は現像液に有機溶剤を用い、またエッチング後のレジスト除去にも O_2 プラズマによるアッシングが適用できるため、水溶液を用いないという点でオールドライ化に適している。表 1 にスパッタエッチングおよびアッシングの条件を示す。背面電極の材料には Al を用いているが、この条件において、4.8 nm/h のエッチングレートが得られる。

表 1 電極のエッチング条件
Etching conditions of the rear metal electrodes.

Etching Gas	Ar
Flow Rate	21 SCCM
Gas Pressure	25 mTorr
Self-bias Voltage	550 V
Ashing Gas	O_2
Flow Rate	100 SCCM
Gas Pressure	200 mTorr
RF Power	400 W

表 2 ディスプレイの仕様
Specifications of the white TFEL display.

Items	Specifications
Display Area	96 mm×72 mm 4.7 inch-diagonal
Number of Dots	320×240
Pixel Size	0.25 mm×0.25 mm
Pixel Pitch	0.30 mm×0.30 mm
Drive Conditions	Field frequency : 100 Hz Symmetric drive
Areal Luminance	20 cd/m ²

写真 1 ディスプレイの表示例
Photograph of the white TFEL display.

全面にわたって完全なエッチングを施すためには、部分的にはオーバーエッチングとなって下地層が削られることになり、被エッチング層と下地層のエッチング選択比が問題となる。今回の場合、下地層は SiO_2 で、Al と SiO_2 の選択比はおおよそ 2 であり、充分とはいえない。しかし、オーバーエッチングされる部分は非発光部であるため、発光特性に直接影響を与えることはないと考えられる。また、 O_2 プラズマによるレジストのアッシング時に、Al、ITO、 SiO_2 の各膜に対するエッチングは観察されなかった。背面電極のパターン形成プロセスの素子特性への影響を調べるために、メタルマスクにより背面電極をパターン形成した素子を比較用に作製した。両素子において、発光（輝度、効率）、および絶縁破壊等の初期特性に差はみられなかった。しかし、水分の浸入による膜の剝離や絶縁破壊の増加などの寿命特性等については、今後評価が必要である。

5. ディスプレイの試作

以上の素子構成およびプロセスにより、320×240 ドット、対角 4.7 インチの白色薄膜 EL ディスプレイの試作を行った。ディスプレイの主な仕様を表 2 に示す。また、写真 1 にディスプレイの表示例を示す。輝度は充分とはいえないが、応答性については目視によっても問題ないことが確認できた。これは素子での応答

図 5 (a) 素子の発光スペクトル
(b) カラーフィルタの透過率特性

- (a) EL spectra of the white TFEL device and three primary colors through filters.
(b) Transmission characteristics of color filters.

図 6 カラーフィルタを用いた場合の CIE 色度座標
Color coordinates in CIE chromaticity diagram.

性評価の結果を裏づけるものである。

6. フルカラーディスプレイの可能性

6.1 カラーフィルタとの組合せ

図 5(a) にカラーフィルタを用いた場合の EL スペクトルを、図 5(b) にカラーフィルタの透過率特性をそれぞれ示す。図 6 はカラーフィルタを用いた場合の (x, y) 色度座標を CIE 色度図上にプロットしたものである。図 6 にはカラー CRT 用蛍光体の色度座標も同時に示している。カラーフィルタと組合せることにより、かなり広い色再現範囲が得られることがわかる。

また、カラーフィルタを通した各色別の応答性の評価では、各色ともほぼ同等の応答性を示すことを確認している。

6.2 輝度-電圧特性

先に述べたカラーフィルタを用いた場合の RGB 各色の輝度の印加電圧依存性を図 7 に示す。また現状の輝度 (L_{60}) とカラーディスプレイで必要とされる輝度とを表 3 に示す⁹⁾。ただし、ここで示した輝度はすべて画素輝度で、必要とされる白色輝度は RGB 各色の輝度とフィルタの透過特性から計算したものである。表からもわかるように、実用には 3 倍強の輝度改善が必要である。

SrS を発光層の母体材料とする薄膜 EL 素子では、発光層形成時や熱処理時に発光層内に生成した SrO が発光特性に悪影響を与えており、硫黄の共蒸着や硫黄雰囲気での熱処理を行うことにより発光特性が改善されることが報告されている¹⁰⁾。また、ZnS を電子加速層とした発光層の多層化 ($(\text{SrS}:\text{Ce}, \text{Eu}/\text{ZnS})_n$) に

図 7 カラーフィルタを用いた場合の電圧-輝度特性
Applied voltage dependences of the luminance of original white and three primary color lights through color filters.

表 3 3 原色の輝度

Obtained and required luminance values for three primary colors.

	Luminance ($V_{th} + 60 \text{ V}$, cd/m^2)	
	realized	required*
Red	12.8	37
Green	23.4	92
Blue	5.5	11
white without filter	61.5	210

* C.N.King: "Color TFTL Displays", Proc. Japan Display '89, pp.224-226(Oct. 1989)

写真 2 カラーフィルタを用いたディスプレイの表示例
Photograph of the display with color filter.

よる輝度改善も提案されている¹¹⁾。我々も硫化水素ガス雰囲気中での熱処理や発光層の多層化により2.5倍程度の輝度改善を確認しており、カラー化に要求される白色発光の輝度が実現される日が遠くないと確信している。

写真2にカラーフィルタを用いたディスプレイの表示例を示す。

7. む す び

今回、我々はSrS:Ce,Euを発光層とする白色薄膜ELディスプレイを開発するに当たって以下の点について検討を行い、対角4.7インチ、320×240ドットのディスプレイの試作に成功した。

- (1) EL素子の発光応答特性について評価を行い、駆動周波数によらず電圧パルスの3パルス以内に応答が完了することがわかった。これをディスプレイに換算すると応答時間は33ms以下であり、ZnS:Mnを用いた薄膜ELディスプレイとほぼ同等の値である。
- (2) 背面電極のパターン形成をネガレジストを用いたフォトリソ法、Arによるスパッタエッチング、O₂プラズマによるレジスト除去の各工程により行った。これにより水または水溶液を一切用いることなくパターン形成を行うことができた。
- (3) カラーフィルタと組合せることにより、カラーディスプレイとして充分な色再現範囲が得られることがわかった。ただし、実用化には約3倍の輝度改善が必要である。

本研究を行うにあたり、多くの助言をいただきました鳥取大学の田中省作教授に感謝いたします。

〔参 考 文 献〕

- 1) M. Yamamoto, M. Inoue, T. Tohda, T. Matsuoka, A. Abe: "A 10-in.-Diagonal Multicolor Thin Film Electroluminescent (TFEL) Display Panel with 512×384 Pixels", Proc. Japan Display '89, pp. 228-231 (Oct. 1989)
- 2) W. A. Barrow, R. E. Coovert, C. N. King, M. J. Ziuchkovski: "Matrix-Addressed Full-Color TFEL Display", Digest of the 1988 SID International Symposium, pp. 284-286 (May 1988)
- 3) C. Brunel, N. Bouadma, P. Le Berre: "Multicolour EL Display with Patterned Phosphors using Ion Beam Etching", Proc. Eurodisplay '87, pp. 238-239 (Sep. 1987)
- 4) S. Tanaka, H. Kawakami, K. Nakamura, H. Kobayashi: "Stable White SrS: Ce, K, Eu Thin-Film EL with Filters for Full-Color Devices", Proc. SID 31, 1, pp. 25-30 (1990)

- 5) T. Konishi, Y. Fujita, M. Minamoto, S. Yamamoto, Y. Tanaka: "A 9.3-in.-Diagonal Multi-Color TFEL Display Panel with Patterned Phosphor Structure", Digest of the 1991 SID International Symposium, pp. 271-274 (May 1991)
- 6) J. Mita, Q. Z. Gao, M. Kobayashi, K. Kawamura: "A Full-color EL Device Stacking a White EL Device and an Electrodeposition Filter", Digest of the 1991 SID International Symposium, pp. 290-293 (May 1991)
- 7) K. Onisawa, M. Fuyama, K. Taguchi, K. Tamura, Y. A. Ono: "Luminance Improvement of Blue-Green Emitting SrS: Ce EL Cell by Controlling Vacuum Conditions with Sulfur Addition", J. Electrochem. Soc. (USA) 135, 10, pp. 2631-2634 (Oct. 1988)
- 8) S. Tanaka, V. Shanker, M. Shiiki, H. Deguchi, H. Kobayashi: "Multicolor Electroluminescence in Alkaline-Earth Sulfide Thin-Film Devices", Proc. SID 26, 4, pp. 255-258 (1985)
- 9) C. N. King: "Color TFEL Displays", Proc. Japan Display '89, pp. 224-226 (Oct. 1989)
- 10) 山田, 内野, 山野, 森田, 田中, 小林: "SrS 薄膜EL素子のイオウ雰囲気中熱処理による高輝度化", 第52回応物秋季予稿集, p. 1148 (Oct. 1991)
- 11) K. Ohmi, S. Tanaka, Y. Yamano, K. Fujimoto, H. Kobayashi, R. H. Mauch, K. O. Velthaus, H. W. Schock: "White Light Emitting Electroluminescent Devices with (SrS: Ce/ZnS: Mn) Multilayered Thin Films", Proc. Japan Display '92, pp. 725-728 (Oct. 1992)

たなか よしと
田中 義人 昭和63年、京都大学工学部金属加工学科卒業。同年、関西日本電気(株)入社。薄膜ELディスプレイの開発に従事。現在、開発研究部勤務。正会員。

やまだ さでえ
山田さだ江 昭和62年、舞鶴工業高等専門学校電気工学科卒業。同年、関西日本電気(株)入社。薄膜ELディスプレイの開発に従事。現在、開発研究部勤務。

みなもと まき
皆本 真樹 昭和59年、鳥取大学工学部電子工学科卒業。同年、関西日本電気(株)入社。薄膜ELディスプレイの開発に従事。現在、開発研究部に勤務。

ふじた ゆうじ
藤田 裕司 昭和57年、大阪府立大学工学部電気工学科卒業。同年、新日本電気(株)(現関西日本電気(株))入社。薄膜ELディスプレイの開発に従事。現在、開発研究部主任。

こしし つねお
小西 庸雄 昭和55年、三重大学工学部電子工学科卒業。同年、新日本電気(株)(現関西日本電気(株))入社。薄膜ELディスプレイの開発に従事。現在、開発研究部主任。