積層型 CCD センサのランダム雑音の解析

塩 山 善 之[†], 正会員 松 長 誠 之[†], 羽 島 文 敏[†]
 丹 呉 浩 侑[†], 正会員 吉 田 興 夫[†],

Analisis of Incomplete Transfer Noise of "Two Level" CCD Image Sensor

Yoshiyuki Shioyama[†], Yoshiyuki Matsunaga[†], Fumitoshi Hatori[†],
 Hiroyuki Tango[†] and Okio Yoshida[†]

Abstract Because a charge injection type "two level" CCD image sensor needs metal contact to carry signal charge from its photoelectrical conversion layer to its storage diode, this type of sensor has a peculiar random noise generated in its picture cells. This noise has been studied from the view-point of electron emission from the storage diode, and the noise value obtained by measuring a 1-inch 2-million pixel image sensor corresponds to the analytically derived noise. We expect that the smaller a picture cell is, the less the noise value is.

1. ま え が き

最近、次世代のテレビジョンシステムであるハイビジョンテレビ関連機器の開発が進められている。ハイビジョンテレビ方式は、従来の NTSC 方式に比べ約 5 倍の情報量を持っており、解像感のある画面が再現できる。そのため、テレビカメラの“目”である撮像デバイスも解像力が必要であり、固体撮像デバイスの場合、従来の約 5 倍の 200 万個の画素数が必要であるといわれている^{1)~4)}。一般に、固体撮像デバイスの画素数を増やすと単位画素の面積が減少し感度が劣化する。感度を維持するために単位画素に電荷増幅機能を持たせる提案もある⁵⁾⁶⁾。

筆者らは、従来のインタライン転送型 CCD (IT-CCD) センサの上部にアモルファスシリコンからなる光電変換膜を積層した 2 階建てのセンサ (PSID: Photo-Conductive Layered Solid-State Imaging Device) の開発を進めている⁷⁾。従来の IT-CCD センサ (フレームインタライン転送型 CCD: FIT-CCD を含む) は、入射光を光電変換するフォトダイオードと垂直転送 CCD を同一シリコン基板上に並置した単位画素構造を持っているため、垂直転送 CCD の上部に入射した光を利用できないという欠点がある。それに比べ PSID は撮像面全体が光電変換膜で覆われており、入射光がほぼ 100% 利用できるという点では高感度である。しかし、特性面では残像がある、使用上の

キーワード：積層型 CCD, 熱雑音, HDTV, 数値解析

1993 年 3 月 4 日, テレビジョン学会技術報告 Vol.17, No.16 に発表

1993 年 7 月 12 日受付, 1993 年 11 月 1 日再受付

[†] 株式会社東芝研究開発センター (〒210 川崎市幸区小向東芝町 1, TEL 044-549-2192)

[†] Reserch and Development Center, Toshiba Corp. (1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki 210, Japan)

面からはバイアスライトが必要であるという欠点をもっていた。そこで新たに電荷注入セルという画素構造を提案し、実際に1インチ200万画素センサを試作した⁸⁾。この電荷注入セルは単位画素内部にバイアス電荷を注入するダイオードを新たに設け、バイアスライトと同様な動作を行わせることにより容量性残像を抑圧するものである。その結果、バイアスライトを用いずに0.4%(3フィールド)以下の良好な残像特性が得られた。容量性残像は完全に抑圧されており、残った残像はアモルファスシリコン膜の光導電性残像である。この残像は入射光量にほぼ比例する特性を持つので、暗い被写体を撮像するときはまったく問題にならない。すなわち、光量によらずほぼ一定の量である容量性残像と異なり、感度劣化の要因にならない⁹⁾。

さらに、非常に明るいスポット光を撮像したときの高輝度残像についても、アモルファスシリコン膜内部にバイアス電荷を注入することにより抑圧できた。また、センサレイアウトをFIT-CCD構成とし、従来アモルファスシリコン上部の透明電極で吸収していたブルーミング電荷を、フィールドシフトゲートを通し垂直CCDに排出する動作を採用することにより、信号蓄積ダイオードの逆バイアス電圧を1V以下の小バイアスで駆動することが可能となった。その結果、固定パターン雑音を1/10以下に低減できるようになった¹⁰⁾。これらの改善により量子効率が理想の1に近い、スミアが発生しないという特長が生かせるようになり、今後画素サイズが急速に小さくなるハイビジョンカメラ(含ビデオカメラ)の要求に応えることができる。また、撮像面内均一にニ特性を持たせることが可能であり、ダイナミックレンジを飛躍的に広げることができ、銀塩フィルムを使うスチルカメラに匹敵する特性を持つ電子スチルカメラを実現できる⁸⁾¹¹⁾。従来のCCDセンサを用いたものは、電子シャッタを使う場合も、スミアがあるためメカニカルシャッタを併用する必要があるが、スミアがない積層型CCDセンサではメカニカルシャッタが不要になるという利点もある。

積層型CCDセンサの最後の課題は、画素で発生する熱雑音である。埋め込みフォトダイオードを持つ従来のCCDセンサは信号電荷が完全転送されるため、雑音を発生しない。一方、積層型センサは上部の光電変換膜で発生した信号電荷をシリコン基板上のCCD走査回路に送るための配線が必須である。配線は一般に金属で形成するため、フォトダイオードに相当する蓄積ダイオードから垂直CCDへの電荷転送が不完全転送になってしまう。その結果、蓄積ダイオードと垂

直CCDをつなぐフィールドシフトゲートで発生する熱雑音電圧により、電荷蓄積ダイオード内部の電荷に揺らぎが生じる。これが信号電荷に加算されるランダム雑音となる。

今回、筆者らはこの熱雑音について詳しく解析すると共に、1インチ200万画素センサを用い実測を行った。解析から予想される値と実測値はよく一致した。また、今後画素の微細化が進むと、この雑音は問題にならなくなることが予想された。

2. 電荷注入型画素構造

容量性残像を抑制するために、図1に示す画素構造を提案した。従来の画素の垂直転送CCD(V-CCD)に隣接し、新たに蓄積ダイオードリセットゲート(SRG)と電荷注入ダイオード(CID)を設けている。バイアスライトに相当する電荷を電荷注入ダイオードから蓄積ダイオード(SD)に注入することにより容量性残像を抑制する。構成上のポイントは、蓄積ダイオードリセットゲートと電荷注入ダイオードを蓄積ダイオードに隣接させずに、垂直転送CCDを介して配置していることである。これは、蓄積ダイオードに注入した電荷の一部をフィールドシフトゲート、垂直転送CCDを通して再び電荷注入ダイオードに排出するためである。こうすることにより、注入する電荷量が各画素でばらつくために発生する固定パターン雑音を抑制することが可能になる。

容量性残像抑制の方法を図2に示すポテンシャル図で説明する。(a)は垂直有効期間中に光電変換された電子が蓄積ダイオード(SD)に蓄積されているときを表している。垂直ブランキング期間に入り、フィールドシフトゲート(FSG)をONし、信号電荷 Q_{sig} を垂直転送CCD(V-CCD)に読出す(b)。このとき残像の原因になる残留電荷 Q_R が蓄積ダイオード内に残る。

図1 積層型CCDの画素構造
Pixel structure of "two level" CCD image sensor.

図2 積層型 CCD のリセット動作
Image lag reducing operation.

垂直転送 CCD 内の電荷を半段転送(c)した後、蓄積ダイオードリセットゲート(SRG)をONし、垂直転送 CCD を介して電荷注入ダイオード(CID)から蓄積ダイオードに電荷を注入する(d)。垂直転送 CCD 内の電荷を電荷注入ダイオードに排出し(e)、再びフィールドシフトゲートをONし、注入電荷の一部を読み出し、電荷注入ダイオードに排出する(f)。このとき、蓄積ダイオード内に残る残留電荷は、信号電荷量に依存しない。これは残像がないことを意味している。また、信号電荷の読み出しと同一のフィールドシフトゲートでバイアス電荷の一部を読み出し・排出するため、固定パターン雑音が発生しない。

3. 基本方程式の導出

ここでは、解析に用いた基本方程式の導出を行う。雑音は、図2(b)と(f)の動作時に発生する。蓄積ダイオードから CCD への電荷転送の最後の段階では、転送時間よりも電子の放出間隔が長くなるため、従来のようにフィールドシフトゲートを流れる電流を用いて解析することができない。そこで、次のようなモデルで解析の基本方程式を導出した。蓄積ダイオード、フィールドシフトゲート、CCD 部分のポテンシャルダイアグラムを示すと、図3のようになる。いま、ある時点基準とし、それから時間 t だけ経過した時点で、蓄積ダイオードから V-CCD に k 個の電子が放出されている状態確率を $p(k, t)$ とし、この $p(k, t)$ に対する基本方程式を導こう。読み出し電流は k 個の電子放出後に、蓄積ダイオードから V-CCD に 1 つの電

図3 信号読み出し時のポテンシャル図
Potential diagram of reading signal.

子が放出される単位時間あたりの状態確率 λ_k に比例し、この λ_k を用いると次の2つの方程式が成立する。

$$p(0, t + \Delta t) = p(0, t) \cdot (1 - \lambda_0 \Delta t) + o(\Delta t) \quad (1)$$

$$p(k, t + \Delta t) = p(k, t) \cdot (1 - \lambda_k \Delta t) + p(k-1, t) \cdot \lambda_{k-1} \Delta t + o(\Delta t) \quad (2)$$

ここで、 $o(\Delta t)$ は高位の無限小を示す記号であり、 $o(\Delta t)/\Delta t \rightarrow 0$ (as $\Delta t \rightarrow 0$) となることを表している。これは、蓄積ダイオードから2個以上の電子が V-CCD に放出される確率は無視し得ることを意味している。(1)、(2)式で $\Delta t \rightarrow 0$ とすると

$$\frac{d}{dt} p(0, t) = -\lambda_0 \cdot p(0, t) \quad (3)$$

$$\frac{d}{dt} p(k, t) = -\lambda_k \cdot p(k, t) + \lambda_{k-1} \cdot p(k-1, t) \quad (4)$$

が得られる。これらの式は λ_k が k に依存しない場合には通常の Poisson 過程となり、よく知られた解となるが、ここでは λ_k は k に依存するため、解は簡単に解くことができない。

次に、 λ_k と読み出し電流 I_k の関係について考察する。電子の電荷を q とすると、 λ_k は単位時間に蓄積ダイオードから放出される電荷量、すなわち読み出し電流に相当する。

$$q \lambda_k = I_k \quad (5)$$

となる。ところで読み出し電流 I_k は、蓄積ダイオード電位 V_k を用いて

$$I_k = i_0 \cdot \exp \left[-\frac{q V_k}{k_B T} \right] \quad (6)$$

と書ける。ここで、 i_0 はフィールドシフトゲート長により決まる電流値、 k_B はボルツマン定数、 T は絶対温度を表している。さらに蓄積ダイオードの容量 C を用いると

$$V_{k+1} = V_k + \frac{q}{C} \quad (7)$$

(6)、(7)式より

$$\begin{aligned}
I_k &= i_0 \cdot \exp \left[-\frac{qV_{k-1}}{k_B T} \right] \cdot \exp \left[-\frac{q^2}{k_B T C} \right] \\
&= i_0 \cdot \exp \left[-\frac{qV_{k-2}}{k_B T} \right] \cdot \exp \left[-\frac{2q^2}{k_B T C} \right] \\
&= \dots \\
&= i_0 \cdot \exp \left[-\frac{qV_0}{k_B T} \right] \cdot \exp \left[-\frac{kq^2}{k_B T C} \right] \\
&= I_0 \cdot \exp \left[-\frac{kq^2}{k_B T C} \right] \quad (8)
\end{aligned}$$

したがって

$$\lambda_k = \lambda_0 \cdot \exp \left[-\frac{kq^2}{k_B T C} \right] \quad (9)$$

(3), (4), (9)式を連立して解き, $p(k, t)$ を求めることができるが, 本報告では次節で述べる数値解析によった. これにより求めた $p(k, t)$ を用いれば, 時刻 t で k のゆらぎ, すなわち分散 $\text{Var}(t)$ は

$$\begin{aligned}
\text{Var}(t) &= E(k - E(k))^2 \\
&= E(k^2 - 2E(k) \cdot k + E(k)^2) \\
&= E(k^2) - E(k)^2 \\
&= \sum_{k=0}^{\infty} k^2 p(k, t) - \left[\sum_{k=0}^{\infty} k p(k, t) \right]^2 \quad (10)
\end{aligned}$$

で与えられる. ただし, $E(X)$ は確率変数 X の期待値を意味し, ここでは確率変数 k の期待値を表している.

4. 分散の数値解析

(9)式に表されるように, λ_k は k に依存しており, したがって(3), (4)式を解析的に解いて $p(k, t)$ を求めることは簡単ではない. そこで, 本章では(1), (2), (9)式を次式で与えられる初期条件の下で逐次的に $p(k, t)$ を求め, (10)式により各時刻における k のゆらぎ $\text{Var}(t)$ を求めることを考える.

$$p(k, 0) = \begin{cases} 1 & (k=0 \text{ のとき}) \\ 0 & (k \neq 0 \text{ のとき}) \end{cases} \quad (11)$$

まず初めに I_0 を一定にして, C を変化させたときに $\text{Var}(t)$ が時間とともにどのように変化するかを調べよう. $I_0 = 0.1 \text{ nA}$ とし, $C = 0.02 \text{ fF}$, 0.04 fF , 0.06 fF , 0.08 fF のそれぞれについて, $t = 0.2 \mu\text{s}$ まで計算した結果を図4に示す. グラフは t とともに単調増加し, 充分時間のたったところで飽和している.

$\text{Var}(t)$ の飽和領域での値 $\text{Var}(\infty)$ は, C の増加とともに, ほぼ等間隔(~ 1.6)で増加している. その様子を図5に示す. これより, $\text{Var}(\infty)$ は, C に比例して増加していることがわかる. この直線の傾きは, $k_B T / 2q^2$ に一致しており, 蓄積ダイオードからの電荷転送が弱反転領域で行われると仮定したときの不完全転送雑音に一致している.

図4 雑音の時間依存性
Time dependent variance.

図5 飽和状態での雑音の容量依存性
Capacitance dependent variance.

図6 雑音の読出し電流値依存性
Current dependent variance.

図7 オフセット電荷に対する小信号感度比
Sensitivity of low signal level.

図8 ランダム雑音の実測値
Random noise generated from image cell.

次に $\text{Var}(\infty)$ の C を一定にしたときに、 I_0 によってどのように変化するかを調べよう。 $C=0.02 \text{ fF}$ とし、 $I_0=0.1 \text{ nA}$ 、 1.0 nA のそれぞれについて、 $t=0.1 \mu\text{s}$ まで計算した結果を図6に示す。これより $\text{Var}(t)$ は I_0 が大きいほど立ち上がり早い、その飽和値は I_0 に依存しないことがわかる。

5. 測定結果

電荷注入型センサは小信号領域でのリニアリティを改善するためにバイアス電荷を持たせる必要がある¹²⁾。 $\sum_0^{\infty} kE(k)$ の計算から求まるバイアス電荷に対する小信号感度比（小信号領域の感度を大信号領域の感度で割ったもの）の測定結果を図7に示す。測定値は $E(k)$ の計算から求まる理論値にぴったり一致している。7000電子以上のバイアス電荷を持たせると、ノリニアリティを5%以内におさめることができる。図8にランダム雑音の測定結果を示す。バイアス電荷を大きくする雑音は46電子rmsに近づいてくる。この値は前節の計算から求められる1回の読出し雑音の

$\sqrt{2}$ 倍である。これは図2(b)と(f)の2回の動作による雑音が加算されているためである。信号電荷が存在しない場合、1回目のリセット動作により決まる蓄積ダイオードの単位が2回目の読出し動作の V_0 になる。このときバイアス電荷が小さい領域で雑音が減少するのは、前述の2回の動作時に蓄積ダイオード内の電荷の揺らぎに相関があるためである。

1インチサイズセンサでバイアス電荷7000電子、信号帯域30MHzでの雑音は、38電子rmsである。2/3インチ200万画素センサを用いたカラーカメラでF8、2000lx、 S/N 54dBを実現するには、雑音を全体で20電子以下にしなければならない。そのためには蓄積容量を1/4以下にすることが必要である。画素サイズが1/2になるので充分実現可能と思われる。

6. むすび

積層型CCDセンサの画素で発生するランダム雑音について検討した。解析結果と1インチセンサの実測値とはよく一致した。2/3インチセンサで1インチセンサと同等の感度2000lx、 S/N 54dBを実現するには、蓄積ダイオードの容量を1インチセンサの1/4以下にする必要があることがわかった。この雑音は画素サイズが小さくなるに伴い下がるため、微細化には大きな障害にはならない。

〔参考文献〕

- 1) E. Oda, et al.: "A 1920(H) × 1035(V) pixel High-Definition CCD Image Sensor", IEEE J. Solid-State Circuits, **24**, pp. 711-717 (June 1989)
- 2) K. Yonemoto, et al.: "A 2-Million Pixel FIT-CCD Image Sensor for HDTV Camera System", in ISSCC Dig. Tech. Papers, pp. 214-215 (Feb. 1990)
- 3) K. Harada, et al.: "A 2/3-inch 2M-pixel FIT-CCD HDTV Image Sensor", in ISSCC Dig. Tech. Papers, TP11.3 (Feb. 1992)
- 4) M. Morimoto, et al.: "A 2M pixel HDTV CCD Image Sensor with Tungsten Photo-shield and H-CDD Shunt Wiring", in ISSCC Dig. Tech. Papers, TP11.4 (Feb. 1992)
- 5) T. Nakamura, et al.: "A New MOS Image Sensor Operating in a Non-Destructive Readout Mode", in IEDM Tech. Dig., p. 353 (1986)
- 6) J. Hynecek: "A New Device Architecture Suitable for High-Resolution and High-Performance Image Sensors", IEEE Trans. on Electron Devices, **35**, 5, p. 353 (1988)
- 7) S. Manabe, et al.: "A 2-million-pixel CCD Image Sensor Overlaid with an Amorphous Silicon Photoconversion Layer", IEEE Trans. on Electron Devices, **ED-38**, 8, pp. 1765-1771 (Aug. 1991)
- 8) H. Shibata, et al.: "A 2M-pixel Vertically Integrated HDTV Image Sensor", in ISSCC Dig. Tech. Papers, TP11.1 (Feb. 1992)
- 9) N. Teranishi, et al.: "No Image Lag Photodiode Structure in the Interline CCD Image Sensor", in IEDM Tech. Dig. 12.6 (1982)

- 10) H. Sasaki, et al.: "A 2/3-inch 400k Pixel Sticking-Free Stack-CCD Image Sensor", in ISSCC Dig. Tech. Papers, TP11.1 (Feb. 25, 1993)
- 11) Y. Endo, et al.: "A Photoelectric Conversion Characteristic Control Method for Interline Transfer CCD Imager",

IEEE Trans. in Electron Devices, **ED-32**, 8, pp. 1511-1513 (Aug. 1985)

- 12) R. Miyagawa, et al.: "Reduction of Fixed Pattern Noise for Stack CCD", ITEJ Technical Report, **16**, 75, pp. 13-18 (1992)

しおやま よしゆき
塩山 善之 平成2年，東京工業大学総合理工学研究科エネルギー科学科修士課程修了。同年，(株)東芝に入社。固体撮像素子の研究・開発を経て，現在，プロセスの研究・開発に従事。研究開発センター ULSI 研究所を経て，現在，同社半導体生産技術センターに所属。正会員。

まつなが よしゆき
松長 誠之 昭和54年，東京大学工学部電子工学科修士課程修了。同年，(株)東芝に入社。以来，固体撮像素子の研究・開発に従事し，現在に至る。現在，研究開発センター ULSI 研究所に所属。正会員。

はとり ふみとし
羽鳥 文敏 平成元年，東京大学大学院工学系研究科電子工学専攻博士課程修了。同年，(株)東芝に入社。平成4年3月まで，CCD イメージセンサの研究に従事。同年4月より，システム LSI 設計に従事，現在に至る。現在，同社半導体技術研究所ロジック技術開発部主務。工学博士。

たん ご ひろゆき
丹呉 浩侑 昭和45年，東北大学電子工学専攻博士課程修了。同年，(株)東芝に入社。同社総合研究所に勤務し，SOSMOS デバイス，ハイビジョン CCD，ダイナミック MOS メモリー，などの研究開発に従事。現在，同社研究開発センター ULSI 研究所に勤務。工学博士。

よしだ おきお
吉田 興夫 昭和39年，東北大学電子工学専攻修士課程修了。同年，(株)東芝に入社。総合研究所にて，光導電型撮像管，固体撮像素子の研究に従事。この間，60年より，東芝ロンドン事務所にて欧州技術担当，平成元年より，本社技術企画部を経て，現在に至る。工学博士。正会員。