固体撮像素子用アバランシェ増倍膜積層構造の検討

正会員 中 野 泰[†], 正会員 尾 崎 俊 文[†], 鮫 島 賢 二[†]
 田 中 治 彦[†], 正会員 辻 和 隆[†], 正会員 平 井 忠 明^{††}
 正会員 瀧 口 吉 郎^{†††}, 正会員 山 崎 順 一^{†††}, 正会員 谷 岡 健 吉^{†††}

A Study on a Photoconductive Layer and Pixel Electrodes for an Avalanche-Type Solid State Imager Overlaid with a Photoconductive Layer

Yasushi Nakano[†], Toshifumi Ozaki[†], Kenji Sameshima[†],
 Haruhico Tanaka[†], Kazutaka Tsuji[†], Tadaaki Hirai^{††},
 Yoshirou Takiguchi^{†††}, Junichi Yamazaki^{†††} and Kenkichi Tanioka^{†††}

Abstract The constitution of a photoconductive layer and pixel electrodes for an avalanche-type solid-state imager overlaid with an a-Se photoconductive layer is studied. To achieve a stable avalanche phenomenon under high electric fields, a blocking structure against charge injection into the photoconductive layer from the electrodes is required. Pixel electrodes with a sufficiently flat surface are also needed to avoid breakdown caused by the local maximums in the electric field. To reduce the electric fields in the vicinity of each electrode, we use an As₂Se₃ layer between the cathode and the a-Se layer, and a LiF-doped a-Se layer between the anode and the a-Se layer. This also reduces the dark current. Flat pixel electrodes are formed by p⁺-layers in a n-type Si substrate. By using these techniques, an avalanche multiplication factor larger than 20 is attained on a MOS type linear image sensor overlaid with an a-Se photoconductive layer.

1. ま え が き

近年, CCD 型固体撮像素子の小型高精細化が精力的に進められ, 民生用はもとより, 放送, 産業用等の

分野で広く普及している. 一方, 光導電型撮像管においては, 感度の点で CCD を凌駕するアバランシェ増倍型撮像管¹⁾²⁾が開発, 実用化されている. この撮像管では, 光導電膜の非晶質 Se に 10⁶ V/cm 以上の高

キーワード: 積層型固体撮像素子, 非晶質 Se, アバランシェ増倍, アバランシェ増倍型撮像管, 暗電流, 画素電極

1995 年 7 月 26 日, 1995 年テレビジョン学会年次大会で発表

1995 年 10 月 11 日受付, 1996 年 4 月 2 日再受付

[†] 日立製作所 中央研究所 (〒185 国分市東恋ヶ窪 1-280, TEL 0423-23-1111)

^{††} 日立デバイスエンジニアリング (〒297 茂原市早野 3681 番地, TEL 0475-24-5311)

^{†††} NHK 放送技術研究所 (〒157 東京都世田谷区砧 1-10-11, TEL 03-5494-2250)

[†] Central Research Laboratory, Hitachi, Ltd (1-280, Higashikoigakubo, Kokubunzi-shi, Tokyo 185, Japan)

^{††} Hitachi Device Engineering, Ltd (3681, Hayano, Mobara-shi, Chiba 297, Japan)

^{†††} NHK Science and Technical Research Laboratories (1-10-11, Kinuta, Setagaya-ku, Tokyo 157, Japan)

電界を印加して、電荷のイオン化衝突により次々と新たな電子正孔対が生成されるアバランシェ増倍現象によって高感度化を実現している。しかしながら撮像管は、電子ビーム走査で信号を読取る方式であるために小型化が困難であることや、一般に周辺部の解像度が中心部に劣ること、レジ合わせの煩わしさがあること等の欠点がある。

この欠点を克服し、アバランシェ増倍動作を固体撮像素子に適用する素子構造として、走査回路基板と光導電膜の2階建て構造が提案されている。2階建て構造の素子では、開口率を100%にできることや、下地基板全面を走査回路に当てられるので高集積化に有利であること等のメリットがある。

2階建て構造の形成手法として、走査回路基板上に光導電膜を堆積する積層方式と、ガラス基板上に形成した光導電膜と走査回路基板を張り合わせる方式が考えられ、すでに積層方式での試みが報告されている³⁾。しかしながら、素子のプレイクダウン電圧が低いことによりアバランシェ増倍動作には至っていない。その原因としては、光導電膜を堆積する走査回路基板表面の平坦性が不十分であることが考えられる³⁾⁴⁾。また、積層方式では光導電膜の暗電流が増加するという報告もあり⁵⁾⁶⁾、特にアバランシェ増倍動作に必要な高電界印加に耐える低暗電流構造の開発も必要である。

そこで我々は、光導電膜の暗電流を低減する検討、および平坦性の良い画素電極構造の検討を行い、MOS型走査回路基板上に非晶質Se光導電膜を積層した構造の1次元センサで、アバランシェ増倍動作を確認したので報告する。

2. 暗電流低減の検討

実験に用いた試料の基本構造を図1に示す。下地電極の凹凸による絶縁破壊の問題を避けて、暗電流の検討に的を絞るために、十分に平坦な堆積面を有する比抵抗 $1\sim 2\ \Omega\cdot\text{cm}$ のn型単結晶Si基板を用いた。膜形成は、膜厚方向のドーピングプロファイルを容易に制御できる多源式回転蒸着装置⁷⁾⁸⁾を用い、真空蒸着法で行った。基本構造は、下地電極を兼ねたSi基板上に膜厚 $1\ \mu\text{m}$ の非晶質Se (a-Se) と半透明Au電極を堆積した構造である。電圧は、半透明Au電極側を正とする方向に印加する。これは、a-Seにおけるアバランシェ現象では、正孔によるイオン化衝突が支配的である⁹⁾ことから、正電極側から光を入射させる方が高い増倍率が得られるからである。

膜厚約10 nmのCeO₂層は、半透明Au電極からの

図1 光導電膜の基本構造
Schematic diagram of an a-Se photo-cell.

図2 電流-電圧特性のLiFドーブ層厚依存性
Photo current and dark current versus thickness of the LiF doped Se layer.

正孔注入を阻止するためのものである。CeO₂は、a-Seよりもバンドギャップが広く、蒸着膜はn型で、a-Seとの接合では、正孔に対してはポテンシャル障壁となり電子に対しては障壁とならない接合となって正孔注入を抑制する¹⁰⁾。また、LiFをドーブしたa-Se層は、CeO₂層の正孔注入阻止効果を強化するためのものである。LiFドーブによりa-Se中に深い正孔捕獲準位が形成される¹¹⁾¹²⁾ので、LiFドーブ層は正の空間電荷層となり、これと正電極に挟まれたCeO₂層の電界が弱められ、正孔注入が抑制できる。

一方、As₂Se₃層は、Si基板からの電子注入を阻止するために設けたものである。この層は、強力な電子捕獲能力を有し¹³⁾¹⁴⁾、層内に負の空間電荷を形成する。その結果、Si基板とAs₂Se₃層の界面の電界が緩和されて電子注入が抑制される。

まず、電子注入抑制層の構造をAs₂Se₃層0.15 μm

に固定し、LiF ドープ層の層厚による正孔注入抑制効果の変化を調べた。図 2 に、LiF ドープ層厚を変化させたときの、暗電流と光電流の電圧依存性の測定結果を示す。光電流の測定は、a-Se での吸収係数が大きい波長 400 nm の光を用いた。LiF ドープ層なしでは、暗電流が電圧に対して指数関数的に増加して、十分に正孔注入が阻止されていない。しかし、0.06 μm 以上のドープ層を導入すると、光電流のアバランシェ増倍率が 10 以上となる約 150 V の電圧において、暗電流が 1 桁以上減少している。高電圧での暗電流が、LiF ドープ層厚 0.06 μm 以上の試料ではほとんど変化していないことから、ドープ層厚 0.06 μm でも十分に正孔注入が阻止できることがわかる。

撮像管ターゲットやこれまでに報告した a-Se サンドイッチセルでは、 CeO_2 層のみで十分に正孔注入が阻止され、低暗電流であった⁹⁾¹⁵⁾。しかし、同じ正孔注入阻止構造である LiF ドープ層厚 0 の本試料では、暗電流が大きくなっている。この原因は、膜堆積順序が、撮像管ターゲットでは、透明電極、 CeO_2 層、a-Se の順序だが、本試料では逆であるために、接合特性や膜質が異なっていることにあると考えられる⁶⁾。

LiF ドープ層を 0.06 μm 以上導入した試料における 150 V 印加時の暗電流値は、LiF ドープ層がない試料における 90 V 印加時の暗電流値に相当することから、約 40% CeO_2 層の電界が弱められ、正孔注入が抑制されていると考えられる。

LiF ドープ層厚 0.06 μm の試料では、増倍率 10 となる電圧は 150 V で、152 V を超えると光電流と暗電流が共に急激に増加しはじめており、約 156 V でアバランシェブレイクダウンしている。

次に、電子注入抑制効果の As_2Se_3 層厚依存性を調べた。LiF ドープ層の厚さを 0.06 μm に固定し、 As_2Se_3 層厚を変化させて暗電流の電圧依存性を測定した。結果を図 3 に示す。 As_2Se_3 層がない場合には非常に大きな暗電流が発生しているのに対し、 As_2Se_3 層の導入によって大幅に暗電流が低減されている。正孔注入は、少なくとも $8 \times 10^{-8} \text{ A/cm}^2$ 以下に抑制されていること、および暗電流値が As_2Se_3 層厚に依存していることから、ここでの暗電流の主成分は電子注入だとわかる。

As_2Se_3 層による電界緩和の効果を定量的に検討するために以下の実験を行った。Si 基板上に直接 1 μm の a-Se を堆積した試料(A)と、この試料と Si 基板界面部の構造を同一にするために Si 基板上に 0.06 μm の a-Se を堆積して、その上に 0.15 μm の As_2Se_3 層および 1 μm の a-Se を堆積した試料(B)を用意し、

図 3 暗電流-電圧特性の As_2Se_3 層厚依存性
As₂Se₃ layer thickness dependance of dark current.

図 4 As_2Se_3 層による暗電流-電圧特性の変化
Voltage dependance of the dark current density.

暗電流-電圧特性を調べた。その結果を図 4 に示す。試料には LiF ドープ層を設けて正孔注入を抑えてあるので暗電流の主成分は Si 基板からの電子注入である。また、試料(A)と(B)では Si/a-Se 界面部の構造が同一である。したがって、両者の暗電流値はそれぞれの試料における Si/a-Se 界面部の電界強度を反映していると考えられる。また、殆どの電圧は 1 μm の a-Se 層に加わり、かつ、なにもドープしていない a-Se 層内にはほぼ一様に電界が加わる⁹⁾。

例えば、試料(A)に 5 V の電圧を印加したとき、Si/a-Se 界面の電界は、a-Se 層の平均電界と等しい約 $5 \times 10^4 \text{ V/cm}$ となる。このときの暗電流密度は約

$6 \times 10^{-9} \text{ A/cm}^2$ であるが、試料(B)で同様の暗電流密度となるのは、約100 V印加時である。したがって、 As_2Se_3 層を設けた試料(B)に100 Vの電圧を印加した状態では、試料全体の平均電界が約 $1 \times 10^6 \text{ V/cm}$ であるのに対して、Si/a-Se界面部の電界は約 $5 \times 10^4 \text{ V/cm}$ に弱められていると考えられる。このとき、 As_2Se_3 層内に一様に電子が捕獲されていると仮定すると、捕獲電子密度は、 $2.03 \times 10^{17} \text{ 個/cm}^3$ と見積もることができる。

なお、光応答特性に関しては、光導電膜に $0.6 \times 10^6 \text{ V/cm}$ の電界を印加した場合において、電界緩和層のない同一構造のセルと特性に差のないことを確認している。

以上、LiFドープ層および As_2Se_3 層の導入により、暗電流の大幅な低減が可能であることがわかった。

3. 画素電極構造の検討

通常のフォトリソグラフィ、エッチング加工技術で得られる金属画素電極上に積層した光導電膜では、絶縁破壊電圧が低いためアバランシェ増倍動作が得られていない³⁾。この原因として以下のことが予想される。

ひとつは、画素電極端部が段差状になっていて、段差の高さが CeO_2 層等の電荷注入抑制層の膜厚程度以上あると、段差部分で膜が断絶してしまい、電荷注入発生等が起ることである。もうひとつは、画素電極端部が鋭い形状であると、その部分で電界集中が起き、暗電流の増大や光導電膜の絶縁破壊が起きることである。したがって、電界集中を抑えるために画素電極端部の形状を緩やかな曲面にすること、および膜断絶を防止するために画素電極端部の段差をなくすることが求められる。

そこで、表面の平坦性が高いn型単結晶Si基板表面部に、縮退した微小な p^+ 領域を形成し、その p^+ 領域を画素電極とする新電極構造を用いた。その断面構造を図5(a)に示す。 p^+ 領域は、n型Si基板に一

定の加速電圧でBをイオン打ち込みした後、熱拡散を行って形成する。したがって、 p^+ 領域の端部は、イオン打ち込みの深さ程度の曲率半径をもつ滑らかな曲面になり、電界集中の大幅な抑制が期待できる。また、画素電極形成後の表面は、金属画素電極を用いた場合に比べてはるかに平坦性が高いと考えられる。以下、この画素電極を拡散層画素電極と呼ぶことにする。

n型基板と p^+ 領域間に適当な逆バイアス電圧 V_R をかけて、隣合う画素電極間隙を空乏化し、光導電膜を走行してきた正孔を、基板に逃すことなく効率良く p^+ 領域に収集蓄積できるようにドーピングプロファイル設計した。

電極端部での電界集中抑制の効果を調べるために、図5(a)、(b)に示した電極構造について電界強度分布の計算を行った。画素ピッチは $2.5 \mu\text{m}$ とした。金属画素電極の構造(b)は、Si基板の上に膜厚 $0.2 \mu\text{m}$ の SiO_2 絶縁層を形成し、その上に、電極膜厚 $0.2 \mu\text{m}$ 、電極間隙 $0.3 \mu\text{m}$ の金属膜画素電極を形成した場合とし、非晶質Se膜上面は平坦であると仮定した。両電極構造において、光導電膜は、膜厚 $1 \mu\text{m}$ 、比透電率6.3の非晶質Seのみとした。電圧は、光導電膜印加電圧 $V_T=140 \text{ V}$ 、n基板と p^+ 領域間の逆バイアス電圧 $V_R=5 \text{ V}$ とし、数値計算時の空間メッシュ幅は 20 nm とした。

図6に画素電極端部の電界計算の結果を示す。金属画素電極では、非晶質Se膜内の電界集中が起きていない領域での電界 $1.4 \times 10^6 \text{ V/cm}$ に対して、電極端部で最高 $2.4 \times 10^6 \text{ V/cm}$ となっており、1.7倍の電界集中となる。一方、拡散層画素電極では、電極端部での最高電界は $1.54 \times 10^6 \text{ V/cm}$ で、電界集中の度合いは1.1倍にまで軽減している。このように拡散層画素電極は、表面が平坦でかつ画素電極端部での電界集中が抑制された構造であることがわかる。

次に、この構造の1次元拡散層画素電極基板、および1次元金属画素電極基板を用い、図1に示した構造

図5 電界計算をした電極および膜の断面構造
Structural model of pixel electrode for electric field simulation.

図 6 光導電膜電界強度の計算結果
Calculated electric field in the vicinity of the edge of pixel electrodes.

図 7 光電流および暗電流の電圧依存性
Photo current and dark current versus applied voltage.

の光導電膜 (LiF ドープ層厚 $0.06 \mu\text{m}$, As_2Se_3 層厚 $0.15 \mu\text{m}$) を堆積した試料で、アバランシェ増倍動作を試みた。2600 本の 1 次元画素電極を一端で共通とした櫛形構造にして、直流電流を測定した。

1 次元拡散層画素電極基板を用いたときの、光導電膜印加電圧と光電流、暗電流の関係を図 7 に示す。電界集中を抑制したことにより、暗電流は、150 V の高電圧印加時でも、約 $1 \times 10^{-8} \text{ A/cm}^2$ におさまっている。この値は、n 型 Si 基板上に光導電膜を堆積した試料に近い値である。図に示す最大印加電圧 152 V で光電流のアバランシェ増倍率は約 10 倍に達している。一方、金属画素電極基板を用いた場合は、印加電圧 100 V 以下で光導電膜の破壊が起り、アバランシェ増倍動作に至らなかった。

4. 非晶質 Se 光導電膜積層 MOS 型 1 次元センサの試作

走査回路を伴った 1 次元拡散層画素電極上に非晶質

図 8 1 次元センサの構成概略図
Schematic diagram of the a-Se stacked linear sensor.

Se 光導電膜を積層した構成の 1 次元センサを試作し、アバランシェ増倍動作を試みた。1 次元センサの構成概略を図 8 に示す。受光部は、 $2.5 \mu\text{m}$ ピッチ、2600 ラインの画素電極上に光導電膜と $3 \text{ mm (V)} \times 4.5 \text{ mm (H)}$ の透明電極が積層された構造である。 $2.5 \mu\text{m}$ ピッチは、2 次元に構成すると 3 分の 2 インチサイズで 800 万画素の精細度に相当する。走査部は、容量帰還型増幅器、CDS 回路 (相関二重サンプリング回路)¹⁶⁾、シフトレジスタからなる MOS 型走査回路とした。走査回路は上下に設け、各走査回路毎に 2 段のシフトレジスタと 2 本の出力線に設けることで、37 MHz の駆動周波数で、等価的に 150 MHz のデータレートでの読出しを可能としている。これら走査部は $0.8 \mu\text{m}$ の CMOS プロセスにより作成した。

透明電極を一定電位 ($\sim 160 \text{ V}$) に保ち、 p^+ 領域から成る画素電極の電位を蓄積期間毎にリセット電位 1.2 V にリセットする。蓄積期間中、光導電膜内で生成増倍された正孔は、画素電極に蓄積される。これに伴い画素電極電位が上昇し、光導電膜の電界は低下していく。 p^+ 領域から成る画素電極の電位が基板電位 5 V より上昇すると、光導電膜からの正孔は隣接画素や基板に逃げてしまう。

表1 走査回路の特性
Characteristics of scanning circuit.

走査法	74 MHz 順次
増幅器雑音	23 電子/30 MHz (入力電子数換算値)
飽和信号電荷	7.5×10^4 個
消費電力	150 mW 以下

写真1 出力信号波形
Output signal of the liear sensor.

図9 出力信号電圧対光導電膜印加電圧
Output signal versus applied voltage of photoconductive film.

蓄積電荷は水平帰線期間内に容量帰還型増幅器により電圧変換された後、CDS 回路で増幅器雑音を抑圧し、水平走査期間にシフトレジスタにより順次信号が読出される。走査部の特性の評価結果を表1に示す。

写真1は、本素子のオシロスコープで観測した出力

信号波形の一例である。暗時、および受光面の一部分にスポット状の光を照射した時の信号波形を示してある。光照射により出力電圧が変化している様子がわかる。暗時の信号むらは、アンプ調整が不十分なためと考えている。

図9に、一定光量を照射したときの素子の出力信号電圧と光導電膜印加電圧（透明電極印加電圧）の関係を示す。白丸が波長 500 nm の光を照射したときの出力信号電圧換算値、黒丸が暗時の出力電圧である。約 100 V 以上ではアバランシェ増倍によって信号が急激に大きくなるので、ND フィルタで適宜光量を落として測定した。暗時の出力電圧が立ち上がる、数 V 手前でアバランシェ増倍率が 20 を超えており、高増倍率のアバランシェ増倍動作が確認できた。暗出力の立ち上がりは図2からわかるように、アバランシェブレイクダウンの直前で起ることから、印加電圧の最高値 160 V は、光導電膜のアバランシェブレイクダウン電圧に近い値に達していることがわかる。

5. む す び

非晶質 Se 光導電膜の両側に電界緩和層を導入することで、光導電膜における暗電流密度を大幅に低減した。また、拡散層画素電極構造を用いることにより、走査回路基板表面を平坦とし、画素電極端部を緩やかな形状として電界集中を最小限に抑制することで、光導電膜でのアバランシェ増倍動作を実現した。

この技術を用いて、非晶質 Se 光導電膜積層 1 次元センサを試作し、走査回路上に積層した光導電膜において、はじめて光電流のアバランシェ増倍現象を確認し、その増倍率は 20 倍を超えた。

本研究は、アバランシェ増倍現象を 2 次元イメージセンサに適用することを目標としている。ここで述べた拡散層画素電極構造を適用した 2 次元走査回路基板として以下の構造を構想している。単結晶 Si 基板の一方の面上に MOS 型走査回路を形成し、他の面上に前述の拡散層画素電極アレイを形成し、拡散層画素電極と走査回路の MOS スイッチのソース電極とを接続する。接続の方法は、例えば、イオン打ち込み熱拡散法を用いて、基板裏面まで貫通する深い円筒形状をした低抵抗不純物添加領域を用いることが考えられるが、これには新しいプロセス技術の開発が必要である。

最後に、走査回路の設計、評価をして頂いた当研究所 秋元肇氏、波多江博氏、日立デバイス 佐野聡明氏、千ヶ崎英夫氏、および走査回路の作製をして頂いた当研究所 ULSI 研究部プロセスインテグレーション

センタ長の久礼得男氏，ならびに同センタの関係各位
に心から感謝いたします。

〔参 考 文 献〕

- 1) K. Tanioka, et al.: "An Avalanche-Mode Amorphous Selenium Photoconductive Layer for Use as a Camera Tube Target", IEEE Electron Device Letters, **EDL-8**, 9, pp. 392-394 (Sep. 1987)
- 2) K. Tuji, et al.: "Ultra-High-Sensitive Image Pickup Tube Using Avalanche Multiplication in an a-Se", Mat. Res. Soc. Symp. Proc., **219**, p. 507 (1991)
- 3) 安藤ほか: "積層型 AMI", テレビ学技報, **14**, 74, pp. 7-11 (1989)
- 4) 宮川ほか: "固体撮像素子表面の超平坦化技術", 信学春季大, C-545 (1993)
- 5) 菅原ほか: "非晶質セレン積層型 2/3 インチ 25 万画素 AMI", 1989 年テレビ全大, p. 41 (1989)
- 6) 中野ほか: "非晶質 Se と金属の接合特性", 第 41 回応物春季予稿集, No. 2, p. 798 (1994)
- 7) E. Maruyama and T. Hirai: "Physical Aspect in Amorphous Image Devices", J. Non-Crystalline Solides, **59-60**, pp. 1247-1254 (1983)
- 8) T. Ohshima: "A Rotational Co-evaporation Technique

- for Epitaxial Growth of CuInSe_2 Thin Films on GaAs", Journal of Crystal Growth, **142**, pp. 332-338 (1991)
- 9) K. Tuji, et al.: "Avalanche Phenomenon in Amorphous Selenium", Optoelectronics-Devices and Technologies, **9**, 3, pp. 367-378 (Sep. 1994)
 - 10) E. Maruyama: "Amorphous Built-in-Field Effect Photoreceptors", Jpn. J. Appl. Phys., **21**, 2, pp. 213-223 (Feb. 1982)
 - 11) Y. Takasaki, et al.: "Gap states in doped Amorphous Selenium", J. Phys. Soc. Japan, **49**, pp. 1159-1162 (1980)
 - 12) Y. Takasaki, et al.: "Molecular doping in Amorphous Selenium", Journal of Non-Crystalline Solides, **59 & 60**, pp. 949-952 (1983)
 - 13) J. M. Marshall and A. E. Owen: "Drift Mobility Studies in Vitreous Arsenic Triselenide", Phil. Mag., **24**, p. 1281 (1971)
 - 14) J. Schottmiller, et al.: "The Effect of Valency on Transport Properties in Vitreous Binary Alloys of Selenium", Journal of Non-Crystalline Solides, **4**, pp. 80-96 (1970)
 - 15) 谷岡ほか: "アバランシェ増倍 a-Se 光導電膜を用いた高感度 HARP 撮像管", テレビ誌, **44**, 8, pp. 1074-1083 (1990)
 - 16) Carlo H. Sequin and Michael F. Tompsett: "Charge Transfer Devices", pp. 123-125, Academic Press, Inc., New York, San Francisco, London (1975)

なかの やすし
中野 泰

1991 年，早稲田大学応用物理学科修士課程修了。同年，(株)日立製作所中央研究所に入社。非晶質半導体薄膜ならびに，撮像デバイスの研究に従事。同研究所研究員。正会員。

おがさわ としふみ
尾崎 俊文

1978 年，東京大学応用物理学科修士課程修了。同年，(株)日立製作所中央研究所に入社。水平走査 CCD 型 MOS，列増幅型 MOS，インターライン型 CCD 等の固体撮像素子の研究に従事。同研究所主任研究員。正会員。

さきむら けんじ
鮫島 賢二

1981 年，長崎工業高等学校電子工学科卒業。同年，(株)日立製作所に入社。中央研究所に勤務し，現在に至る。入社以来，撮像管ターゲットを主とする撮像デバイスの研究開発に従事。

たなか はるひこ
田中 治彦

1984 年，東京大学応用物理学科より工学博士号取得。同年，(株)日立製作所中央研究所に入社。0.8 μm プロセス・デバイス，4 MbDRAM プロセスの研究等を経て，固体撮像素子プロセスの研究に従事。現在，同研究所主任研究員。

つじ かずたか
辻 和隆

1983 年，九州大学大学院理学研究科修士課程修了。同年，(株)日立製作所中央研究所に入社。非晶質半導体ならびにその撮像デバイス応用の研究に従事。現在，同所電子デバイス研究部主任研究員。理学博士。正会員。

ひらい ただき
平井 忠明

1957 年，九州大学理学部物理学科卒業。同年，(株)日立製作所中央研究所に入社。以来，主としてアモルファス半導体薄膜，ならびに光導電型撮像デバイスの研究開発に従事。1994 年より，(株)日立デバイスエンジニアリングに勤務。正会員。

たきぐち よしろう
瀧口 吉郎

1991 年，早稲田大学理工学部電子通信学科卒業。同年，NHK に入局。同放送技術研究所に勤務し，現在に至る。高感度撮像デバイスの研究に従事。正会員。

やまぐち じゅんいち
山崎 順一

1977 年，北海道大学工学部電子工学科卒業。同年，NHK に入局。福島放送局制作技術局を経て，1983 年より，同放送技術研究所に勤務し，現在に至る。光電変換デバイス，固体撮像デバイスの研究に従事。正会員。

たにがuchi けんきち
谷岡 健吉

1966 年，高知工業高等学校電気科卒業。同年，NHK に入局。高知放送局を経て，1976 年より，同放送技術研究所に勤務し，現在に至る。高感度撮像デバイスの研究に従事。工学博士。正会員。