イメージセンサ上での動画像圧縮 — 画素並列構成による新しい設計と試作 —

正会員 相澤清晴[†], 正会員 江木雄一郎[†], 学生会員 浜本隆之[†],
正会員 羽鳥光俊[†], 正会員 丸山裕孝^{††}, 正会員 大竹浩^{††},
正会員 瀧口吉郎^{††}, 正会員 阿部正英^{††}

New Design and Implementation of On Sensor Compression Chip Based on Pixel Parallel Architecture

Kiyoharu Aizawa[†], Yuichirou Egi[†], Takayuki Hamamoto[†], Mitsutoshi Hatori[†],
Hirotaka Maruyama^{††}, Hiroshi Otake^{††}, Yoshiro Takiguchi^{††} and Masahide Abe^{††}

あらまし 本論文では、イメージセンサ上での即時動画像圧縮のための新しいセンサの設計・試作について論じる。画像圧縮をセンサ上で実装するための2つの構成法（画素並列，列並列処理）を比較し，画素並列処理に基づく新しい設計，試作を述べる。ここでは，レート制御，有意画素の選択的読出しという圧縮に必要な機能がすべて実装されている。

1. ま え が き

本論文では、イメージセンサ上での動画像圧縮のための新しいセンサの設計，試作，実験について論じる。センサ上で適切な画像圧縮を施すことができれば，センサの出力自体のレートが低減されることから，信号転送のボトルネックを解消し，高精細画像，高フレームレート画像などの取得を容易にしようと考えられる。

本論文では，条件付画素補充に基づく画像圧縮をセンサ上のアナログ処理回路で実現するための2つのセンサ構成手法（画素並列型構成，列並列型構成）について述べ，そのうち画素並列構成に関して，画素内処理回路，センサ構成の設計，試作 VLSI チップについて述べる。画素並列構成に関しては，これまでもその

設計・試作を発表してきた¹⁾²⁾。本論文では，新しい設計・試作を報告する。この新しい設計では，画素内でのアナログ処理回路，およびセンサ全体の構成を再設計し，消費電力の低減などの改善が図られている。さらに，レート制御，画素の選択読みだしという圧縮に必要な機能がすべてセンサアレイとともに実装されている³⁾⁴⁾。

2. センサ上での画像圧縮

動画像圧縮方式として，条件付画素補充方式を用いる。この方式は，もともとディジタル圧縮の研究の初期に簡便に実装できる方式として検討された。本研究では条件付画素補充方式をアナログ処理で実現し，イメージセンサ上に統合する。条件付画素補充方式は，

キーワード：コンピュータショナルセンサ，スマートセンサ，動画像圧縮，条件付画素補充

1996年7月，テレビジョン学会年次大会に発表

1996年10月30日受付，1996年12月2日再受付

[†] 東京大学 工学部 電子情報工学科 (〒113 東京都文京区本郷 7-3-1, TEL 03-3812-2111)

^{††} NHK 放送技術研究所 (〒157 東京都世田谷区砧 1-10-11, TEL 03-5494-2278)

[†] University of Tokyo (7-3-1, Hongo, Bunkyo-ku, Tokyo 113, Japan)

^{††} NHK Science and Technical Research Laboratories (1-10-11, Kinuta, Setagaya-ku, Tokyo 157, Japan)

各画素毎の処理の独立性が高く、並列処理に適する。各画素内処理の複雑さは低く、センサでの実装にふさわしい。なお、通常画像で、おおむね 1/10 程度の圧縮が可能である。

条件付画素補充方式では、フレームメモリと比較し変化の大きい画素を抽出し、その画素値を送出する。具体的には、図 1 に示すように各画素にメモリと比較器を設け、メモリに記憶した過去の画素値と現在の画素値とを比較して、差の絶対値がある値（閾値）以上の場合のみ、その画素値とアドレスを出力する。画素値を出力した場合、そのメモリを更新する。これにより、信号変化の小さい画素は過去のデータがそのまま用いられ、信号が出力されない。なお、閾値以上の差となった画素を有意画素と呼ぶこととする。条件付画素補充方式では、有意画素の画素値は現在のセンサ出力そのもので置き換えられるために誤差の蓄積はない。

さらに、レートコントロールのためには、有意画素数を目標値に近付けるようなフィードバックをかけ、閾値を動的に制御することにより、出力レートを各フレーム毎に一定にすることができる。

3. 動画像圧縮センサの構成法

動画画圧縮センサは、フォトダイオードからなる受光部、前画素値を保持するメモリ一部、比較器からなる処理部により構成される。圧縮センサの計算処理の実現形態としては、画素並列構成と列並列構成が考えられる。

画素並列構成では、画素毎に処理部を有し、処理は画素独立に行う。このため、センサ面上での画像の2次元性を最大限に活用した並列処理が可能となるが、各画素毎の演算処理の実装のために、一般的なCMOSプロセスの下では、受光開口率の低下は免れない。

列並列構成の場合、処理部を列毎に配置する。同一列内の画素は処理部を共有し、行単位での処理を行う。受光部を分離して配置するため、開口率は犠牲にならない。また、消費電力の観点からも演算部を共有する

図2 1画素分の回路
Analog processing circuit of a pixel.

ことで、大幅な低減が期待でき、多画素化に適している。ただし、演算が列並列となるため、画素並列構成に比して処理速度は犠牲になる。

現在、両構成法についての検討を進めている。画素並列方式については、その第一次の設計・試作を文献 1) 2) に報告した。そこでは、主として、条件付画素補充方式の実現に必要な動き検出の設計・試作・検証を行った。本論文では、次節に述べるように、新しい設計に基づく画素並列方式の第二次試作、評価を述べる^{3) 4)}。この第二次設計・試作では、センサアレイ上に圧縮に必要なすべての機能を統合している。なお、列並列構成に関して進めている設計、試作に関しては、文献 5) にて論じている。

4. 新しいセンサチップの設計・試作

第二次試作では、設計を全面的に新しくし、

- ・画素内回路の素子数の削減，消費電力の低減
- ・レート制御用フラグ集計回路の実現
- ・有意画素の選択走査回路の実現

- が図られている.

- 図 2 に、1 画素分の画素内処理図

力は初段のサン

に記憶される。キャパシタ C_2 はローカルデコーダとしてのメモリーであり、差動増幅器以降の回路が C_1 と C_2 の値を比較し、その差が大きい場合フラグを出力する。その閾値はインバータを介してフラグ出力を得る。判定の閾値は、電圧 V_{th} により制御できる。

なお、上記設計により、画素内の処理回路のトランジスタ数は 33 であり、第一次試作の 45 に比べ大幅に削減された。また、電源電圧も第一次試作の 7V から 5V へと下げている。これらの工夫により消費電力の低減を図った。

図 3 はセンサの全体構成である．通常の順次読出しと有意画素のみの選択読出しとの両方が可能なように

図中 (a) に示すように投影像は良好に撮像されている (ただし、図では画素からの出力を直接表示しているため白黒が反転している)。また、(b)(c)(d) にフラグ出力 (白) を示す。それぞれ、T の字の点滅、水平移動、垂直移動時のフラグ出力である。それぞれの場合において、変化したところだけフラグが生じており、動きに応じたフラグ出力も適切であることが確認できる。なお、本来、フラグの出力されない背景部分に孤立的に生じているフラグは、画素欠陥やキャパシタンスメモリーのリークなどに起因した誤検出と思われる。なお、試作したセンサは、1000 フレーム/秒の速度での動作を確認している。

6. む す び

本研究は、動画像圧縮と画像取得の統合という新しい試みである。圧縮を統合することにより、撮像性能の高ピクセルレート化を図ることができる。本論文では、その実現のための2つの構成法を述べ、画素並列

構成に基づく新たな設計、試作、評価を述べた。この設計では、画像圧縮に必要な機能である動き検出、有意画素の選択走査回路、レート制御のためのフラグ集計回路、フラグのアドレスエンコードがチップに搭載されている。現在、レート制御を含めたさらなる評価を継続中である。

【参 考 文 献】

- 1) 大野, 浜本, 相澤, 羽鳥, 山崎, 丸山: 動画像圧縮イメージセンサの試作評価, 1995 信学総大, No.SD-8-7 (Mar. 1995)
- 2) 相澤, 大野, 江木, 浜本, 羽鳥, 丸山, 山崎, 大竹, 小林, 大久保, 阿部: 動画像圧縮イメージセンサ, テレビ誌, 50, 2 (Feb. 1996)
- 3) 江木, 相澤, 羽鳥, 丸山, 大竹, 山崎, 阿部: 新しい動画像圧縮センサの回路設計と試作, テレビ年次大, pp.37-38 (July 1996)
- 4) 丸山, 瀧口, 山内, 大久保, 山崎, 阿部, 江木, 元木, 相澤: 新しい動画像圧縮センサの検証と機能評価, テレビ年次大, pp.39-40 (July 1996)
- 5) 浜本, 相澤, 羽鳥: 画像圧縮と強調のためのコンピュータショナルイメージセンサ, 第9回回路とシステムシンポジウム, pp.347-352 (Apr. 1996) (本論文特集に研究速報として掲載)

あいざわ きよはる
相澤 清晴 1983 年, 東京大学工学部電子工学科卒業。1988 年同大学大学院博士課程修了。工博。現在同大学電子情報工学科助教授。画像の符号化/処理, 画像取得手法, コンピュータショナルセンサなどの研究に従事。工学博士。正会員。

え ぎ ゆういちろう
江木雄一郎 1994 年, 東京大学工学部電気工学科卒業。96 年, 同大学院修士課程修了。在学中, コンピュータショナルセンサの研究に従事。正会員。

はまもと たかゆき
浜本 隆之 1992 年, 東京理科大学工学部電気工学科卒業。1994 年, 同大学修士課程修了。現在, 東京大学大学院博士課程在学中。コンピュータショナルセンサの研究に従事。学生会員。

はとり みつとし
羽鳥 光俊 1963 年, 東京大学工学部電気工学科卒業。1968 年同大学大学院博士課程修了。現在, 同大学電子情報工学科教授。通信方式, 放送方式, 適応信号処理, 画像通信, 移動通信, 光通信, ケーブルテレビなどの研究に従事。工学博士。正会員。

まるやま ひろたか
丸山 裕孝 1985 年, 電気通信大学大学院電子工学専攻修士課程修了。同年, NHK に入局。青森放送局を経て, 1988 年より, 同放送技術研究所に勤務し現在に至る。固体撮像デバイス, 半導体デバイスの研究に従事。正会員。

おおたけ ひろし
大竹 浩 1982 年, 東京工学院専門学校テレビ放送工学科卒業。同年, NHK 入局。放送技術研究所イメージデバイス研究部に勤務し, 現在に至る。固体撮像デバイス, 半導体デバイスの研究に従事。正会員。

たきぐち よしのり
瀧口 吉郎 1991 年, 早稲田大学理工学部電子通信学科卒業。同年, NHK に入局。放送技術研究所にて, 光電変換膜および高機能撮像素子の研究に従事。現在イメージデバイス研究部に所属。正会員。

あべ まさひで
阿部 正英 1969 年, 東京大学工学部電子工学科卒業。NHK 入局後, 宮崎放送局を経て, 放送技術研究所に勤務。現在, 同所にて画像用 LSI, 固体撮像素子の研究開発に従事。正会員。