フローティングゲート MOS を用いた Resistive Fuse の実装

Implementation of Resistive Fuse with Floating Gate MOS Transistors

澤地 利明[†], 正会員 坂井 丈泰^{††}, 学生会員 永井 宏昌[†], 正会員 松本 隆[†]

Toshiaki Sawaji[†], Takeyasu Sakai^{††}, Hiromasa Nagai[†] and Takashi Matsumoto[†]

Abstract Resistive fuses are necessary for implementing a weak string filter which can smooth out noise while detecting and preserving step edges inherent to original data. This paper describes the implementation of a resistive fuse using two pairs of floating gate MOS transistors achieved by a standard double poly CMOS process.

キーワード ビジョンチップ, インテリジェントセンサ, エッジ検出, ラインプロセス, フローティングゲート

1. ま え が き

ビジョンチップ¹⁾²⁾⁶⁾¹⁶⁾と呼ばれるパラダイムは、フォトセンサアレイに隣接させて信号処理回路アレイを配置した画像処理チップを意味することが多く、並列処理を行うことから、既存の画像処理システムである独立したセンサ、プロセッサ間のシリアル転送によるボトルネックが解消され、画像入力の高レート化が期待できる。データに含まれる雑音を除去し、なおかつ、内在するエッジを保存可能なフィルタとして weak string フィルタ（付録 A 参照）があり³⁾、その並列アナログ回路による実現は図 1 のように与えられる。電流源 $\{u_k\}$ が入力画像（ここでは 1 次元として考える）に対応し、並列に接続された非線形抵抗は図 2 に示される特性をもつ。具体的には、その電圧・電流特性が

$$i = g_T(v) := \frac{\lambda_s v}{1 + e^{-(\lambda_l - \lambda_s v^2)/T}} \quad (1)$$

で与えられる素子であり（パラメータの意味は付録参照）、 T が有限であれば図 2 の滑らかな曲線、そして $T \rightarrow 0$ の極限では不連続な直線の組合せとなる。後者の場合、 $|v| \leq \sqrt{\lambda_l/\lambda_s}$ で線形抵抗、そしてそれ以外では電流がまったく流れないので resistive fuse の名がある。直感的には、画像にエッジが内在していない場合は通常の線形平滑化を

図 1 resistive fuse を用いた並列抵抗網
Parallel network with resistive fuse

行い、エッジが内在している場合には g_T を流れる電流を切って平滑化をやめ、エッジを保存しようとするフィルタといえる。

これと等価なフィルタアルゴリズムをデジタルプロセッサで実行することは可能であるが、例えば画素数が 10000 あれば 10000 次元の結合非線形微分方程式の安定平衡点を計算することになり、極端に長い計算時間を要する。アナログトランジスタ回路で実行すれば、計算時間はトランジスタの寄生容量による過渡現象のみであり、これはせいぜい数 μs 以下である。図 3 に weak string フィルタおよび線形抵抗フィルタのシミュレーション結果を示す。

アナログ回路で weak string フィルタを実現するためには、resistive fuse の実装が最重要ポイントとなる。我々はこの resistive fuse をフローティングゲート付きの MOS トランジスタ（付録 B 参照）4 個で実現する回路を提案し、ディスクリット素子による実験の結果を報告した¹³⁾。本論文の目的は、この回路のチップ化とその測定結果の報告をすることである。

なお、MOS トランジスタによる実装なので、(1) 式の解析的表現が実現されるわけではなく、正確には (1) 式に「かなり近い特性が実現できる」というべきかも知れない。付

1997 年 3 月 17 日, 電子情報通信学会ニューロコンピューティング研究会, および 1997 年 4 月 21 日, 電子情報通信学会回路とシステム軽井沢ワークショップに発表

1997 年 7 月 30 日受付, 1997 年 10 月 13 日再受付, 1997 年 11 月 4 日採録
† 早稲田大学 理工学部 電気電子情報工学科

(〒169-8555 東京都新宿区大久保 3-4-1, TEL 03-5286 3377)

†† 運輸省 電子航法研究所

(〒181-0004 三鷹市新川 6-38-1, TEL 0422-41-3194)

† Department of Electrical, Electronics and Computer Engineering, Waseda University

(3-4-1, Ohkubo, Shinjuku-ku, Tokyo 169-8555, Japan)

†† Electronic Navigation Research Institute, Ministry of Transport
(6-38-1, Shinkawa, Mitaka-shi, Tokyo 181-0004, Japan)

図2 resistive fuseの $I-V$ 特性
 $I-V$ characteristics of resistive fuse.

図3 Weak string フィルタのシミュレーション結果
Simulated result of the weak string filter.

録Aに weak string フィルタの、そして付録Bにフローティングゲート MOS トランジスタの比較的詳しい説明を述べる。

2. 回路構成

Harris⁴⁾が発明した resistive fuse は 33 個のトランジスタを必要とした。Yu ら¹⁷⁾は 4 個のトランジスタで構成された回路を提案したが、デプレッションモードのトランジスタを必要とし、また $I-V$ 特性を外部から制御することは不可能であった。このことは、図2において、 $\sqrt{\lambda_l/\lambda_s}$, $\sqrt{\lambda_l\lambda_s}$ の値を制御できないことを意味する。

我々の提案する回路は図4の通りであり、2ゲートのフローティングゲート MOS トランジスタを NMOS, PMOS それぞれ 2 個ずつ用いている。基本的な動作原理は Yu らの回路と同じであるが、 $I-V$ 特性を外部から制御できる

図4 2対のフローティングゲートで構成された resistive fuse
Resistive fuse with two pairs of floating gate MOS transistors.

とともに、標準的なポリ 2 層プロセスにより作ることができる点が異なる。つまり、 V_{bias}^n と V_{bias}^p に電圧を与えることにより、図4のトランジスタをデプレッションモードにすることができ、さらに同じく V_{bias}^n と V_{bias}^p により、 $\sqrt{\lambda_l/\lambda_s}$, $\sqrt{\lambda_l\lambda_s}$ の値を制御することも可能である。

動作原理を説明するために、図4の左半分の回路を取り出して考える (half fuse, 図5, 点線はバルクへの接続である)。 $v_m = 0$ を保ちながら $v_{in}^+ > 0$, $v_{in}^- < 0$, $|v_{in}^+| = |v_{in}^-|$ として、 v_{in}^+ が増大し、 v_{in}^- が減少すると仮定する (この仮定により一般性が失われることはない)。このとき、 M_p^+ は V_{bias}^p によりデプレッションモードになっているため、 v_{in}^+ の増大 (および v_{in}^- の減少) につれて、ドレイン・ソース間電流は増大する。さらに v_{in}^+ が増大していくと、ゲート C_1 にかかる電圧により M_p^+ が飽和状態でなくなり、ドレイン・ソース間電流は次第に減少し、ついには流れなくなってしまう。 M_n^+ についても同様な動作をする。 V_{bias}^n と V_{bias}^p に対してスレッシュド電圧および電流 I は以下のように表される。

$$\begin{aligned} V_T^n &= V_{T(0)}^n - \frac{C_2^n V_{bias}^n}{C_{ox}^n + C_1^n + C_2^n}, \\ V_T^p &= V_{T(0)}^p - \frac{C_2^p V_{bias}^p}{C_{ox}^p + C_1^p + C_2^p}, \end{aligned} \quad (2)$$

$$I = \begin{cases} k(-\frac{3}{4}V + V_T^n)V, & V < V_T^n \\ k(-\frac{1}{2}V + V_T^n)^2, & V_T^n \leq V < 2V_T^n \\ 0, & 2V_T^n \leq V \end{cases}$$

ここで、 $V_{T(0)}^n$ と $V_{T(0)}^p$ は $V_{bias}^n = V_{bias}^p = 0$ のときのスレッシュド電圧である。なお、 $v_{in} < 0$ としたとき half fuse は正バイアスのダイオードに似た特性を示す。

我々の提案する回路 (図4) は図5の回路を向きを変えて直列接続したものである。図4において $V_{in}^+ > V_{in}^-$ のときは左側の half fuse が動作し、 $V_{in}^+ < V_{in}^-$ のときは右側の half fuse が動作することにより図2のような特性を示す。

3. 実装および評価

2.0 μ m, ポリ 2 層, メタル 2 層の CMOS プロセスを用

図5 図4の左半分を取り出した回路 (half fuse)
Left half of a fuse(half fuse).

表1 各ゲートのサイズ
Gate sizes.

	floating gate	W/L(μm)/(μm)	
		input gate	
		G ₁	G ₂
NMOS	2.90/2.80	41.7/20.7	41.7/41.4
PMOS	2.90/3.00	41.7/20.7	38.4/38.4

表2 ゲート間の設計容量
Designed capacitances.

	C ₁ (fF)	C ₂ (fF)
NMOS	500	1000
PMOS	500	850

い、ポリの第1層をフローティングゲートとした。表1にフローティングゲートおよび各インプットゲートのサイズを示す。表2は各インプットゲートとフローティングゲート間の設計容量である。図6はチップ写真である。

図7に測定結果を示す。バイアス条件は $V_{bias}^n = 4.00, 4.46, 5.10, 5.80V$ である (V_{bias}^p は一定値で、 $-5.09V$)。

Resistive fuse の特性が実現されているばかりでなく、バイアス電圧を調整することにより特性を変えられることがわかる。

直流特性のみを問題にした理由は、1章で述べたように、この論文で用いる手法では、計算時間(処理時間)はトランジスタの寄生容量による過渡現象のみであり、せいぜい数μs であることによる。したがって、ここで考えているようなビジョンチップと呼ばれるアーキテクチャでは大雑把に言えば処理時間は画素数が増えても増加しない⁷⁾。フィルタ規模の限界は、基本的には各画素(resistive fuse)の大きさで決まるといってよいであろう。

図6 チップ写真
Chip die photo.

図7 I-V特性の測定結果
Measured I-V characteristics.

4. 考察

図7を見るとわかるように、 $I-V$ 特性は完全に対称にはならない。この非対称性が weak string フィルタに致命的影響を与えることは考えにくい⁸⁾が、resistive fuse の両端にかかる電位差が同じであっても、左右の電位を入れかえると結果が異なり得ることを意味する。この非対称性の原因は以下のように説明できる。

図5において、NMOSを例にとると、そのスレッショルド電圧 V_T^n は次の式

$$\begin{aligned}
 V_T^n &= V_{T(0)}^n + \gamma \left[\sqrt{V_{sb} + 2\phi_F} - \sqrt{2\phi_F} \right] \\
 &= V_{T(0)}^n + \gamma \left[\sqrt{v_m - V_{SS} + 2\phi_F} - \sqrt{2\phi_F} \right] \quad (3)
 \end{aligned}$$

図 8 トンネル電流を用いる際の resistive fuse.
Resistive fuse using tunnel current.

で与えられる。ただし、 $V_{T(0)}^n$ は body effect がない場合のスレッシュホールド電圧、 γ は body effect 係数、そして ϕ_F はフェルミポテンシャルである。(3) 式は v_m の関数になっていることから、図 4 において V_{in} が正の場合と負の場合とでは、スレッシュホールド電圧が異なることがわかる。すなわち、resistive fuse において $V_{in} > 0$ の場合、つまり左側の half fuse が動く場合と、 $V_{in} < 0$ の場合、つまり右側の half fuse が動く場合とでは、MOS のスレッシュホールド電圧の値が異なるので、完全に対称とはならない。

ところで、我々の提案した resistive fuse にはフローティングゲートにそれぞれ別個のバイアス電圧源を必要とするので、高集積化のためには問題を生じ得る。これに対する解決策として、EEPROM などに用いられるトンネル電流を用いる方法がある¹⁴⁾。この方法によれば、図 8 のように C_2 ゲートに電荷を注入（または放出）することによりフローティングゲートの電位を制御し、各トランジスタをデプレッションモードにすることができるため、バイアス電圧源が不要となることになる。この場合、電荷は個別のフローティングゲートに注入（または放出）する必要はなく、一度にすべてのフローティングゲート電位を制御することが可能である。

この他に言及すべき注意点として、フローティングゲートの初期電荷による影響がある。これはフローティングゲートに初期電荷が残っていることにより、スレッシュホールド電圧に変動を生じるものである。しかし、この問題を克服するために、リセット回路による手法を検討している⁸⁾¹²⁾。

5. む す び

Resistive fuse を 4 個のフローティングゲート MOS トランジスタで実現し、実験結果を報告した。実験に用いた集積回路はすべて設計通りに動作しており、我々の提案する回路構成により resistive fuse を実装し得ることが実証された。

今後の課題としては、resistive fuse を並列に多数並べた weak string フィルタの実現可能性の検討、さらにフォトセンサアレイを用意し、いわゆる vision chip としての高速

weak string フィルタの実現の検討等がある。

コメントやアドバイスをいただいた米津宏雄先生（豊橋技科大）、小林春夫先生（群馬大）に感謝します。

〔文 献〕

- 1) 松本隆, 小林春夫, 八木哲也: “ビジョンチップ [I]-アナログ画像処理用ニューロチップ”, 信学誌, **76**, 7, pp.783-791 (1993)
- 2) 松本隆, 小林春夫, 八木哲也: “ビジョンチップ [II・完]-アナログ画像処理用ニューロチップ”, 信学誌, **76**, 8, pp.851-858 (1993)
- 3) Blake A. and A. Zisserman: “Visual Reconstruction”, MIT Press, Cambridge, MA. (1987)
- 4) Harris J. G., C. Koch, J. Luo and J. Wyatt, Jr.: “Resistive fuses: Analog hardware for detecting discontinuities in early vision,” in “Analog VLSI Implementation of Neural Systems”, C. Mead and J. Ismail, Eds. Norwell, MA: Kluwer (1989)
- 5) Harris J. G., C. Koch and J. Luo: “A two-dimensional analog VLSI circuit for detecting discontinuities in early vision”, Science, **248**, pp.1209-1211 (1990)
- 6) Kobayashi H., T. Matsumoto, T. Yagi and T. Shimmi: “Image Processing Regularization Filters on Layered Architecture”, Neural Networks, **6**, 3, pp.327-350 (1993)
- 7) Kobayashi H., White J. L. and Abidi A. A.: “An Active Resistor Network for Gaussian Filtering of Images”, IEEE Journal of Solid-State Circuits, **26**, 5, pp.738-748 (1991)
- 8) Kotani K., T. Shibata and T. Ohmi: “Neuron-MOS Binary-Logic Circuits Featuring Dramatic Reduction in Transistor Count and Interconnections”, IEEE International Electron Devices Meeting, pp.431-434 (1992)
- 9) Lumsdaine A., J. L. Wyatt, Jr. and I. M. Elfadel: “Parallel Distributed Networks for Image Smoothing and Segmentation in Analog VLSI”, IEEE Proc. 28th Conference on Decision and Control pp.272-279 (1989)
- 10) Matsumoto T. and K. Kondo: “Realization of ‘Weak Rod’ by a Double Layer Parallel Networks”, Neural Computation, **6**, 5, pp.944-956 (1994)
- 11) Matsumoto T. and K. Kondo: “A Massively Parallel Resistive Network for ‘Weak Rod’: A Double Layer Architecture with Nearest Neighbor Connections”, Neural Networks, **9**, 3, pp.523-541 (1996)
- 12) 坂井丈泰, 永井宏昌, 松本隆: “フローティングゲート付差動増幅器のためのリセット回路について”, テレビ学技報, **20**, 55, pp.43-48 (1996)
- 13) 坂井丈泰, 澤地利明, 松本隆: “Resistive Fuse の ν MOS トランジスタによる実現”, テレビ誌, **50**, 6, pp.783-791 (1996)
- 14) 澤地利明: “Resistive Fuse with Four ν MOS Transistors and the Weak Rod Filter”, 早稲田大学, 修士論文 (1993)
- 15) Shibata T. and T. Ohmi: “A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations”, IEEE Trans. Electron Devices, **39**, 6, pp.1444-1455 (1992)
- 16) Shimmi T., H. Kobayashi, T. Yagi, T. Sawaji, T. Matsumoto and A. A. Abidi: “A parallel Analog CMOS Signal Processor for Image Contrast Enhancement”, Proc. European Solid State Circuits Conference, pp.163-166 (1992)
- 17) Yu P. C., S. J. Decker, H. Lee, C. G. Sodini and J. L. Wyatt: “CMOS Resistive Fuses for Image Smoothing and Segmentation”, IEEE J. Solid State Circuits, **27**, 4, pp.545-553 (1992)

〈付 録〉

A. Weak String フィルタ

Weak string フィルタは次の式を最小化する。

$$E(\mathbf{v}, \mathbf{l}; \mathbf{d}) := \lambda_f \|\mathbf{v} - \mathbf{d}\|^2 + \lambda_s \sum_{k=2}^n (v_k - v_{k-1})^2 (1 - l_k) + \lambda_l \sum_{k=2}^n l_k \quad (\text{付} \cdot 1)$$

ここで、 $\mathbf{v} := (v_1, \dots, v_n) \in \mathbf{R}^n$ はフィルタ出力， $\mathbf{d} := (d_1, \dots, d_n) \in \mathbf{R}^n$ は与えられた観測データであり， $\mathbf{l} := (l_2, \dots, l_n) \in \{0, 1\}^{n-1}$ はラインプロセスと呼ば

れる。ノイズを含んだデータ $\mathbf{d}$ が与えられたとき

$$\min_{\mathbf{v}, \mathbf{l}} E(\mathbf{v}, \mathbf{l}; \mathbf{d}) \quad (\text{付} \cdot 2)$$

とすることによって $\mathbf{d}$ に内在するエッジを検出・保存しながらノイズを除去することができる。(付・1) 式の最小化は2変数の積の項 $(v_k - v_{k-1})^2(1 - l_k)$ があり、また l_k は実数でなく binary なので簡単ではない。これを克服する方法は $\mathbf{l}$ を消去することであり、 $\mathbf{l}$ を含む項において $\mathbf{l}$ についての最小値をとることによって可能となる。

$$\begin{aligned} E^*(\mathbf{v}; \mathbf{d}) &:= \min_{\mathbf{l} \in \{0,1\}^{n-1}} E(\mathbf{v}, \mathbf{l}; \mathbf{d}) \\ &= \lambda_f \|\mathbf{v} - \mathbf{d}\|^2 \\ &\quad + \sum_{k=2}^n \min_{l_k \in \{0,1\}} [\lambda_s (v_k - v_{k-1})^2 (1 - l_k) \\ &\quad \quad \quad + \lambda_l l_k] \end{aligned} \quad (\text{付} \cdot 3)$$

$\mathbf{l}$ に関する最小化はおおのこの l_k について個別に行うことができる

$$E^*(\mathbf{v}; \mathbf{d}) = \lambda_f \|\mathbf{v} - \mathbf{d}\|^2 + \sum_{k=2}^n F(v_k - v_{k-1}) \quad (\text{付} \cdot 4)$$

ここで $F(v)$ は

$$F(v) = \begin{cases} \lambda_s v^2, & |v| \leq \sqrt{\lambda_l / \lambda_s} \\ \lambda_l, & |v| > \sqrt{\lambda_l / \lambda_s} \end{cases}$$

である。 $\mathbf{v}$ がすべての k において $|v_k - v_{k-1}| \leq \sqrt{\lambda_l / \lambda_s}$ を満たしているとき、 $\mathbf{v}$ は $\mathbf{d}$ に関して線形である。しかし、ひとつの k においてでも $|v_k - v_{k-1}| > \sqrt{\lambda_l / \lambda_s}$ を満たせば $F(v)$ を含む項は飽和してしまい、電流はまったく流れないことになる。これが “fuse” と呼ばれる由来である。

しかし、(付・4) 式を用いようとしても、 $F(v)$ は v に関して微分不可能であり、求解に gradient 型のアルゴリズムを適用できない。この困難を克服するため Lumsdaine らはマルコフ確率場の考えを導入し、 $\mathbf{l}$ を積分して消去することを試みた⁹⁾。

確率変数の組 $(\mathbf{v}, \mathbf{l})$ を考え、それらの結合確率分布がギブス分布に従うと仮定すると、次式が成り立つ。

$$P_T(\mathbf{v}, \mathbf{l} | \mathbf{d}) = \frac{1}{Z} e^{-E(\mathbf{v}, \mathbf{l}; \mathbf{d})/T} \quad (\text{付} \cdot 5)$$

ここで、 $E(\mathbf{v}, \mathbf{l}; \mathbf{d})$ は (付・1) 式で定義されたもので $T > 0$ を満たし、 Z は規格化定数である。このとき図 1 は weak string フィルタを実現していることになり、非線形素子である resistive fuse は次式のような特性を持つ (図 2 参照)。

$$g_T(\lambda_s, \lambda_l; v) = \frac{\lambda_s v}{1 + e^{-(\lambda_l - \lambda_s v^2)/T}} \quad (\text{付} \cdot 6)$$

そして任意の $T > 0$ に対してノード電圧分布 $\mathbf{v}$ はデータ $\mathbf{d}$ が与えられたときの周縁確率 $P_T(\mathbf{v} | \mathbf{d})$ を最大化する。なお、 $\mathbf{d} = \lambda_f \mathbf{u}$ とすれば図 1 と対応する。

付・図 1 フローティングゲート MOS の構造
Floating gate MOS structure.

B. フローティングゲート MOS トランジスタ

フローティングゲート MOS トランジスタ¹⁵⁾は付・図 1 のような構造を持つ。 G_f はフローティングゲートと呼ばれ、このような構造は標準的なポリ 2 層プロセスでつくることができる。ゲート G_k とフローティングゲート G_f の間の静電容量を C_k 、フローティングゲートと酸化層の間の静電容量を C_{ox} とし、フローティングゲートに初期電荷はないものとするば、フローティングゲートの電位 V_f は、電荷保存則により

$$C_{ox} V_f = \sum_{k=1}^n C_k (V_k - V_f)$$

が成り立つことから

$$V_f = \frac{\sum C_k V_k}{C_{ox} + \sum C_k} \quad (\text{付} \cdot 7)$$

のように得られる。フローティングゲートから見たこのトランジスタのスレッシュホールド電圧を V_T と書けば、 $V_f > V_T$ のときにトランジスタは ON となる。(付・7) 式の分母は定数であるから、 $\sum C_k V_k$ を変化させることにより、すなわち入力電圧の重みつき加算和によってトランジスタに流れる電流を制御することができる。

ゲート数 $n=2$ 、第 1 ゲートの電圧 $V_1=0$ と仮定する。すると

$$V_f = \frac{C_2 V_2}{C_{ox} + C_1 + C_2}$$

であるから、 $V_f > V_T$ であるためには

$$V_2 > \frac{C_{ox} + C_1 + C_2}{C_2} V_T$$

となればよく、このとき $V_1=0$ であるにもかかわらずトランジスタは ON となる。すなわち、第 1 ゲートから見たときスレッシュホールド電圧 V_{T1} が負であるから、このトランジスタはデプレッションモードで動作することになる。さらに、 $V_1 \neq 0$ のときは

$$V_f = \frac{C_1 V_1 + C_2 V_2}{C_{ox} + C_1 + C_2}$$

であり

$$V_1 > \frac{C_{ox} + C_1 + C_2}{C_1} V_T - \frac{C_2}{C_1} V_2 = V_{T1}$$

のときトランジスタは ON となる。つまり、第 1 ゲートのスレッシュホールド電圧 V_{T1} は第 2 ゲートに与える電圧 V_2 を変えることで任意に制御することが可能である。以上は NMOS トランジスタにおける議論であったが、PMOS トランジスタについてもまったく同様である。

さわ じ としあき
澤地 利明 1992 年、早稲田大学理工学部電気工学科卒業。1994 年、同大学大学院修士課程修了。同年、松下電器産業（株）入社。在学中は CMOS 回路設計の研究に従事。

さか い たけやす
坂井 丈泰 1994 年、早稲田大学理工学部電気工学科卒業。1996 年、同大学大学院修士課程修了。同年、運輸省電子航法研究所入所。在学中はビジョンチップによる画像処理などの研究に従事。正会員。

なが い ひろまさ
永井 宏昌 1996 年、早稲田大学理工学部電気工学科卒業。現在、同大学大学院修士課程在学中。ビジョンチップによる画像処理などの研究に従事。学生会員。

まつもと たかし
松本 隆 1966 年、早稲田大学理工学部電気工学科卒業。1970 年、ハーバード大学大学院・応用数学修士。1977 年～1979 年、カリフォルニア大学バークレー・電気工学-計算機科学研究員。現在、早稲田大学理工学部電気電子情報工学科教授。分岐とカオス、非線形時系列予測、ビジョンチップ、ニューラルネット等に興味を持つ。映像情報メディア学会次世代画像入力研究会委員。工学博士。正会員。