4 進木スキャン機能を有するスマートセンサ

A Smart Image Sensor with Quad-Tree Scan

学生会員 根塚 智裕[†], 正会員 秋田 純一^{††}, 池田 誠[†], 浅田 邦博^{†,†††}Tomohiro Nezuka[†], Junichi Akita^{††}, Makoto Ikeda[†] and Kunihiro Asada^{†,†††}

Abstract A smart image sensor with quad-tree scan implemented by a novel method is described. Quad-tree scan reduces the number of cycles needed to scan an entire image in comparison with a raster scan. The quad-tree scan is implemented by placing the scan controller outside the pixel array and accessing a variable-size block of the pixel array. We designed the image sensor using a 0.6- μm CMOS 3-metal 2-poly-Si process. A 32 $\times$ 32 pixel array and the scan controller are integrated on a 4.5 $\times$ 4.5 mm² die. Each pixel has an A/D conversion circuit and a motion detection circuit in a 95 $\times$ 95 μm^2 area. Measurements showed that the scan controller works at 10 MHz with 10 mW power dissipation. Image acquisition and motion detection using quad-tree scan were successfully tested.

キーワード: 4 進木スキャン, スマートセンサ, 動き検出, 画素レベル A/D 変換

1. ま え が き

CCD に代表される従来のイメージセンサは、主に録画もしくは伝送するための撮像を行う用途に用いられている。従来のイメージセンサは、シンプルな構造を持っており、設計、製造および高解像度化が容易であるため、そのような用途に適している。従来のイメージセンサは撮像した画像の情報をそのまま出力するため、データ量が大きくなり、高いフレームレートにおけるリアルタイムでの処理を行うことは困難である。将来、高解像度化や高フレームレート化が進んだ場合には、リアルタイムでの処理がより困難な状況になると考えられる。ロボットビジョン等の応用分野では、必要な情報は画像に含まれる動きの情報や点の座標等の特徴量であり、高いフレームレートでのリアルタイム処理が要求される。スマートセンサ¹⁾²⁾を用いた画像処理システムでは、取得した画像情報に対してセンサ面上で前処理が行われ、画像情報から必要な情報が抽出される。ス

mart センサから出力される情報は生の画像情報と比較してデータ量が小さくなるため、後段の信号処理回路に対する負荷が軽減され、高速な信号処理を実現することが可能である。

従来のイメージセンサで用いられている画像の走査方式はラスタスキャンである。ラスタスキャンにおいては各フレームにおいてすべての画素が走査される。通常、画像全体に対する、情報として必要な領域の占める割合は小さいため、ラスタスキャンにおいては、情報としては不要な領域に対して冗長な走査が行われる。我々は、画像の走査に 4 進木構造を持った階層形のアクセスパスを用いることにより、情報としては不要な領域を読み飛ばし、冗長な走査を省略する 4 進木スキャンを提案した³⁾。本稿では、新しい回路構成による効率的な 4 進木スキャンの実現方式を提案し、提案した方式によって 4 進木スキャン制御回路を実装したスマートセンサについて述べる。

2 章では、4 進木スキャンの走査方式について説明する。3 章では、4 進木スキャンの実現方式およびセンサの回路方式について述べる。4 章では、センサの測定結果について述べる。5 章では、本稿の内容についてまとめる。

2. 4 進木スキャン

4 進木スキャンおよび従来のラスタスキャンにおける走査の手順の一例を図 1 に示す。図中の画素およびノードに記されている数字は画素もしくはノードが走査される順番を示す。図 1 の例では、4 $\times$ 4 画素の画素アレイ内で 2 画素の値が 1 (走査が必要) となっている。以下に、図 1 の例を用いてラスタスキャンおよび 4 進木スキャンにおける

2000 年 7 月 31 日受付, 2000 年 9 月 14 日採録

[†] 東京大学工学系研究科電子工学専攻

(〒113-8656 東京都文京区本郷 7-3-1, TEL 03-5841-6771)

^{††} はこだて未来大学システム情報科学部

(〒041-8655 北海道函館市亀田中野町 116 番 2, TEL 0138-34-6448)

^{†††} 東京大学大規模集積システム設計教育研究センター

(〒113-8656 東京都文京区弥生 2-11-16, TEL 03-5841-8900)

[†] Department of Electronic Engineering, The University of Tokyo
(7-3-1, Hongo, Bunkyo-ku, Tokyo 113-8656, Japan)^{††} School of Systems Information Science, Future University Hako-
date
(116-2, Kameda-Nakano-tyou, Hakodate-shi, Hokkaido 041-8655,
Japan)^{†††} VLSI Design and Education Center, The University of Tokyo
(2-11-16, Yayoi, Bunkyo-ku, Tokyo 113-8656, Japan)

図 1 画像の走査方式と走査手順
(a) ラスタスキャン, (b) 4進木スキャン
Procedure of image scanning methods.
(a) raster scan, (b) quad-tree scan

走査の手順について説明する。

図 1(a) にラスタスキャンにおける走査の手順を示す。ラスタスキャンにおいては、画素の配列の順に従って 1 画素ずつ画素の走査が行われる。図 1(a) における例では、走査が必要な画素は 2 画素であるが、4×4 画素の画素アレイ内のすべての画素に対して走査が行われる。

図 1(b) に 4 進木スキャンにおける走査の手順を示す。4 進木スキャンにおいては、画素を最下層に持つ 4 進木構造のノードの配列に従って走査を行う。4 進木の各ノードの値は各ノードの下階層に含まれる画素もしくはノードの値の論理和である。ノードの値が 1 を示した場合には、そのノードの下階層に含まれる少なくとも 1 つの画素もしくはノードの値が 1 であり、そのノードより下階層に含まれるノードもしくは画素に対する走査の必要がある。ノードの値が 0 の場合には、そのノードの下階層には値が 1 を示すノードもしくは画素が存在しないため、そのノードより下階層に対する走査を行う必要はない。

以下、図 1(b) の例を用いて 4 進木スキャンにおける走査の手順を説明する。最初のステップでは、4 進木の最上層にあるノードが走査される (図 1(b), 1)。最上層のノードの値は 1 を示しており、さらに下階層の走査が必要である。次のステップでは、2 番目の階層にある 4 つのノードのうち左上のノードが走査される (2)。(ここでは、同一階層のノードは左上、右上、左下、右下の順で走査されたとする。ただし、走査される順番は必ずしもこの順である必要はない)。2 番目の階層の左上のノードの値は 0 であるため、それ以下の階層には、値が 1 の画素は存在しない。次のステップでは、左上のノードの下階層にある 4 つの画素の走査を省略して 2 番目の階層の右上のノードの走査を行う (3)。2 番目の階層の右上のノードの値は 1 であるため、さらに下階層を走査する必要がある。次のステップでは、最下層にある画素が左上、右上、左下、右下の順で走査される (4-7)。下階層の走査が終了すると、次のステップでは上の階層に戻り、走査が終了していない

残りのノードの走査が行われる (8-9)。以下、同様の手順で走査を行い、2 番目の階層の右下のノード (9) の走査が行われた時点で走査が完了する。図 1(b) の例では、ラスタスキャンを用いた場合に 16 サイクルを要する走査が、4 進木スキャンを用いることにより 9 サイクルで完了する。

3. センサの実現

3.1 4 進木スキャン制御回路の実現

図 2(a) に 4 進木構造を持ったスキャン制御回路を画素アレイ内に直接実現した場合の 4 進木スキャンの実現方式の概念図を示す。4 進木スキャンは、4 進木スキャンの手順に従って動作する状態マシンを各ノードに配置した 4 進木構造を持つ制御回路によって実現することが可能である³⁾。4 進木の各ノードにおける走査の手順は、図 3 に示す状態遷移図によって表現することが可能である。各ノードにおける状態マシンは 5 状態を持つ比較的小

図 2 4 進木スキャンの実現方式
(a) 画素アレイ内制御方式, (b) 画素アレイ外制御方式
Implementation methods of the quad-tree scan controller.
(a) tree structure in pixel array, (b) outside pixel array

図 3 4 進木の各ノードにおける走査手順の状態遷移図
Transition diagram of the scan sequence at a node of a quad-tree.

規模の回路で実現が可能である。4進木構造の各ノードにステートマシンを配置して構成した制御回路を画素アレイ内に配置した場合には、4進木のノードと同数のステートマシンを用意する必要があるため、制御回路の規模が大きくなる。また、画素アレイ内に4進木構造を持った制御回路を配置することにより、画素アレイの構造が複雑となり、面積効率が悪くなる。

図2(b)に画素アレイの外に制御回路を配置した場合の4進木スキンの実現方式の概念図を示す。4進木スキンは、4進木の各ノードの値を参照し、その値に基づいて走査の制御を行う。よって、4進木の各ノードの値を得ることが可能であれば画素アレイ外部に制御回路を配置した場合においても4進木スキンの実現が可能である⁴⁾⁵⁾。4進木スキンにおいては、各ノードの値は各ノードの下階層に含まれる画素の値の論理和に等しいため、ノードの値を得るには、ノードの下に含まれる全ての画素を選択し、その論理和を取得すればよい。図4に4進木スキンにおける画素アレイの選択方式を示す。図4(a)に示すように1画素の値の取得時には、通常のメモリと同様に画素アレイ内の1画素の値を読み出せばよい。図4(b)に4進木のノードの値の取得の例を示す。ノードの下階層に含まれる全ての画素を選択し、選択した画素値の論理和からノードの値が得られる。

図5に可変ブロック論理和回路の回路図を示す。可変ブロック論理和回路では、選択された任意の矩形領域内の画素値の論理和の演算を行なう。4進木のノードに対応した領域を選択し論理和を演算することにより、4進木のノ

図5 可変ブロック論理和回路の回路図
Schematic of the variable block logical-OR circuit.

表1 4進木1階層分のステートマシンの状態遷移表
Transition table of the state machine for one level of the quad-tree.

Inputs		S	S'	Outputs					
VIN	CIN			X1	X2	Y1	Y2	COUT	TOUT
0	—	W	W	1	1	1	1	1	0
1	—	W	A	1	1	1	1	0	TIN
—	0	A	A	1	0	1	0	0	TIN
—	1	A	B	1	0	1	0	0	TIN
—	0	B	B	0	1	1	0	0	TIN
—	1	B	C	0	1	1	0	0	TIN
—	0	C	C	1	0	0	1	0	TIN
—	1	C	D	1	0	0	1	0	TIN
—	0	D	D	0	1	0	1	0	TIN
—	1	D	W	0	1	0	1	1	TIN

ドの値を取得することが可能である。可変ブロック論理和回路は、画素アレイの行数分の行論理和回路および1個の列論理和回路により構成される。行論理和回路は、画素アレイの1行分の選択された画素の画素値の論理和を演算する。列論理和回路は、選択された行の行論理和回路の出力の論理和を演算する。行論理和回路および列論理和回路はそれぞれプリチャージロジックから構成されている。プリチャージロジックを用いることにより、論理和の演算のための画素内の回路を2トランジスタで構成することが可能であり、高解像度化に有利である。

図6に4進木スキン制御回路のブロック図を示す。4進木スキン制御回路は4進木の各階層に対して1個のステートマシンによって構成される。32×32画素のセンサでは5個のステートマシンが必要となる。各ステートマシンは表1に示した状態遷移表に基づいて構成される。各階層の制御回路からは、行および列選択用のアドレス信号(Xa,Xb,Ya,Yb)が出力される。出力されたアドレス信号は4進木スキン用アドレスデコードに入力される。

図7に4進木スキン制御回路のレイアウトを示す。

図4 4進木スキンにおける画素アレイの選択方式
(a)画素, (b)ノード

The selection method of the pixel array with quad-tree scan.
(a) pixel, (b) node

図 6 4進木スキャン制御回路のブロック図
Block diagram of the quad-tree scan controller.

図 7 4進木スキャン制御回路のレイアウト
Layout of the quad-tree scan controller.

図 8 4進木スキャン用アドレスデコーダの回路図
Schematic of the address decoder.

0.6- μm CMOS メタル3層ポリシリコン2層プロセスの設計ルールに基づき、フルカスタムで設計を行った。回路の面積は $196\mu\text{m} \times 529\mu\text{m}$ 、4進木の1階層分のステートマシンのトランジスタ数は180トランジスタとなった。

4進木スキャン用アドレスデコーダは、4進木スキャン制御回路から出力されるアドレス信号をデコードし、可変ブロック論理和回路のアドレス線を選択する。図8に4進木スキャン用アドレスデコーダの回路図を示す。4進木スキャン用アドレスデコーダは、複数のアドレス線を選択する必要があるため、入力されるアドレス信号が通常のアドレスデコーダとは異なるため専用の回路で構成される。

図 9 画素の回路図
Schematic of a pixel.

図 10 画素のレイアウト
Layout of a pixel.

3.2 センサ回路の実現

図9に画素の回路図を、図10に画素のレイアウトを示す。画素は受光部、A/D変換回路、動き検出回路および出力回路から構成される。

受光部はフォトダイオードおよびリセット用のトランジスタから構成される。リセット用トランジスタはフォトダイオードの出力電圧をリセットする。リセット用トランジスタがオンからオフに切り替わると同時にリセットされたフォトダイオードの接合容量への光電流の蓄積が始まる。光電流の蓄積時間が等しい場合には、受光部に入射する光

の強度が強いほどフォトダイオードの出力電圧は高くなる。

受光部の出力電圧は、A/D変換回路に入力され1ビットのデジタル値に変換される。A/D変換回路はアナログ電圧比較回路、Dラッチ(D-Latch1)およびSRフリップフロップ(SR-FF)から構成される。アナログ電圧比較回路は受光部の出力電圧と参照電圧(V_{ref})を比較する。Dラッチはアナログ電圧比較回路の出力電圧を2値化する。受光部の出力電圧が参照電圧より高くなった時点で画素の出力が1となる。出力が1となった画素は4進木スキャンによって走査される。受光部に入射する光の強度が強いほど画素は短い蓄積時間で1となるため、入射光の強度が強い画素から順に走査され、光の強度の情報は時間の情報に置き換えられる。SRフリップフロップは1度走査された画素が複数回走査されないように制御するために用いられる。フレーム内で1度走査が行なわれた画素のSRフリップフロップはセットされ、画素の出力が強制的に0となる。1フレームの走査が終了した時点でリセットすることにより再び走査が可能な状態になる。

動き検出回路は電圧比較回路、2個のDラッチ(D-Latch2,3)および出力制御用回路から構成されている。比較回路はフレーム間での受光回路の出力電圧の差と閾値を比較する。比較回路のリセット信号EQが1になると比較回路は初期化される。初期化時に、受光部の出力電圧はソースフォロワを介して容量C1に入力され記憶される。2個のDラッチにより輝度の増加および低下を検出する。動き検出の閾値は容量C2に入力される制御信号を動的に変化させることにより制御される。また、動き検出回路の出力はA/D変換回路の比較器を制御する。動き検出回路で動きが検出された画素のみのA/D変換回路を動作させることが可能である。

表 2 センサの仕様
Specification of the sensor.

プロセス	0.6- μ m CMOS 3-metal 2-poly-Si
チップサイズ	4.5mm $\times$ 4.5mm
画素数	32 $\times$ 32
画素サイズ	95 μ m $\times$ 95 μ m
画素PDサイズ	25 μ m $\times$ 15 μ m
開口率	3%
画素内トランジスタ数	92 トランジスタ
走査方式	4進木スキャン
消費電力	200mW(V_{dd} =5V)

表2にセンサの主な仕様を示す。センサは0.6- μ m CMOS メタル3層ポリシリコン2層プロセスに基づき設計、試作された*。図11に試作したセンサのチップ写真を示す。4進木スキャン制御回路、4進木スキャン用アドレスデコーダおよび32 $\times$ 32画素の画素アレイを4.5mm角のチップに集積した。

*本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム(株)および凸版印刷(株)の協力で行われたものである。

図 11 チップ写真
Micrograph of the sensor chip.

図 12 4進木スキャン制御回路の出力波形
Waveform of controller outputs.

4. 測定結果

図12に4進木スキャン制御回路の出力波形を示す。アドレスデコーダおよび可変ブロック論理和回路を含んだ4進木スキャン制御回路は最大10.5Mサイクル/秒(V_{dd} =5V)での動作が確認された。4進木スキャン制御回路単体では85Mサイクル/秒での動作が確認された。消費電力は、10Mサイクル/秒での動作時でアドレスデコーダおよび可変ブロック論理和回路を含んだ4進木スキャン制御回路が10mW、アドレスデコーダおよび4進木スキャン制御回路が3.4mWとなった。

図13に測定システムのブロック図を示す。測定システムは、光学系がマウントしたチップを搭載した評価用ボード、PC内蔵の平行デジタルI/OボードおよびPCで構成される。PCおよびI/Oボードにより、センサの制御および画像情報の取得を行う。

図14に4進木スキャンを用いた撮像の結果を示す。図14(a)は、4進木スキャンを用いて点状の光源を2値画像

図 13 測定システムのブロック図
Block diagram of measurement setup.

図 14 4 進木スキャンを用いた撮像の結果
(a)2 値画像, (b) オンチップ A/D 変換
Acquired images using quad-tree scan.
(a)binary image, (b)on-chip A/D conversion

図 15 動き検出の結果
(a) 撮像結果, (b) 動き検出結果
Result of motion detection.
(a)acquired image, (b)flag of motion detection

として撮像した結果である。走査の対象となる画素（画素値が1の画素）の割合が少ないため、4進木スキャンを用いることにより、ラスタスキャンと比較して少ないアクセス数で画像情報の取得が可能である。図14(a)の例では、ラスタスキャンでは1024サイクル必要であるが、4進木スキャンを用いることにより29サイクルで走査が終了した。図14(b)に4進木スキャンを用いて、オンチップA/D変換機能により多階調の画像を撮像した結果を示す。光電流を蓄積しながら、255回の走査を行うことにより、8ビットに相当する画像を取得した。図14の例に示した画像は人物の顔を室内照明下で撮像した結果である。

図15に動き検出の結果を示す。図15(a)に撮像した生の2値画像を図15(b)に動き検出の結果を示す。動き検出においてはフレーム間で輝度の変化が閾値を越えた画素に対してフラグが発生する。ここでは、撮像の対象を2本の棒状のライトとした。対象物の移動とともに輝度の変化が激しいエッジの部分に対するフラグの検出が確認された。

5. む す び

4進木スキャンの効率的な実現方式を提案し、その方式により4進木スキャン機能を実装したスマートセンサについて報告した。走査対象となる領域の割合が画像全体に対して小さい場合には、4進木スキャンを用いることにより、ラスタスキャンと比較して、少ないアクセス回数で画像の取得が可能である。試作したチップの測定の結果、4進木スキャン制御回路の最大10.5Mサイクル/秒での動作を確認し、10Mサイクル/秒での消費電力は10mWとなった。オンチップA/D変換回路による4進木スキャンを用いた多階調画像の撮像および移動する対象物の動きの検出を確認した。本センサは、4進木スキャン機能を集積し、その動作が確認された最初のセンサである。

(文 献)

- 1) C. Koch and H. Lui: "VISION CHIPS: Implementating Vision Algorithms with Analog VLSI Circuits", IEEE Computer Society Press (1995)
- 2) A. Moini: "Vision Chips or Seeing Silicon", <http://www.eleceng.adelaide.edu.au/Groups/GAAS/Bugeye/visionchips/> (Mar. 1997)
- 3) J. Akita and K. Asada: "An Image Scanning Method with Selective Activation of Tree Structure", IEICE Trans. on Electronics, E80-C, No.7, pp.956-961 (Jul. 1997)
- 4) K. Asada, T. Nezuka, T. Fujita, M. Ikeda and J. Akita: "Image sensors with flexible access methods to pixels for adaptive spatial and time resolution", Proc. of ISFIE, pp.49-61 (Mar. 1999)
- 5) T. Nezuka, J. Akita, M. Ikeda and K. Asada: "A Smart Sensor with Novel Implementation of Quad-Tree Scan", Proc. of AP-ASIC, pp.135-138 (Aug. 2000)

ねづか ともひろ
根塚 智裕 1997年、東京大学工学部電子工学科卒業。1999年、同大学院電子工学専攻修士課程修了。現在、同大学院電子工学専攻博士課程在学中。主としてイメージセンサに関する研究に従事。学生会員。

あきた じゅんいち
秋田 純一 1993年、東京大学工学部電子工学科卒業。1995年、同大学院修士課程修了。1998年、同大学院博士課程修了。同年金沢大学工学部電子情報工学科助手。2000年、はこだて未来大学講師。主としてスマートセンサに関する研究に従事。正会員。

いけだ まこと
池田 誠 1991年、東京大学工学部電子工学科卒業。1996年、同大学院博士課程修了。同年、同大・工・電子情報・助手。1998年、同大規模集積システム設計教育研究センター講師。2000年、同大・工・電子・講師。大規模集積システムのバス配線に関する研究に従事。

あさだ くにひろ
浅田 邦博 1975年、東京大学工学部卒業。1977年、同大学院博士課程修了。同年、同大・工・電子・助手。同講師、同助教授を経て、1995年、同大・工・電子・教授。1996年、同大規模集積システム設計教育研究センター教授。集積システム・デバイス工学の研究に従事。