簡素で効果的な固定パターンノイズ抑圧を実現した CMOSイメージセンサの動作解析

A Numerical Analysis of a CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology

正会員 米本和也^{†1}, 角 博文^{†2}, 大庭 誉志和^{†3}, 川原田 洋^{†3}
Kazuya Yonemoto^{†1}, Hirofumi Sumi^{†2}, Yoshikazu Ohba^{†3} and Hiroshi Kwarada^{†3}

Abstract A 1/3-inch 640×480-pixel CMOS image sensor was developed using a simple fixed-pattern-noise-reduction technology with a five-transistor pixel circuit and a low input-voltage I-V converter. In this report, we show the effectiveness of a low input-voltage I-V converter with a current-mirror circuit in improving the amplification ratio and linearity of a pixel circuit. The dependence of the pixel signal characteristics on the parameters of the pixel transistors was also analyzed. In a five-transistor pixel circuit, the threshold voltage of the X-Y addressing transistor affects the amplitude and level of the readout pulse. This report also contains analysis of the mechanism of the X-Y addressing transistor, illustrating the concept behind the selection of the threshold voltage.

キーワード: CMOSイメージセンサ, HAD, FPN, CDS, 残像, 電流電圧変換

1. ま え が き

CMOSイメージセンサは、その最大の特長である低消費電力や単一電源を生かして実用化の域に入ってきたといえる。特に、バッテリーを電源とする携帯電話やデジタルカメラが多いが、高級一眼レフ型のデジタルカメラにまで応用が及んでいる。さらに、CCDが専用プロセスで製造されている関係で、CMOS回路を同一チップ上に形成することが困難であるのに対して、CMOSイメージセンサは、容易にシステム回路を組込むことができる。そのため、デジタルカメラのように画像を入力するだけを目的とする応用だけでなく、イメージセンサ自身で画像処理を行い画像認識や距離センサなどの応用を目的とした研究が幅広く行われている¹⁾²⁾。

広い範囲の応用が期待されるCMOSイメージセンサではあるが、特有の固定パターンノイズ (FPN) があるので、そ

れを抑圧するノイズキャンセラが必須と言え、どんな応用に関しても映像信号のSN比を主とする画質が問われる。すでに報告されているCMOSイメージセンサは、主に垂直信号線に接続されたカラム毎の相関2重サンプリング回路 (CDS) を基本としたノイズキャンセラにより、画素内トランジスタの閾値バラツキで発生したFPNを抑圧している³⁾⁴⁾。しかしこの方式はカラム毎のノイズキャンセラがそれ自身のバラツキをもち、縦筋状のFPNを発生する場合が考えられる。また、このカラムCDS回路がチップサイズを大きくしてしまう欠点を持つ。したがって、カラムCDS回路をFPN抑圧に使ったCMOSイメージセンサは、FPN抑圧比とチップサイズの側面から、高画質でコンパクトなカメラには最も適しているとは言えないと考えられる。一方、本論文で解析を行ったCMOSイメージセンサでは、画素がフォトダイオードと5つのトランジスタで構成され、出力部に1つだけ設けたCDS回路によりFPNを容易に除去できる方式となっている⁵⁾。この方式は、カラムCDS回路を必要としないため、画素信号が理想的な線形性を維持している条件のもと、原理的に画素内トランジスタの閾値バラツキで発生したFPNは完全に除去できる。ただ、画素に含まれる素子数の増加から、画素サイズの小型化を考慮すると、従来のカラムCDS方式が優位であることは間違いなが、将来のプロセスの微細化で解決できるものと考えられる。以上、従来方式と本CMOSイメージセンサ方式の得失を表1にまとめた。

本CMOSイメージセンサの1つの重要技術として、低入力電圧の電流電圧変換回路 (I-V変換回路) がある。ここで使

2000年2月7日, ISSCC2000 Digest of Technical Papers

2000年3月24日, 情報センシング研究会で発表

2001年6月13日受付, 2001年10月26日最終受付, 2001年12月20日採録

†1 ソニー株式会社 MNC DI部門

(〒108-6201 港区港南2-15-3品川インターシティC棟 W18F, TEL 03-5769-5585)

†2 ソニー株式会社 SCN イメージングデバイスカンパニー

(〒243-0014 厚木市旭町4-14-1, TEL 046-230-5639)

†3 早稲田大学 理工学部 電子・情報通信学科

(〒169-8555 新宿区大久保3-4-1, TEL 03-5286-3391)

†1 DI Department, MNC, Sony Corporation

(Shinagawa INTERCITY C Tower, 2-15-3, Konan, Minato-ku, Tokyo, 108-6201, Japan)

†2 Imaging Device Company, SNC, Sony Corporation

(4-14-1 Asahi-cho, Atsugi-shi, Kanagawa, 243-0014, Japan)

†3 School of Science and Engineering, Waseda University

(3-4-1 Ohkubo, Shinjuku-ku, Tokyo, 169-8555, Japan)

表1 カラムCDS型FPN抑圧方式と本方式の比較

Comparison of FPN-reduction technologies with column CDS method and five transistor pixel method.

	FPN抑圧	Chipサイズ	画素サイズ
従来型(カラムCDS方式)	○	△	◎
本CMOSイメージセンサ	◎	○	○

われているFPN抑圧技術においては、画素が信号出力を電流で出力するため、イメージセンサの出力部に設けたCDS回路の前端にI-V変換回路を必要とする。このI-V変換回路の入力電圧が概ね信号線の電位となるため、その入力電圧が高いと画素の特性、とくに感度と線形性に影響する。しかるに回路解析により、画素特性の入力電圧依存性を解析し低入力電圧I-V変換回路の必要性を見出す。

画素回路には、5トランジスタ方式を採用したが、この中で使われているXYアドレストランジスタの動作原理から、読出しパルス振幅が低下する。この振幅低下はトランジスタパラメータによって決まり、フォトダイオードの飽和信号電荷量の減少、または残像を引き起こす可能性がある。そこで、画素の特性を向上する事を目的に、読出しパルス振幅が最も大きくなる条件を回路解析により求めた。

以上、本論文では画素信号の線形性と感度の信号線電位および画素トランジスタパラメータ依存性、読出しパルス振幅を最大化するXYアドレストランジスタの条件に関して、解析結果を報告する。

2. 基本構成と動作

FPNを効果的に抑圧することを目的に開発された5トランジスタ方式の画素回路、低電圧入力I-V変換回路、および出力部に置かれたCDS回路で構成された本CMOSイメージセンサは、図1に示すブロックダイアグラムのようなチップ構成となっている。試作チップの写真は図2に示した。本CMOSイメージセンサの特徴を示すために、従来から多くのCMOSイメージセンサが採用している、カラムCDS回路を使ったFPN抑圧方式と図3を使って比較する。従来方式の場合、画素はリセットレベルと信号レベルを水平ブランキング期間中に出力するため、比較的長い時間をかけて出力動作をすることができる。したがって、画素信号は広い帯域幅を必要としないので、信号線の寄生容量が大きくても電圧として出力することが可能である。しかし、カラムCDS回路自体のパラツキから縦筋状のFPNが残る可能性がある。本CMOSイメージセンサでは、カラムCDS回路に起因する縦筋状のFPNの発生をきらって、FPN抑圧のためのCDS回路をイメージセンサの出力部1ヶ所にまとめた。このような構成の場合は、出力部1ヶ所に置かれたCDS回路でFPN抑圧を行うために、画素信号は1画素期間中にリ

図1 CMOSイメージセンサのブロック構成図
Schematic diagram of the CMOS image sensor.

図2 チップ写真
Chip micrograph.

セットレベルと信号レベルの両方を出力する必要がある。例えば画素数が640×480で30fpsのプロGRESSブスキャンでは、1画素期間が約80nsと短い。この短い期間に画素信号のリセットレベルと信号レベル両方を、寄生容量の大きい信号線を通して出力部に配したCDS回路に出力するには、画素信号を電圧としてではなく必然的に電流として出力することになる。

このように、本CMOSイメージセンサが画素信号を電流で出力するため、イメージセンサの出力部に配置されたCDS回路の前に信号電流を電圧に変換するI-V変換回路が使われる。これを実現する画素回路からCDS回路までの詳細を図4に示した。画素はフォトダイオードと5つのMOSトランジスタで構成されており、M1がXYアドレストランジスタ、M2が読出しゲート、M3がフローティングディフュージョンFDをリセットするリセットトランジスタ、M4が増幅トランジスタでM5が垂直選択トランジスタである。画素信号電流は、水平選択トランジスタM6を通過してI-V変換回路に入力され、電圧に変換された信号はCDS回路でFPNをキャンセルされる。

1画素期間中にリセットレベルと信号レベルを出力する画素は、図5に示すタイミングで動作している。垂直選択パルスのRow (m) により1つの画素行が選択されている状

Conventional FPN-reduction
with column CDS circuits

Proposed FPN-reduction technology
with single CDS circuit

図3 FPN抑圧方式
Examples of FPN-reduction technology.

図4 画素回路～I-V変換回路
Circuit chain from pixel circuit to I-V converter.

図5 画素の動作タイミングと出力波形
Pixel operation timing and output signal.

態で、 n 列目の1画素期間直前にまずリセットパルス $Rst(n)$ が $M3$ のゲートに入り、信号電荷検出をする FD をリセットする。1画素期間に入ったら水平選択パルス $Col.(n)$ を立ち上げることで $M6$ が導通状態になり、 FD がリセットされた状態をその1画素期間の前半にリセットレベルとして出力する。1画素期間の間では列読出しパルス $Col.-Rd(n)$ が立ち上がり、導通状態になっている m 行目の XY アドレ스트ランジスタ $M1$ を通して、読出しパルスとして読出しゲート $M2$ に入る。この読出しパルスにより、 HAD から FD に信号電荷が読出され、信号電荷を受けた FD はその電位が変化し、1画素期間の後半にはフォトダイオードの受光量に応じた信号レベルが出力される。一方、選択されていない m 行目以外の行に関しては、垂直選択パルスが立ち上がっていないので、列読出しパルスは XY アドレ스트ランジ

スタを伝播せず、読出しゲートにかからない。したがって、非選択行のフォトダイオードは信号の蓄積を継続している。このような動作により、画素回路から出力された信号電流は、垂直信号線、水平選択トランジスタM6および水平信号線を通してI-V変換回路に入り、信号電圧に変換される。この時、電源電圧とI-V変換回路の入力電圧の差に相当する電圧が、画素回路の増幅トランジスタのソースドレイン電圧になるので、画素の特性を考慮してI-V変換回路の入力電圧をなるべく低く設定することが要求される。最後に信号電圧は、CDS回路で信号レベルからリセットレベルの減算が行われ、FPNが抑圧される。

ここで示した基本構成に関わる技術をまとめると、フォトダイオードにHADを使ったこと、画素回路から1画素期間中にリセットレベルと信号レベルを出力するためにXYアドレストランジスタを含む5トランジスタ画素回路を採用したこと、画素信号を電流として出力するため出力部にI-V変換回路を使い、さらに画素の特性を考慮に入れ、カレントミラー回路が入力段になっている低入力電圧のI-V変換回路を使ったことである。

3. 感度と線形性

CMOSイメージセンサの基本構成で述べたとおり、画素信号電流を電圧に変換する低入力電圧のI-V変換回路が使われている。この回路の入力段は、入力電圧を下げるためにカレントミラー回路が接続されている。一般的なI-V変換回路では、差動増幅器の出力と反転入力の上に抵抗を接続した回路構成となっているが、この場合は動作点を確保するため、入力電圧を電源電圧と接地のほぼ中間の電圧になるようにバイアスを決定する(図6左)。この一般的なI-V変換回路を使うと、信号線も電源と接地の中間電位になり、画素内の増幅トランジスタのソースドレイン電圧に十分な電圧が供給できない恐れがある。そこで、なるべく高い電圧を増幅トランジスタトランジスタに供給すべく、カレン

トミラー入力I-V変換回路を採用した。このカレントミラー回路の入力電圧は、そこに使われているトランジスタの閾値電圧にほぼ近くなるので、図6右のような回路構成にすれば、一般的なI-V変換回路に比べ、かなり高い電圧を増幅トランジスタに供給できる。このカレントミラー回路の入力電圧はその閾値電圧とバイアスにより変化することができるが、その特性を左右するパラメータに関して詳細は述べない。ここでは、I-V変換回路に低入力電圧型を必要としたことを実証するために、画素信号の線形性と感度について、信号線電位をパラメータにとって回路解析を行った。

まずイメージセンサの信号出力に関して、I-V変換回路の入力電圧と線形性の関係を解析した。図4に示した画素回路からCDS回路までの構成の中で、垂直選択スイッチM5と水平選択スイッチM6が理想的なスイッチであるとすれば、画素回路の増幅トランジスタM4のソースドレイン電圧は、電源電圧とI-V変換回路の入力電圧の差で与えられる。すなわち、I-V変換回路の電圧を下げればM4のソースドレイン電圧を高くすることができる。一方で、デザインルールが $0.35\mu\text{m}$ のMOSトランジスタはそのショートチャネル効果により、ソースドレイン電圧を高くすると g_m が上昇することがわかっている。I-V変換回路の入力電圧を下げると感度が向上すると言える。

I-V変換回路の電流電圧変換効率を $F[\text{V/A}]$ 、増幅トランジスタM4の相互コンダクタンスを $g_m[\text{S}]$ とすれば、画素のフローティングディフュージョンFDの電圧変化 ΔV_{FD} とI-V変換回路の出力電圧変化 ΔV_{out} の関係はつぎのように表せる。

$$\Delta V_{out} = F \times \frac{1}{\left(R + \frac{1}{g_m}\right)} \times \Delta V_{FD}$$

ただし、 R は垂直選択スイッチM5の抵抗値である。ここでは、水平選択スイッチM6の抵抗とI-V変換回路の入力抵抗

図6 I-V変換回路の方式例
Examples of I-V converter.

は充分小さいとしている．この式から，増幅トランジスタM4の相互コンダクタンス gm を大きくすると感度向上に寄与するので，限られた画素サイズの中でトランジスタパラメータを変えられない条件下では，I-V変換回路の入力電圧を下げることは感度向上に効果的であるといえる．

次に，画素信号の線形性がどのような要因によって決まっているか検討する．図4の画素回路に注目すると，増幅トランジスタM4と垂直選択スイッチM5は，ソースフォロワ回路を形成している．ここで，M4のゲートソース間電圧が閾値電圧より充分高く設定されていれば，M4の入力電圧に対してM5のドレイン電圧を比例関係にすることができ，M5が抵抗性の動作をしていれば，画素の電流出力はFD電圧に対して線形性を保つと考えられる．逆に，M4のゲートソース電圧が不足して飽和領域からサブスレッシユホールド領域に入ってしまうと，M4のゲート電圧とソース電圧の比例関係が崩れて線形性が失われてしまう．つまり，広い信号電圧レンジに対して良い線形性を保つには，やはりI-V変換回路の入力電圧を低く設定する必要がある．

ここで，本CMOSイメージセンサのFPN抑圧方式に対して，FPN抑圧残しが発生するメカニズムを検討することで，画素信号の線形性が重要であることを示すことにする．いま，FDの信号電圧が V_{FD} ，増幅トランジスタM4の閾値バラツキによるノイズ電圧を V_N ，非線形性をガンマ特性で代表させその係数を γ とすれば，以下の式で出力電圧を定義することができる．

$$V_{out} = G \times (V_{FD} + V_N)^\gamma$$

ここで， G は画素回路からI-V変換回路までの全体の小信号時利得で， V_{out} はI-V変換回路の出力信号電圧である．FPN抑圧のために，リセットレベルと信号レベルの減算動作を行うCDS回路の出力を V_{CDS} とすれば，以下のような1次近似式で V_{CDS} 示される．

$$\begin{aligned} V_{CDS} &= V_{out-s} - V_{out-r} \\ &\cong G \times \left\{ V_{FD-s}^\gamma - V_{FD-r}^\gamma + \gamma \times \right. \\ &\quad \left. (V_{FD-s}^{\gamma-1} - V_{FD-r}^{\gamma-1}) \times V_N \right\} \end{aligned}$$

ここで， V_{out-s} ， V_{out-r} はI-V変換回路における出力信号の信号レベルとリセットレベル， V_{FD-s} ， V_{FD-r} はFDの信号レベルとリセットレベルである．この式の中にノイズ電圧 V_N が残っていることから，(が1にならない限りFPNの抑圧が完全でないことが明白である．

以上，I-V変換回路の入力電圧が画素信号の感度と線形性にどのような影響を及ぼし，線形性がFPN抑圧残しを発生するメカニズムを説明したが，特に感度と線形性に関して実際に試作したCMOSイメージセンサの条件で，回路シミュレーションを用いた数値解析を行った．I-V変換回路の入力電圧をパラメータに，FD信号電圧を入力としたI-V変換回路出力電圧特性を解析した結果を図7に示す．シミュレーションとしては，カレントミラー回路に電圧源を挿入

して，その電圧源の電圧設定にしたがって信号線の電位を変化する方法で解析した．この出力特性から感度に注目すると，I-V変換回路の入力電圧が高くなると感度が低下することが明らかである．また，リニアリティーに関してI-V変換回路の入力電圧が高くなると劣化する様子が見取れる．より詳しく判断するために，感度とリニアリティーのI-V変換回路入力電圧依存性を図8にまとめた．やはり，感度に関してはI-V変換回路入力電圧，すなわち信号線の電位が下がれば向上し，リニアリティーは約0.5V以下で保証されることがわかる．以上の結果から，画素信号出力の感度および線形性について，I-V変換回路の入力電圧を低くすることが本方式のCMOSイメージセンサにとって重要であることが判明した．

これまで感度と線形性に関して，信号線の電位依存性を検討してきたが，次に画素のトランジスタパラメータに関して検討をする．感度に関しては，すでに述べたとおり，増幅トランジスタの相互コンダクタンス gm に強く依存しており，画素サイズの制限の中 devenir gm を高めることが望ましい．チャンネル幅を広げれば簡単に gm が高くな

図7 信号出力特性
Output signal characteristics.

図8 感度と線形性
Gain and Linearity.

るが、増幅トランジスタのゲートがFDに接続されていることから、ゲート入力容量の増大でFDの変換効率が低下する。そのため、 gm を高くするようチャンネル幅を広げても期待するほど感度が上がらないと考えられる。また線形性に関しては、増幅トランジスタと垂直選択トランジスタでなすソースフォロワ回路における動作で、それぞれのI-V特性の組合せにより理想に近い線形性を得ているが、選ぶトランジスタのパラメータ次第で線形性が崩れる可能性がある。そこで、線形性のトランジスタパラメータ依存性に関しても、検討の余地があると考えられる。

まず、感度と線形性のM4のチャンネル幅依存性に関して検討してみた。画素信号出力の感度は主に、フォトダイオードの開口率を含む量子効率、FDの変換効率 η およびM4の相互コンダクタンス gm で決まると考えられる。ここで、M4のチャンネル幅すなわち gm をパラメータに感度の変化を検討するとき、M4のゲート入力容量で η が変化する。ただし、チャンネル長はデザインルールにしたがって最も短く設定する。M4のチャンネル幅を広げることが感度を向上する最も簡単な方法であるが、それに伴ってゲート入力容量が増加するので gm が向上する一方、変換効率が低下する。したがって、チャンネル幅の拡大ほど感度が向上しないと考えられる。そこで、実際にM4のチャンネル幅をパラメータにとって、画素信号電流出力特性をシミュレーションした

ところ、図9のような結果が得られた。ただし、M4とM5のチャンネル幅がそれぞれ $2\mu\text{m}$ の条件(設計値)を基準とした。FD部の容量に対して、チャンネル幅が小さくゲート入力容量が小さい場合は、チャンネル幅を広げる効果が高いが、ゲート入力容量が多く占める場合はチャンネル幅を広げる効果がなくなり、チャンネル幅が約 $3\mu\text{m}$ 以上で逆に低下してしまう。また、リニアリティーについてもM4のチャンネル幅が $2\mu\text{m}$ をセンターにサブリニアからスーパーリニアに変化している。この結果から、画素サイズの制限と合わせてM4のチャンネル幅は $2\mu\text{m}$ 近辺が適当であると考えられる。

次に、垂直選択トランジスタM5のパラメータに関しても、線形性およびリニアリティーに影響があると考えられるので、実際にシミュレーションを使って検討した。M5はソースフォロワにおいて負荷抵抗として動作しているため、この抵抗値がM4の動作点に大きく影響を及ぼす。ここでは、M5のチャンネル幅をパラメータにとってソースフォロワの負荷抵抗を変化させて、特性の変化を検討してみた。M5のチャンネル幅を、試作したCMOSイメージセンサより狭くすることで負荷抵抗の抵抗値を高くすると、図10のシミュレーション結果のように、(が1より大きいスーパーリニアの特性になる。一方チャンネル幅を広くすると、(が1より小さくサブリニアになる。このようなM5のチャンネル幅依存性は、図11を使って以下のように説明できる。M4ト

図9 感度および線形性のM4チャンネル幅依存性
M4 channel width dependence of gain and linearity.

図10 感度および線形性のM5チャンネル幅依存性
M5 channel width dependence of gain and linearity.

図11 I-V特性と負荷曲線
I-V characteristics with load curves.

ランジスタのI-V特性は図11の実線のように示されるが、その負荷としてM5のMiddle Channelの条件にし、線形領域からやや飽和領域にさしかかるところにパラメータを選べと、破線で示されるM5の負荷曲線との交点より、M4のID-VG特性の非線形性が相殺され出力電流Output Currentが理想に近い線形性を持たせることができる。一方、M5のチャンネル幅を狭く(Narrow channelに)するとM5の動作点がより飽和領域に近づくため、信号電流がスーパーリニアに変化する。逆にチャンネル幅を広く(Wide channelに)すると、M5の動作点がほぼリニア領域となるため信号電流はサブリニアに変化する。また、感度に関していえば、図10のとおり増幅トランジスタのドレイン電流が増加する方向であるM5のチャンネル幅が広がると、感度が高くなる自然な結果が得られた。

ここまで検討した結果、増幅トランジスタM4と垂直選択トランジスタM5のI-V特性と動作点が線形性と感度に大きく影響することから、プロセス、電源電圧などに応じて画素サイズの制限の中でパラメータを決定することが重要である。また、少なくとも理想に近い線形性は、無理のないトランジスタパラメータを使って実現できることも確認できた。

4. XYアドレス方式

原理的に完全にFPN抑圧が可能で、かつFPN抑圧回路を簡素な構成とするために、画素信号出力に1画素期間中リセットレベルと信号レベルを含むことができる5トランジスタ方式の画素回路を本CMOSイメージセンサで採用している。ここで、FPN抑圧のためリセットレベルと信号レベルを1画素期間中に出力するのに、撮像領域の中の1画素の

み、フォトダイオードの読出し動作を行うことが必要条件である。これを実現するために用いたのがXYアドレストランジスタであり、5トランジスタ画素回路の中で大きな役割を果たしている。

このXYアドレストランジスタは、行選択パルスRow (m)とカラム読出しパルスCol-Rd (n)の論理積を読出しパルスとして出力する役割を果たしていて、動作タイミングは図5に示す通り、1画素期間の中間の短い期間に読出しパルスを出力する。ただし、FPN抑圧に重要な役割を果たしているXYアドレストランジスタは、その動作原理からフォトダイオードの読出しパルス振幅を減少することから、飽和信号電荷量や残像特性に影響があると考えられる。そこで、この読出しパルスの振幅を最大化する条件に関して詳しく解析する必要がある。

XYアドレストランジスタが読出しパルスを減少するメカニズムは次のように説明できる。まず、XYアドレストランジスタがEnhancement型であるなら、行選択パルスRow (m)が立ち上がって、ゲート電圧が電源電圧VDDになったとしても、そのチャンネル電位はVDDより低い電位になる。すると、図12に示す通りここにカラム読出しパルスCol-Rd (n)が立ち上がってVDDになったとしても、XYアドレストランジスタのチャンネル電位が低いことから、読出しパルスの電圧が低下する。一方、Depletion型を採用したときは、行選択パルスRow (m)が入ればそのチャンネルポテンシャルはVDDに到達するので、読出しパルスはVDDに極めて近くなる。しかし、選択されていない画素行を見ると、行選択パルスRow (m)が接地レベルにあるとき、そのチャンネルポテンシャルが接地より高い電位になっている。すると、カラム読出しパルスがXYアドレストランジ

図12 XYアドレストランジスタの動作
Operation principle of XY addressing transistor.

スタを通して、パルス電圧が低いながらもチャネルポテンシャルに近い電圧の読出しパルスが、漏れパルスとして現れてしまう。選択行および非選択行の読出しゲート電圧について、それぞれの最大値の差がフォトダイオードの飽和信号電荷量を決定するので、選択行の読出しパルスと非選択行の読出し漏れパルスそれぞれの最大値の差が、読出しパルスの有効振幅と言える。

選択/非選択状態の読出しパルスを実際に回路シミュレーションにより解析した結果、図13のような波形が得られた。解析条件として、カラム読出しパルスCol-Rdの電圧を

図14 読出しパルスの有効振幅
Effective amplitude of readout pulse.

3.3/0V, XYアドレストランジスタの閾値電圧を -0.04V とした。この条件のもとで、選択読出しパルス電圧の減少と非選択読出しパルスの漏れが同時に現れている。このときの読出しパルスの有効振幅は両者の電圧差から 2.81V になり、電源電圧より約 0.5V の振幅減少となっている。そこで、この読出しパルスの有効振幅について、XYアドレストランジスタ閾値電圧依存性をまとめた結果を図14に示す。この時、閾値電圧の変化範囲を -0.5V から 0.6V までとした。このグラフでは、選択行の読出しパルスと非選択行の読出し漏れパルスそれぞれの最大値、および読出しパルスの有効振幅をプロットした。この結果から、ある閾値電圧より高い領域で選択行の読出しパルス電圧が低下し始め、一方別の閾値電圧より低い領域で読出し漏れパルスの電圧が上昇するため、有効振幅に最大値を与える閾値が存在することがわかる。以上、実際に画素回路に用いたXYアドレストランジスタについて、閾値として -0.3V から -0.1V が読出しパルスを最大化する適正範囲であると言える。

5. む す び

報告したCMOSイメージセンサは、画素回路に5トランジスタ方式を、出力部に低電圧入力I-V変換回路とCDS回路を採用し、簡素で効果的なFPN抑圧を実現した。本論文では、ここで使われた5トランジスタ方式の要となるXYアドレストランジスタの動作、画素信号特性に密接に影響するI-V変換回路の入力電圧特性に関して、シミュレーションによる数値解析を行った。

図13 読出しパルスのシミュレーション波形
Simulation results of readout pulse waveform.

Reproduced image without
FPN-reduction technology

Reproduced image with
FPN-reduction technology

図15 FPN抑圧前後の撮像例

Reproduced images with and without FPN-reduction technology.

まず、I-V変換回路の入力電圧が画素信号に及ぼす影響に関しては、FDの信号電圧と出力電流の関係における感度と線形性について解析した。その結果から特に感度特性について、画素回路の中の増幅トランジスタにより大きなソースドレイン電圧およびゲートソース電圧がかかるように、I-V変換回路の入力電圧をなるべく接地電圧に近くなるように下げることが望ましく、そのためにはカレントミラー回路を入力にもつI-V変換回路が適していると言える。また、本CMOSイメージセンサは電源電圧が3.3Vの0.35 μm CMOSプロセスを採用しているが、この場合はI-V変換回路の入力電圧が0.5Vを下回ることが線形性を維持し、FPN抑圧残しを防止する上で重要である。さらに、画素回路の増幅トランジスタと垂直選択トランジスタのパラメータも線形性と感度に影響し、特に線形性を考慮すると設計値が適切であったと判断される。

5トランジスタ画素回路の要であるXYアドレストランジスタの動作に関して、このトランジスタが発生する読出しパルス振幅がHADの飽和蓄積電荷量を決めるため、振幅を最大にする条件を回路シミュレーションにより求めた。その結果、XYアドレストランジスタの閾値が $-0.3 \sim -0.1\text{V}$ のDepletion型が適していることがわかった。

最後に、簡素で効果的なFPN抑圧を実現した本CMOSイメージセンサで得られたFPN抑圧前後の撮像例を図15に示す。

本研究にあたり、CMOSイメージセンサの設計および試作に多大な貢献を下さった鈴木亮司氏、上野貴久氏および馬淵圭司氏に感謝いたします。また、ご協力いただいたSNCイメージングデバイスカンパニー マイクロシステム事業部の関係者の方々に感謝いたします。

〔文 献〕

- 1) Shinichi Yoshimura, Toshinobu Sugiyama, Kazuya Yonemoto and Kazuhiko Ueda, "A 48kframe/s CMOS Image Sensor for Real-time 3-D Sensing and

Motion Detection", in ISSCC Dig. Tech. Papers, pp. 94-95 (2001)

- 2) Yoshinori Muramatsu, Susumu Kurosawa, Masayuki Furumiya, Hiroaki Ohkubo and Yasutaka Nakashiba, "A signal-Processing CMOS Image Sensor using a Simple Analog Operation", in ISSCC Dig. Tech. Papers, pp. 98-99 (2001)
- 3) R. H. Nixon, S. E. Kemeny, C. O. Staller and E. R. Fossum "128 $\times$ 128 CMOS Photodiode-Type Active Pixel Sensor with On-Chip Timing, Control and Signal Chain Electronics", Proc. SPIE, 2415, pp. 117-123 (1995)
- 4) H. Ihara, H. Yamashita, I. Inoue, T. Yamaguchi, N. Nakamura, H. Nozaki, "A 3.7 $\times$ 3.7 μm^2 Square Pixel CMOS Image Sensor for Digital Still Camera Application", in ISSCC Dig. Tech. Papers, pp. 182-183 (1998)
- 5) Kazuya Yonemoto and Hirofumi Sumi, "A CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology and a Hole Accumulation Diode", IEEE J. Solid-State Circuits, 35, 12, pp. 2038-2043 (2000)

米本 和也 1984年、早稲田大学大学院理工学研究科修士過程修了。同年、ソニー（株）に入社。CCDイメージセンサの開発に従事。その後、CMOSイメージセンサの開発に従事し、現在、MNC DI部門GNB部に所属。正会員。

角 博文 1985年、鳥取大学大学院工学研究科電子工学専攻修士過程修了。同年、ソニー（株）に入社。1992年までULSI研究所でCMOSプロセス、デバイスの研究に従事。1993年から0.25 μm 世代以降のシステムLSIのCMOSデバイスを開発する。1997年、鳥取大学大学院工学研究科にて博士号取得。1998年から、映像デバイス事業部門に所属し、CMOSイメージセンサの開発に従事し現在に至る。

大庭 誉士和 1995年、早稲田大学理工学部入学。デバイスシミュレーションを用いたダイヤモンド表面チャネルデバイスの動作解析に従事。

川原田 洋 1985年、早稲田大学大学院理工学研究科博士後期課程修了。大阪大学工学部助手、早稲田大学理工学部助教授を経て、1995年より、早稲田大学理工学部教授。ダイヤモンドの半導体デバイス応用を目指し研究に従事。