DLTS 法による ZnO バリスター界面準位の評価

津田 孝一・向江 和郎

((株)富士電機総合研究所, 240-01 横須賀市長坂 2-2-1)

Characterization of the Interface States in ZnO Varistors by DLTS Method

Koichi TSUDA and Kazuo MUKAE

(Fuji Electric Corporate Research and Development Ltd., 2-2-1, Nagasaka, Yokosuka-shi, 240-01)

The Deep Level Transient Spectroscopy (DLTS) technique was applied to characterize the interface states at the grain boundaries of ZnO varistors. Two types of commercially available varistors, Bi-type and Pr-type, were tested. The ordinary DLTS method for both varistors gave similar spectra showing two peaks. These two peaks were assigned as bulk traps located at approximately 0.2 eV and 0.3 eV below the conduction band. In addition to these experiments, a new technique of DLTS method, called zero-biased DLTS method, was tried for observing the interface states at the grain boundaries. By this method a peak for the interface states of ZnO varistors was detected at higher temperatures for the first time. The Arrhenius plots of the emission rate gave the depths of the interface states of 1.03 eV and 0.94 eV for Pr-type and Bi-type varistors, respectively. Numerical simulation of the DLTS peak revealed that the interface states are distributed monoenergetically. Other samples which contained one of Ce, Pr, Nd, Sm, Gd, and Tb showed similar peaks for the interface states. Although these peaks gave similar values around 1 eV, the peak height depended on the element of the rare earth group. Furthermore, since the nonlinear exponent (α) depended strongly on the peak height, the concentration of the interface states should give a large effect on the nonlinearity of the ZnO varistors. The origin of the interface states was suggested to be identified as chemisorbed oxygen ion at the ZnO grain boundaries.

[Received May 26, 1989; Accepted July 14, 1989]

Key-words: Varistor, Zinc oxide, Rare earth, DLTS, Interface state, Trap, Praseodymium, Grain boundary

1. 緒 言

ZnO バリスターは酸化物半導体の一つである ZnO 粉末に微量の添加物を加えて焼成したセラミックスであり、非常に優れた電圧-電流非直線性を持っていることで良く知られている。

市販されている ZnO バリスターを添加物で大別すると、ZnO に Bi, Co, Mn, Sb などを添加した ZnO-Bi₂O₃¹⁾ 系 (以下 Bi 系) と ZnO に Pr, Co, K, Cr などを添加した ZnO-Pr₆O₁₁²⁾ 系 (以下 Pr 系) の二つに分類できる。

ZnO バリスター開発初期には、ZnO 結晶粒界に Bi₂O₃ などが析出し、数 μm 程度の厚さの絶縁層が形成され、この絶縁層を空間電荷制限電流 (Space Charge Limited Current, SCLC) が流れることによって電圧-電流非直線性が発生すると考えられた¹⁾。その後、STEM などによる粒界領域の観察により、粒界には Bi などの偏析層は全くないか、あったとしても数十 Å 以下であることが報告されており^{3), 4)}、現在では SCLC 説は否定されている。最近では、粒界近傍のエネルギーバンド構造は図 1 に示すような偏析層のない単純な二重ショットキー障壁が形成されており、これがバリスター動作を生じせしめているという考え方が最もよく支持されている⁵⁾。ZnO 結晶粒界には界面準位が形成されてお

Fig. 1. Energy band structure of grain boundary area in ZnO varistor.

E_c : bottom of conduction band, E_f : Fermi energy, E_T : bulk trap level, E_v : top of valence band

り、この準位はアクセプタータイプのため電子が捕獲され、負電荷が粒界に蓄積される。この電荷を補償するため正にイオン化したドナーの電荷により電氣的障壁が形成される。これが二重ショットキー障壁で、この障壁の性質は基本的には界面準位の性質とドナー密度により決

定される。

ドナー密度は変形 C-V 法⁶⁾、赤外反射スペクトル⁷⁾などにより調べられている。一方界面準位の性質について、これまで熱刺激電流 (TSC) 法⁸⁾、アドミタンス法⁹⁾などで調べられてきたが、まだ十分に解明されていない。

正畑¹⁰⁾や仁田山¹¹⁾らは DLTS (Deep Level Transient Spectroscopy) 法を用い ZnO パリスターの深い準位の評価を試みた。彼らは ZnO 粒内に存在するバルクトラップの検出には成功したものの、界面準位は検出することができなかった。バルクトラップは図 1 に示すように、禁制帯中のフェルミ準位よりかなり深い位置に存在し、室温ではイオン化していない準位である。バルクトラップは劣化や電流応答速度と関係あると言われている¹¹⁾ものの、電圧-電流非直線性とは直接関係はない。

著者らはゼロバイアス DLTS 法と名付けた新しい DLTS 手法にて Pr 系、Bi 系パリスターにおいて、バルクトラップだけでなく界面準位も検出することに成功し、これの深さ、分布の形などを評価した。更に Pr のかわりに他の希土類酸化物を添加した ZnO-希土類系パリスターにおいて、界面準位密度が高い組成ほど電圧-電流非直線指数 α が大きくなることを見いだした。

2. 実験方法

2.1 試料

実験に用いた試料は、市販品 2 種類 (Pr 系; ENB 221 D-14 A¹²⁾, Bi 系; ERZ-C 14 DK 221¹³⁾) と、以下に示す組成を持つ試作品である。ZnO-Ln-Co-K-Cr-Mg-Ca-Al (ただし、希土類元素 Ln=Ce, Pr, Nd, Sm, Gd, Tb)

市販品は、塗装樹脂、リード線などを除去後、5×5×0.8 mm の板状に切断し、600°C で 1 時間熱処理を施したのち板状焼結体の両面に 3.5×3.5 mm の Ag ペーストを焼き付け試料とした。

試作品は、ZnO に希土類元素 Ln を 0.5 原子%、Co 2.0 原子% を添加し、更に数種の微量の添加物、バインダを加えボールミルにて 24 時間混合後、十分に乾燥を行い、 ϕ 17 mm の金型にて 0.9 t/cm² の圧力で成形した。成形した試料を大気中 1300°C で 1 時間焼成後、研磨、熱処理、電極付けを行い、試料を作製した。試作品の試料の大きさは ϕ 14 mm、厚さ 0.8 mm で、電極径は ϕ 11.5 mm である (ただし DLTS 測定用は ϕ 6.0 mm)。

2.2 DLTS 測定

ZnO パリスターのキャパシタンスは、電圧を印加すると徐々に減少し、電圧を除くとゆっくりと元の値に戻る (図 2)。これは電圧を印加するとアクセプタータイプである界面準位に電子が捕獲されるために空乏層が広がり (図 3(a))、電圧を除くと捕獲されていた電子が放

Fig. 2. Change of capacitance by application of voltage.

Fig. 3. Capture and emission of electrons by interface states and bulk traps.

(a) applied voltage=V, (b) applied voltage=0

出され元の状態に戻る (図 3(b)) ことによる。したがって、電圧印加後のキャパシタンスの時間変化からは界面準位への電子の注入に伴う情報、反対に電圧除去後の時間変化からは界面準位から電子が放出するのに伴う情報が得られることになる。一方、バルクトラップによってもキャパシタンスは変化する。ZnO パリスターではバルクトラップはドナータイプであるため、図 3 で示すように電子の動きは界面準位とは反対になる。これに伴いキャパシタンスの過渡変化も図 2 とは逆に、電圧を印加すると増加し、電圧を除くと元の値にもどるような振舞を示す。ただし、界面準位密度の方がバルクトラップ密度に比べはるかに多いため普通の条件では図 2 に示す変化が支配的である。

DLTS 法は Lang によって考案されたもので、図 4

Fig. 4. Motion of electrons by the ordinary DLTS method.

a : steady state, b : during the pulse
c : transient state, d : shape of pulses

に示す三つの状態を繰り返す、そのときの過渡容量測定を行うことによりトラップの状態を高感度に評価する巧妙な方法である¹⁴⁾。図4は通常のDLTS手法を示しており、定常状態はバイアス電圧を印加している。定常状態を乱すため図4(d)でしめすようなパルス電圧を印加後、再び定常状態に戻るまでのキャパシタンスの過渡変化からDLTSシグナルが得られる。図4から分かるように、通常のDLTS測定では界面単位については電子の捕獲過程、バルクトラップについては放出過程による情報を得ることになる。図5で示すある時刻 t_1 と t_2 におけるキャパシタンスの差をDLTSシグナルとすると、低温ではキャパシタンスの過渡変化がゆっくりのためシグナルは小さく、逆に高温では過渡変化が速いため、やはりシグナルは小さい。したがって、DLTSシグナルは図5右図で示すようなスペクトルとなり、温度 T_m で最大となる。

一方、DLTSシグナル $D(T)$ は、

$$D(T) \propto C(t_1) - C(t_2) = \exp(t_1 \cdot e)$$

Fig. 5. Principle of DLTS method.

DLTS signal of a trap level shows a peak at a temperature T_m .

Fig. 6. Block diagram of DLTS measuring apparatus.

$$-\exp(t_2 \cdot e) \quad (1)$$

であたえられる。ここで e は深い準位からの電子の放出あるいは注入速度で、

$$e = e_0 \exp(E_t/kT) \quad (2)$$

である。 $D(T)$ は簡単な計算から、

$$e = \ln(t_1/t_2)/(t_1 - t_2) \quad (3)$$

のときに最大となる。この速度を e_m とすると、 t_1 , t_2

を色々変えて得られた e_m と T_m をアレニウスプロットすることから準位の深さ E_t 、頻度因子 e_0 から捕獲断面積などが求められる¹⁴⁾。

DLTS シグナルの符号は図 2 から分かるように、バイアス電圧の有無、深い準位の性質、すなわちドナータイプかアクセプタータイプかによって異なる。図 6 に今回測定に用いた DLTS 装置のブロックダイアグラムを示す。

2.3 V-I 特性, C-V 特性

V-I 特性はカーブトレサ (岩崎通信機モデル TT-505) による交流測定, C-V 特性は変形 C-V 特性測定^{6), 15)}にて行った。DLTS 測定は三和無線測器研究所製モデル MI 401 型によって行った。

3. 結果と考察

3.1 市販品

3.1.1 V-I 特性, C-V 特性

表 1 にバリスター電圧 (V_{1mA}), α , C-V 測定から求めたキャリア濃度 (N_d), バリャー高さ (ϕ) を示す。Pr 系, Bi 系とも添加物が大きく異なっているにもかかわらずよく似た特性を持っている。

3.1.2 DLTS 特性

図 7 は低温で測定した通常 (バイアス印加) の DLTS スペクトルである。バイアス電圧 -90 V, パルス高さ 90 V, パルス幅 1 ms, t_1, t_2 は各々 $0.95, 9.5$ ms である。Pr 系, Bi 系とも $-140^\circ\text{C}, -80^\circ\text{C}$ で負のピークが観測された。これらの準位はシグナルの符号からバルクトラップと解釈できる。図 8 は t_1, t_2 を変えて図 7 と同様な DLTS 測定を繰り返すことによって得られた電子の放出速度に関するアレニウスプロットである。図 7 及び図 8 から得られたバルクトラップに関する特性を表 2 に示す。表の E_t , N_t , σ , τ_{300K} はそれぞれ深さ, 密度, 捕獲断面積, 300 K における放出速度の逆数 (緩和時間) を示す。ただし, 捕獲断面積の計算には電子の平均速度として 2.3×10^7 cm/s を用いた。

バルクトラップの特性は, 添加物あるいは製造方法が違ってもかかわらず Pr 系, Bi 系でほとんど同じである。このことはバルクトラップが添加物に起因しているのではなく, 酸素空孔などの ZnO 自身に起因する欠陥が形成していることを示唆している。

図 9 は高温における DLTS スペクトルで, 試料は Pr

Table 1. Results of V-I and C-V measurements.

	V_{1mA} (V)	α	N_d (10^{18}cm^{-3})	ϕ (eV)
Pr-type	125	50	1.7	1.02
Bi-type	126	45	1.1	0.93

Fig. 7. Ordinary DLTS results for Pr-type and Bi-type varistors. Each two peaks are bulk traps.

Fig. 8. Arrhenius plots of emission rate for bulk traps.

Table 2. DLTS results for bulk traps.

	E_t (eV)	N_t (10^{16}cm^{-3})	σ (10^{-17}cm^2)	τ_{300K} (μs)
Pr-type L1	0.18	2.2	0.2	0.8
L2	0.29	3.0	3.2	4.6
Bi-type L1	0.18	1.1	0.8	0.3
L2	0.28	0.7	1.3	5.9

Fig. 9. Spectra by ordinary and zero-biased DLTS method.

(A) Ordinary DLTS (bias voltage = -50 V),
(B) Zero-biased DLTS

系である。パルス高さ 50 V, パルス幅 1 ms, t_1 , t_2 は各々 50 μ s, 500 μ s である。図中の (A) バイアス電圧 -50 V を印加したときのスペクトルである。バイアス電圧印加状態で DLTS シグナルが正のピークを持つのは、図 2, 図 4 で示したように、この準位がアクセプタータイプ、すなわち界面準位であることを示している。

図 9 中の (B) はバイアス電圧ゼロの条件下での DLTS スペクトルである。(A) スペクトルに比べピークが大きく、しかも反対の負の符号を持つ。ゼロバイアス電圧下で DLTS 測定を行うと、電子は図 4 で示した動きとは全く逆になり、測定にかかるのは電子の放出によるものである。定常状態がゼロバイアスの DLTS では、パルス印加により電子が界面準位に捕獲されるが、捕獲過程は放出過程に比べ速度が速いため、1 ms 程度のパルス幅で十分界面準位が満たされ図 10 で示すパルス幅とシグナル高さの関係が得られる。一方、定常状態がバイアス電圧印加状態である通常の DLTS では、パルス印加により電子が界面準位より放出されるが、短時間では十分に放出しきれないため満足できる大きさのシグナルが得られない。以上が (B) スペクトルが負の符号を持ち、しかも (A) スペクトルに比べシグナルが大きい理由である。以下定常状態がゼロバイアスの DLTS を『ゼロバイアス DLTS』と呼ぶこととする。

図 11 は Pr 系と、Bi 系についてゼロバイアス DLTS にて界面準位を比較したものである。図 12 は異なる t_1 , t_2 から得られた界面準位の放出速度のアレニウスプロットである。

Fig. 10. Peak height of DLTS signals as a function of pulse width.

Fig. 11. Comparison of DLTS peaks for interface states between Pr-type and Bi-type.

ロットである。(2) 式よりアレニウスプロットの傾きは界面準位の深さとなり、Pr 系は 1.03 eV, Bi 系は 0.94 eV が得られた。

界面準位のエネルギー分布がどのようになっているかを調べるため、実測した DLTS スペクトルと計算によるスペクトルを比較した結果を図 13 に示す。計算は界面準位が 1.03 eV の単一準位として (1) 式を用いて行った。実測値と計算値が非常に良く一致することから、得

Fig. 12. Arrhenius plots of emission rate of the interface states.

Fig. 13. Calculated peak for the interface states. The interface states are assumed to have monoenergetic distribution and obtained by the following equation, $D(T) \propto \exp(-t_1 e) - \exp(-t_2 e)$

られた界面準位は単一準位であると思われる。

3.2 試作品

3.2.1 V-I 特性, C-V 特性結果

表 3 に各種希土類元素を添加したときの V_{1mA} , α , N_d , ϕ を示す。図 14 は直流測定による低電流領域 V-I 特性

を示したものである。6 種類の希土類元素のうち Pr, Nd, Sm 添加系の特性がほぼ一致しており、 $1 \mu A$ 以上で優れた V-I 特性を示し、いずれも α が 30 以上になる。 N_d , ϕ に関しては Ce 添加系を除いてはほぼ同じ値である。

3.2.2 DLTS 特性

図 15 は界面準位を評価するために実施した高温でのゼロバイアス DLTS 測定結果である。図 16 は同じく DLTS 測定から求めた放出速度とピーク温度をアレニウスプロットした図である。界面準位の深さは Ce 添加系を除きほぼ $1 eV$ である。従来から、 α を決定するパラメータとして N_d と ϕ が重要であると言われてきたが、今回の結果はこれだけでは説明できない。図 17 は図 15 から求めた DLTS シグナル高さと α の関係をプロットしたものである。この図から DLTS シグナル高さが大きいほど α が大きくなる傾向のあることが分か

Table 3. Electric characteristics of rare earth doped varistors.

Rare earth component	V_{1mA} (V)	α	N_d ($10^{18} cm^{-3}$)	ϕ (eV)
Ce	194	18	2.5	0.9
Pr	170	78	1.8	1.1
Nd	166	50	2.1	1.1
Sm	167	37	1.6	1.1
Gd	182	26	1.1	1.1
Tb	238	51	2.1	1.1

Fig. 14. V-I characteristics of varistors containing a rare earth element.

Fig. 15. DLTS results of varistors containing rare earth element.

Fig. 16. Arrhenius plots of emission rate for varistors containing a rare earth element.

る。DLTS シグナル高さは界面準位濃度に比例するので、 α は界面準位濃度が高いほど大きいと言うことができる。この界面準位は図 13 で示したように、単一準位であるので濃度が高いほどより δ 関数的だと考えられる。

Pike は界面準位の分布の形により α がどのようなかを理論的に示した¹⁶⁾。それによると、界面準位が均一に分布しているときに最も α が低く、 δ 関数的に分

Fig. 17. Relation of DLTS peak height and α .

Fig. 18. Levels formed by chemisorbed oxygen at ZnO surface.

布しているときに最も高い α となる。Pike の計算は熱放出モデルに基づいているが、上記の考え方はトンネルモデルにも適用できるように思われる。Pike の理論及び今回の実験結果から、 α は N_d 、 ϕ のほかに界面準位濃度、分布の形が重要であることが分かる。

これまで、界面準位の起源についてはほとんど議論されていない。著者らはいくつかの理由から界面に化学吸着した酸素が界面準位を形成すると考えている。第一の理由は、ZnO 表面に吸着した酸素が作る準位は図 18 に示す 3 種類あるが¹⁷⁾、この準位が実験で得られた界面準位の深さとほぼ同じであること。第二の理由は、焼成あるいは熱処理中の酸素分圧により V-I 特性が大きく変化する¹⁸⁾こと。しかもこの変化が単にキャリア濃度の変化だけでは説明できない部分も多い¹⁹⁾。第三の理由は、焼成中に相変化し酸素を放出するような添加物、例えば Pr_6O_{11} ²⁰⁾、 Tb_4O_7 、 Co_3O_4 ²¹⁾ が V-I 特性を向上させることで、これは第二の理由とも関係する。酸素の吸着種は温度の上昇とともに

と移って行く²²⁾。300°C 以上の熱処理では O^{2-} が支配的

であるので、これが界面準位を形成する可能性が最も高い。

4. 総 括

希土類元素添加, Bi 添加 ZnO パリスターについて, DLTS 測定により界面準位を評価した。その結果, どの組成のパリスターでも界面準位深さは約 1 eV であり, 単一準位であった。電圧-電流非直線指数は界面準位濃度が高い組成ほど大きく, 従来から言われてきたキャリア濃度 N_d , バリアー高さ ϕ のほかに界面準位濃度が α を決定する重要な要因であることが分かった。

界面準位を形成するものは, いくつかの理由から化学吸着した酸素と思われる。

文 献

- 1) M. Matsuoka, T. Masuyama and Y. Iida, *Suppl. J. Jpn. Soc. Appl. Phys.*, **39**, 94-101 (1970).
- 2) K. Mukae, K. Tsuda and I. Nagasawa, *Jpn. J. Appl. Phys.*, **16**, 1361-68 (1977).
- 3) D. R. Clarke, *J. Appl. Phys.*, **49**, 2407-11 (1978).
- 4) H. Kanai, M. Imai and T. Takahashi, *J. Mater. Sci.*, **20**, 3957-66 (1985).
- 5) G. E. Pike, S. R. Kurtz and P. L. Gourley, *J. Appl. Phys.*, **57**, 5512-18 (1985).
- 6) K. Mukae, K. Tsuda and I. Nagasawa, *J. Appl. Phys.*, **50**, 4575-76 (1979).
- 7) H. R. Philipp and L. M. Levinson, *J. Appl. Phys.*, **47**, 1112-16 (1976).
- 8) K. Eda and M. Matsuoka, *Jpn. J. Appl. Phys.*, **16**, 195-96 (1977).
- 9) N. Shohata, T. Matsumura, K. Utsumi and T. Ohno, "Grain Boundary Phenomena in Electronic Ceramics", *Advances in Ceramics*, Vol. 1, Am. Ceram. Soc. (1981) pp. 349-58.
- 10) N. Shohata, T. Matsumura and T. Ohno, *Jpn. J. Appl. Phys.*, **19**, 1973-74 (1980).
- 11) A. Nitayama, H. Sakai and T. Ikoma, *Jpn. J. Appl. Phys.*, **19**, L 743-46 (1980).
- 12) 富士電機 (株) 製 ZnO パリスタ商品名ゼットラップ.
- 13) 松下電器産業製 ZnO パリスタ商品名 ZNR.
- 14) D. V. Lang, *J. Appl. Phys.*, **45**, 3023-32 (1974).
- 15) 津田孝一, 向江和郎, セラミックス, **20**, 410-14 (1985).
- 16) G. E. Pike and C. H. Seager, *J. Appl. Phys.*, **50**, 3414-22 (1979).
- 17) 宮山 勝, 柳田博明, セラミックス, **18**, 941-45 (1983).
- 18) E. Sonder and M. M. Austin, *J. Appl. Phys.*, **54**, 3566-72 (1983).
- 19) 丸山 哲, 津田孝一, 向江和郎, 永沢郁郎, 窯業協会電子材料研究討論会予稿集 (1982) pp. 33-34.
- 20) K. Mukae, K. Tsuda and I. Nagasawa, Grain Boundary Phenomena in Electronic Ceramics, *Advances in Ceramics*, Vol. 1, Am. Ceram. Soc. (1981) pp. 331-42.
- 21) E. D. Kim, C. H. Kim and M. H. Oh, *J. Appl. Phys.*, **58**, 3231-35 (1985).
- 22) 高田雅介, 柳田博明, 窯協, **87**, 13-27 (1979).