ジョセフソンコンピュータの現状

黒 沢 格, 高 田 進

電子技術総合研究所 つくば市梅園 1-1-4

(1989年8月5日受理)

Recent Progress of Josephson Computer Technology

Itaru KUROSAWA and Susumu TAKADA

Electrotechnical Laboratory, 1-1-4 Umezono, Tsukuba 305

(Received August 5, 1989)

Synopsis :

Recent progress in a Josephson computer technology is reviewed. A Josephson computer is very attractive because Josephson digital circuits have the potential for realizing LSI circuits with extremely high performance in both circuit speed and power dissipation. Recently, various Josephson LSIs, such as processors and memories, have been made successfully with Nb or NbN junctions, particularly in Japan. These junctions exhibit high reliability for thermal cycling and long term storage, and have a good uniformity of the Josephson tunnelling current due to the tri-layer junction sandwich process. On the basis of such progress in Josephson IC technology, research, on Josephson computers in which Josephson memories are installed with a processor, is now under way.

1. はじめに

コンピュータのハードウェアとして用いられる電子デバイスの性能は、今日まで著しい進歩を遂げてきた。論理回路における処理能力の増大と、メモリにおける記憶容量の増大はとどまるところを知らない。この傾向は今後も続くであろう。処理能力の増大の意味するところは機能の高速化であり、それは単体素子の高速性のみならず回路の高集積化によってもたらされる。したがって、電子デバイスの集積回路としての性能は、集積度と動作速度の両面により評価される。動作速度は、もちろん単体素子の動作速度が基本となるが、実際には集積回路における負荷状態での速度が重要である。一方、集積度は現在のところ、作製技術などの制約によるところが大きいが、将来は回路の消費電力が集積度に原理的な限界を与えると考えられる¹⁾。このような観点からみると、高速かつ消費電力の小さいジョセフソン接合素子は、その高速性を損わずに高集積化を進められ、上述の限界を克服するも

のと期待される。

そのため、ジョセフソンコンピュータの実現を目指してこれまで多くの努力がなされてきた。1970年代から80年代前半には、IBMにおいてジョセフソンコンピュータ技術に関する研究プロジェクトが精力的に進められた。日本では大型プロジェクト「科学技術用高速計算システムの研究開発」の中の1テーマとしてとりあげられ、ニオブ系ジョセフソン接合素子の集積技術を中心に発展を遂げた。その結果、近年、ジョセフソン LSI 集積回路が相次いで作製されている。本稿では、それらの成果を中心にジョセフソンコンピュータ技術の現状について解説する。

2. ジョセフソンデバイスの原理と特徴

ジョセフソン接合素子は、1962年に B. D. ジョセフソンが理論的に予言、翌年、実験的に検証された超伝導電子のトンネル効果、いわゆるジョセフソン効果を利用した素子である。その後すぐに、この素子をスイッチング素子としてコンピュータ回路に応用する試

Fig. 1 (a) Structure of a Josephson junction. (b) I-V characteristic of a Nb/Al-oxide/Nb Josephson junction. Vertical: Current (I) 500 μ A/div. Horizontal: Voltage (V) 1 mV/div.

みが始められた²⁾。70年代以降、米国 IBM における研究プロジェクトをはじめとして大いに進展し、材料・素子から回路・システムにわたる広範なジョセフソンコンピュータ技術の研究が各所で活発に行われた³⁾。

ジョセフソン接合素子の模式的な構造を Fig. 1(a) に、その電流-電圧特性を同図(b)に示す。ジョセフソン接合は、超伝導体の下部電極、薄い絶縁膜のトンネル障壁、超伝導体の上部電極の3層構造からなる。Fig. 1(b)に示すように、縦軸の接合に流れる電流が臨界電流値を越えると、ジョセフソン接合の両端に電圧が発生する。ジョセフソン接合には2つの状態(“0電圧”状態と“有限電圧”状態)がある。この2つの状態をそれぞれ情報の“0”と“1”に対応させて、デジタル回路が構成される。ジョセフソン接合素子の優れている点は、きわめて小さいエネルギーでスイッチング動作が行えることにある。Fig. 1(b)の電流、電圧は mA, mV のオーダーで、半導体に比べ電

Fig. 2 (a) A Single Josephson junction. (b) A 4 JL (Four Josephson-junction Logic) gate.

流は同程度であるが、電圧は3桁低い。その結果、消費電力は半導体の約 1/1,000 になる。

Fig. 1(a) からわかるように、ジョセフソン接合素子は基本的には2つの電極を持つ2端子素子である。2端子素子は、このままでは入力信号と出力信号の分離が難しい。これを解決するために、IBM のグループでは SQUID (超伝導量子干渉素子) を応用して2接合干渉素子や3接合干渉素子と呼ぶ論理ゲートを開発した。また 1979 年、Fulton らは接合と抵抗を組み合わせた JAWS ゲート⁴⁾ や HUFFLE⁵⁾ と呼ぶ直流電源で駆動できる回路方式を開発した。同年、Takada らは 4 JL (Four Josephson-junction Logic) と呼ぶ直接結合型の論理ゲートを開発した⁶⁾。Fig. 2 に単一の接合(a)と4 JL ゲート(b)の回路図の比較を示す。同図の×印はジョセフソン接合である。単一の接合では、入力電流により接合が電圧状態になった場合、出力電流は出力側ばかりでなく、入力側へも戻ってしまう。4 JL では動作時に、 J_1 の接合が電圧状態になることで入力信号と出力信号が分離される。その後、同様の考えに基づく多くの論理回路が生まれている⁷⁾。Fig. 3(a) は RCL (Resistor Coupled Logic)⁸⁾、(b) は RCJL (Resistor Coupled Josephson Logic)⁹⁾、(c) は MVTL (Modified Variable Threshold Logic)¹⁰⁾ と呼ばれる論理回路である。

2端子素子のまま論理回路へ応用する方法に、3相の励起電源駆動がある。この方法は、1984 年 Goto により QFP (Quantum Flux Parametron) としてジョセフソン回路に適用された¹¹⁾。その原理図を Fig. 4 に示す。QFP はジョセフソン接合を含む2つの超伝導ループからなる。それぞれのループは1磁束量子を保持することができる。入力電流の向きにより、磁束量子を保持するループが決まり、それが情報の“0”あるいは“1”の状態に対応する。そのとき、出力電

Fig. 3 Various types of Josephson logic gate. (a) RCL (Resistor Coupled Logic). (b) RCJL (Resistor Coupled Josephson Logic). (c) MVTL (Modified Variable Threshold Logic).

流は QFP の状態によりその向きが反転する。この方式は、ジョセフソン接合素子に定常的な電圧が発生しないため、消費電力がきわめて少ない。先に述べた

Fig. 4 Operating Principle of QFP (Quantum Flux Parametron).

4 JL など電圧を利用するジョセフソン論理素子にくらべても、消費電力はさらに $1/1,000$ 程度に小さい。現在、この方式の研究は、新技術開発事業団で遂行されている¹²⁾。

論理回路とともにコンピュータハードウェアの基本要素を構成するものはメモリ回路である。ジョセフソンメモリセルの基本構造は、ジョセフソン接合素子とそれを含む超伝導ループからなる。情報の記憶は、超伝導ループに流れる電流が減衰しないこと、いわゆる永久電流が利用される。このことは超伝導インダクタに捕えられる磁束を利用しているといってもよい。ジョセフソンメモリの特徴も、論理回路と同じく低消費電力性と高速性にある。

メモリ回路にもいくつかの方式がある。Fig. 5 (a) は磁気結合読み出し型メモリセル¹³⁾の回路図である。磁気検出感度の高い SQUID をセンスゲートとして、各メモリセルごとに設け、メモリループに記憶されて

Fig. 5 (a) Josephson memory cell with a magnetically coupled sense gate. (b) Variable threshold Josephson memory cell.

いる磁束を検出する。ただし、センスゲートのためにメモリセルの寸法を微細化することが難しい。これを解決する方法の一つとして、Fig. 5 (b) に示す可変しきい値型メモリセルがある¹⁴⁾。可変しきい値型メモリセルは、構成要素と配線がともに少なく構造が単純なため、従来のメモリセルとくらべるとおよそ半分の占有面積である。各メモリセルごとに設けたセンスゲートを排除できる特徴を持っている。

3. ジョセフソン接合集積技術の進展

1970 年代の IBM¹⁵⁾ の研究プロジェクトにおいては、鉛合金を電極材料とした鉛合金ジョセフソン接合素子とその集積技術が発展した。しかし、鉛合金はその機械的強度の弱さから、信頼性と高集積化に問題があった。現在、ニオブ系超伝導材料を用いたジョセフソン集積回路技術が発展してきている。典型的なニオブ系接合であるニオブ/アルミ酸化物/ニオブ接合¹⁵⁾の作製プロセスを、SNIP (Self-aligned Niobium Isolation Process) 法¹⁶⁾を例に Fig. 6 に示す。(a) 基板には Si ウエハを用い、その全面に下部電極、トンネル障壁、上部電極の 3 層からなるジョセフソン接合のサンドイッチ構造が作られる。下部および上部電極のニオブはスパッタリング法で堆積する。トンネル障壁を形成するアルミニウム酸化物は、スパッタリング法で堆積したごく薄いアルミニウム膜の表面を酸素ガス雰囲気中で室温で熱酸化することで得られる。この 3 層のトンネル接合構造は真空を破らずに連続し

Fig. 6 Cross section of a Nb/Al-oxide/Nb Josephson tunnel junction by SNIP (Self-aligned Niobium Isolation Process).

て形成される。(b) 3 層のトンネル接合構造を下部電極の形に加工する。それには反応性ガスを用いたドライエッチング法が用いられる。(c) 上部電極とトンネル障壁をジョセフソン接合素子の形に加工し、その周囲を自己整合した（セルフアライン）の絶縁層で覆う。加工には、同じく反応性ガスによるドライエッチング法が用いられ、セルフアラインの絶縁層はフォト

Table 1 Developments of Nb and NbN Josephson logic ICs.

	Function	Delay time (ps)	Gate delay (ps/gate)	Number of gates	Ref.
Kosaka <i>et al.</i> (ETL. 1983)	OR chain		18	14	17)
Kosaka <i>et al.</i> (ETL. 1984)	4×4 Multiplier	1,000		652	18)
Nakagawa <i>et al.</i> (ETL. 1985)	4-bit Shift register	195	15	74	19)
Nakagawa <i>et al.</i> (ETL. 1986)	4-bit Counter	315	15	103	20)
Nakagawa <i>et al.</i> (ETL. 1986)	2-bit ALU	157	13	174	21)
Kotani <i>et al.</i> (Fujitsu. 1987)	16-bit ALU	1,050	11.5	900	22)
Kotani <i>et al.</i> (Fujitsu. 1988)	4-bit Processor	(770 MHz)		1,841	23)
Hatano <i>et al.</i> (Hitachi. 1989)	4-bit Data processor	(1.02 GHz)		2,066	24)

Table 2 Developments of Josephson RAM.

	Technology	Capacity (bit)	Access Time (ps)	Power (mW)	Operational bit
Henkels <i>et al.</i> ²⁵⁾ (IBM, 1983)	lead-alloy	1 K	700		
Yamamoto <i>et al.</i> ²⁶⁾ (NTT, 1983)	lead-alloy	1 K	3,500	2.0	Several
Wada <i>et al.</i> ²⁷⁾ (NEC, 1988)	Nb	1 K	570	6.0	40%
Kurosawa <i>et al.</i> ²⁸⁾ (ETL, 1988)	Nb	1 K	500	1.9	98%

レジストを取り除く前に SiO₂ を蒸着することで得られる。(d)その後、配線層を上部電極に接続する。

この例からもわかるように、ニオブ系ジョセフソン接合素子の作製技術の特徴は次のとおりである。

1. ジョセフソン接合を構成する電極に高融点金属の超伝導体を用いている。
2. ジョセフソン接合を構成する層が一括して作成される。
3. トンネル障壁が熱酸化法やスパッタリング法による酸化膜で形成される。
4. 接合部分などの加工にドライエッチング法が用いられる。

その結果、信頼性が高く、素子特性のばらつきの少ないジョセフソン接合素子が集積回路に適用できるようになった。

Table 1 に、現在までのニオブ系ジョセフソン論理集積回路の開発状況を示す。ニオブ系集積回路の先駆的な仕事は、Kosaka らによる 1983 年の OR チェーンによるジョセフソンゲートの速度評価¹⁷⁾、1984 年の 4 × 4 ビットかけ算器¹⁸⁾である。これらは窒化ニオブを下部および上部電極とした接合素子作製技術により作られた。ついで、Nakagawa らにより 4 ビットシフトレジスタ¹⁹⁾や、4 ビットカウンタ²¹⁾、2 ビット ALU (算術論理演算ユニット)²⁰⁾がニオブ/アルミ酸化物/ニオブ接合作製技術を用いて作製された。このころまでに、電総研から大型プロジェクトに参加する各社へのニオブ系集積回路技術の技術移転が終わり、1987 年 Kotani らによる 16 ビット ALU モデル²²⁾が作製された。

1988 年には、富士通の Kotani らのジョセフソン版 Am 2901 とでも呼ぶべき、4 ビットプロセッサによりジョセフソン集積回路の高速性が再確認された²³⁾。Am 2901 は、Si 素子の 4 ビットスライスマイクロプロセッサの標準的なプロセッサチップである。Si チ

ップの機能や構成をそのまま、ジョセフソン接合素子を用いて集積化した。半導体技術との性能比較を行う上では、時宜を得た試みである。その結果、Si チップにくらべては 25 倍以上、GaAs チップにくらべては 10 倍以上の高速性能が得られた。

1989 年、日立では Hatano らにより 4 ビットデータプロセッサが試作された²⁴⁾。演算処理回路と順序制御回路を持つ、マイクロプログラム方式のプロセッサであり、8 個の命令が実行できる。ゲート数は 2,066 個、5 mm 角のチップに集積されている。マイクロプログラム用の ROM 回路における高速動作が測定され、クロック周波数 1 GHz までの動作が確認された。

ジョセフソンメモリの開発は、その失敗が IBM のプロジェクト中止の理由にあげられるほど難しいものであった^{25,26)}。しかしながら、ニオブ系ジョセフソン接合集積回路技術の発展と、メモリ回路技術の工夫により、ジョセフソンメモリの研究も大きな発展をみている。Table 2 はジョセフソン RAM の開発状況を示している。1988 年、日電の Wada ら²⁷⁾と電総研の Kurosawa ら²⁸⁾により相次いで 1 K ビットジョセフソン RAM が作製された。前者の RAM は、磁気結合読み出し型のメモリセルを用いており、動作実験の結果、1 K ビットのうち正常な動作を示したビットは 40 %であった。可変しきい値型メモリセルを用いた後者の RAM では、動作実験の結果、98 %のビットが正常な動作を示した。これらの成果は、ニオブ系集積回路技術に負うところが大きく、ジョセフソンメモリの開発に大きなブレークスルーをもたらしたといえる。

4. ジョセフソンコンピュータ

以上、ジョセフソン集積回路の歩みを見てきた。日本での研究がきわめて盛んであることがわかる。しかしながら、ジョセフソン集積回路を用いメモリを備え

たコンピュータと呼べるシステムは、現在、まだ実現していない。コンピュータには、演算、制御、プログラムおよびデータメモリといった基本的機能を備えた集積回路が求められる。ジョセフソンコンピュータはこれまでの室温の半導体のシステムとは、環境温度や動作原理が異なるために、その開発にはジョセフソンコンピュータ特有の新たな技術が必要である。

ジョセフソン集積回路技術の発展を背景としたジョセフソンコンピュータへの挑戦の試みとして、現在、電総研において進められている ETL-JC 1 と呼ぶコンピュータプロトタイプ計画について紹介する²⁹⁾。ETL-JC 1 は、ジョセフソン接合素子の特徴を活かした、将来のジョセフソンコンピュータの原型を作る目的で設計された。Fig. 7 に、ETL-JC 1 の構成を示す。ETL-JC 1 の設計には、RISC (Reduced Instruction Set Computer) アーキテクチャがとりいれられ、ジョセフソン接合素子の高速性能を活かして

いる。全体は4種類の LSI チップから構成される。まず、計算機能を果たすレジスタ算術論理演算ユニットチップ (Register and Arithmetic/Logic Unit: RALU)³⁰⁾、プログラムの流れを制御するシーケンス制御チップ (Sequence Control Unit: SQCU)³¹⁾、プログラムを格納する命令 ROM チップ (Instruction ROM Unit: IROU)³²⁾、そして演算結果を収納するデータ RAM チップ (Data RAM Unit: DRAU)³³⁾から構成される。

プログラムはあらかじめ ROM に焼き付けられる。プログラムの1命令は10ビットからなり、最大128ステップが収納される。ROM から読み出された命令は、RALU チップで解釈され、演算処理される。演算結果は、データ RAM に格納され、必要に応じて何度でも RALU により参照される。シーケンス制御チップは、プログラムの流れを制御する。命令は27種類で、算術論理演算のほか、条件付きジャンプ、サ

Fig. 7 Block diagram of Josephson computer prototype ETL-JC 1.

(a) Register and Arithmetic/Logic Unit (RALU) chip.

(b) Sequence Control Unit (SQCU) chip.

(c) Instruction ROM Unit (IROU) chip.

(d) Data RAM Unit (DRAU) chip.

Fig. 8 Fabricated Josephson LSIs constituting a Josephson computer prototype.

ブルーチンコール、リターンなどすべてのコンピュータの基本機能を持つ。1命令を1サイクルで実行するRISCは、処理速度の速いジョセフソンデバイスを活かす上で有効である。また、RISCアーキテクチャによりチップの構成部品を減少させられることは、液体ヘリウム温度という厳しい環境での動作をより確実にする。

現在、それぞれのチップの作製が完了しており、統合してプロセッサ機能を果たすRALUチップとSQCUチップについては接続動作実験に成功している³⁵⁾。Fig. 8に、作製されたそれぞれのチップの顕微鏡写真を示す。同図(a)RALUチップは、3 μ mル

ールのニオブ/アルミ酸化物/ニオブ接合集積技術を用い、1,273個の4JLゲートが4.3 $\times$ 5(mm)²のチップ上に集積されている。同図(b)シーケンス制御チップの作製には、ニオブ酸化膜を障壁とする2.5 μ mルールの窒化ニオブ接合集積技術が用いられた。3mm角のチップに593の4JLゲートが集積されている。同図(c)命令ROMチップは、酸化マグネシウム膜を障壁とする窒化ニオブ接合を用いて3 μ mルールで作製され、3.5 $\times$ 5(mm)²チップ上に1,280ビットのROMと789個の4JLゲートが集積されている。同図(d)データRAMチップは、3 μ mルールのニオブ/アルミ酸化物/ニオブ接合集積技術により、

1,024 ビットのメモリセルと1,003 個の 4 JL ゲートが 3.7×3.8 (mm)² のチップ上に集積されている。論理回路は、組合せ回路、順序回路ともに 4 JL ゲートを基本として構成されている。また RAM には可変しきい値型メモリが、電源には 2 相脈流方式³⁴⁾が用いられている。

これらの集積回路を短期間で設計する目的で、電総研では新たにジョセフソン集積回路用 CAD (Computer Aided Design) システムを開発した³⁶⁾。回路規模が大きくなるにしたがって、ジョセフソン回路の設計やチップ上のレイアウトや配線などのすべてを人手で行うことは難しくなっている。そこで、シリコン集積回路の設計ですでに実用化されている CAD システムを応用して、ジョセフソン LSI が設計できる CAD システムを完成した。論理 CAD、論理シミュレーション、スタンダードセル方式によるレイアウト設計からなる。上記 RALU チップとシーケンス制御チップの設計に用いられ、その有効性が示された。今後、ジョセフソン LSI の開発に広く利用されることが期待される。

5. おわりに

ジョセフソンコンピュータ技術の最近の成果について紹介した。それは、日本を中心に発展したニオブ系ジョセフソン接合集積技術の進歩に負うところが大きい。論理集積回路、メモリ集積回路ともに、LSI 規模のジョセフソン集積回路が生み出されている。

そのような技術進歩を背景に進められているジョセフソンコンピュータの計画に、電総研における ETL-JC 1 がある。ETL-JC 1 は演算、制御、プログラムおよびデータメモリといったすべての基本的な機能を備えた RISC 型の 4 ビットのジョセフソンコンピュータである。2 種類の論理集積回路チップと 2 種類のメモリ集積回路チップが搭載されたクライオスタット、コンソール、冷凍システムなどからなる。

今後、ジョセフソンコンピュータの安定な高速動作を実現するためには、極低温用の高速実装技術の開発など残された課題も多い。しかしながら、ニオブ系接合技術によるジョセフソン LSI 集積回路の実現で、高性能ジョセフソンコンピュータへの挑戦が新たな段階に達したといえる。

最後に、本稿をまとめるにあたり、チップ写真ほかデータの提供をいただいた幸坂 紳、仲川 博、青柳

昌宏の諸氏に感謝いたします。

参 考 文 献

- 1) M. Uenohara, N. Kawamura and Y. Okuto: VLSI Electronics, Vol. 9, Academic Press (1985) 416 他に, J. D. Meindl: Tech. Digest International Electron Device Meeting (IEDM) (1983) 8 および, R. W. Keys: IEEE Trans. Electron Devices **ED-26** (1979) 271
- 2) J. M. Rowell: Phys. Rev. **11** (1963) 200 および, J. Matisso: Proc. IEEE **55** (1967) 172
- 3) W. Anacker: IEEE Trans. Magn. **MAG-5** (1969) 968 および, IBM J. Res. Develop. Vol. 24, No. 2 (1980) (Special issue on Josephson Computer Technology) および, 電総研彙報 **48**, No. 4 (1984) (ジョセフソンコンピュータ技術特集号)
- 4) T. A. Fulton, S. S. Pei and L. N. Dunkleberger: Appl. Phys. Lett. **34** (1979) 709
- 5) T. A. Fulton, S. S. Pei and L. N. Dunkleberger: IEEE Trans. Magn. **MAG-15** (1979) 1876
- 6) S. Takada, S. Kosaka and H. Hayakawa: Proc. 11th (1979 Int.) Conf. Solid State Devices, Tokyo 1979, Japan. J. Appl. Phys. Suppl **19-1** (1980) 607
- 7) T. R. Gheewala and A. Mukherjee: Tech. Digest International Electron Device Meeting (IEDM) (1979) 482
- 8) K. Hohkawa, M. Okada and A. Ishida: Appl. Phys. Lett. **39** (1981) 653
- 9) J. Sone, T. Yoshida, S. Tahara and H. Abe: Appl. Phys. Lett. **40** (1982) 741
- 10) N. Fujimaki, S. Kotani, S. Hasuo and T. Yamaoka: Japan. J. Appl. Phys. **24** (1985) L1
- 11) 後藤英一: 理研シンポジウム「ジョセフソン・エレクトロニクス」報告集 (1984) 48
- 12) Y. Harada, H. Nakano, N. Miyamoto, U. Kawabe, E. Goto and T. Soma: IEEE **MAG-23** (1987) 3801
- 13) W. H. Henkels and J. H. Greiner: IEEE J. Solid-State Circ. **SC-14** (1979) 794
- 14) I. Kurosawa, A. Yagi, H. Nakagawa and H. Hayakawa: Appl. Phys. Lett. **43** (1983) 1067; **44** (1984) 567
- 15) M. Gurvitch, M. A. Washington and H. A. Huggins: Appl. Phys. Lett. **42** (1983) 472
- 16) A. Shoji, S. Kosaka, F. Shinoki, M. Aoyagi and H. Hayakawa: Appl. Phys. Lett. **41** (1982) 1097 他に, SNAP 法については

- H. Kroger, L. N. Smith and D. W. Sillie: Appl. Phys. Lett. **39** (1981) 280 SNEP 法については M. Gurvitch: 文献 15)
- 17) S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, H. Nakagawa, S. Takada and H. Hayakawa: Appl. Phys. Lett. **43** (1983) 213
 - 18) S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, S. Tahara, H. Ohigashi, H. Nakagawa S. Takada and H. Hayakawa: IEEE Trans. Magn. IEEE Tsans. Magn. **MAG-21** (1985) 102
 - 19) 仲川 博, 黒沢 格, 高田 進, 早川尚夫: 電子通信学会技術研究報告 SCE 85-35-35 (1985)
 - 20) H. Nakagawa, I. Kurosawa, S. Takada and H. Hayakawa: IEEE Trans, Magn. **MAG-23** (1987) 739
 - 21) H. Nakagawa, I. Kurosawa and S. Takada: Extended Abst. 18 th Conf. Solid State Devices and Materials (1986) 751
 - 22) S. Kotani, N. Fujimaki, T. Imamura, and S. Hasuo: ISSCC Digest Tech. Papers (1987) 60
 - 23) S. Kotani, N. Fujimaki, T. Imamura and S. Hasuo: ISSCC Digest Tech. Papers (1988) 150
 - 24) Y. Hatano, H. Mori, H. Yamada, H. Nagaiishi, H. Takane, M. Hirano and U. Kawabe: ISSCC Digest Tech. Papers (1989) 234
 - 25) W. H. Henkels, K. H. Brown, T. V. Rajeevakumar, L. Geppert, J. W. Allan, Y. H. Lee and J. T. Yeh: Proc. IEEE International Conf. Computer Design (1983) 570
 - 26) M. Yamamoto, Y. Yamauchi, K. Miyahara, K. Kuroda, F. Yanagawa and A. Ishida: IEEE Electron Device Lett. **EDL-4** (1983) 150
 - 27) Y. Wada, S. Nagasawa, I. Ishida, M. Hidaka, H. Tsuge and S. Tahara: ISSCC Digest tech. Papers (1988) 84
 - 28) I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi and S. Takada: Extended Abst. 20 th International Conf. Solid State Devices and Materials (1988) 605 および, I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi and S. Takada: IEEE J. Solid-State Circ. **24** (1989) 1034.
 - 29) 岡田義邦, 濱崎陽一, 仲川 博, 幸坂 紳, 黒沢 格, 青柳昌宏, 高田 進: 電子情報通信学会技術研究報告 SCE 83-35 (1988)
 - 30) 仲川 博, 岡田義邦, 濱崎陽一, 河村裕樹, 幸坂 紳, 黒沢 格, 青柳昌宏, 高田 進: 電子情報通信学会技術研究報告 SCE 88-36 (1988) および, H. Nakagawa, S. Kosaka, H. Kawamura, I. Kurosawa, M. Aoyagi, Y. Hamazaki, Y. Okada and S. Takada: IEEE J. Solid-State Circ. **24** (1989) 1076
 - 31) S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi, I. Kurosawa, A. Shoji and S. Takada: IEEE Trans. Magn. **25** (1989) 789 および, 幸坂 紳, 仲川 博, 岡田義邦, 濱崎陽一, 河村裕樹, 青柳昌宏, 黒沢 格, 東海林彰, 高田 進: 電子情報通信学会技術研究報告 SCE 88-37 (1988)
 - 32) 青柳昌宏, 仲川 博, 黒沢 格, 河村裕樹, 岡田義邦, 濱崎陽一, 幸坂 紳, 東海林彰, 高田 進: 電子情報通信学会技術研究報告 SEC 88-38 (1988) および, M. Aoyagi, H. Nakagawa, I. Kurosawa, Y. Okada Y. Hamazaki, S. Kosaka, A. Shoji and S. Takada: Extended Abst. International Superconductivity Electronics Conf. (1989) 271
 - 33) 黒沢 格, 仲川 博, 幸坂 紳, 青柳昌宏, 岡田義邦, 濱崎陽一, 高田 進: 電子情報通信学会技術研究報告 SCE88-39 (1988) および, I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, Y. Hamazaki, Y. Okada and S. Takada: Extended Abst. International Superconductivity Electronics Conf. (1989) 302
 - 34) 岡田義邦, 濱崎陽一, 曾川英一, 大東栄夫, 仲川 博, 早川尚夫: 電子通信学会技術研究報告 ED 81-146 (1982)
 - 35) H. Nakagawa, S. Kosaka, I. Kurosawa, M. Aoyagi, Y. Hamazaki, Y. Okada and S. Takada: Extended Abst. International Superconductivity Electronics Conf. (1989) 387
 - 36) 河村裕樹, 幸坂 紳, 仲川 博, 岡田義邦, 濱崎陽一, 黒沢 格, 青柳昌宏, 高田 進: 電子情報通信学会技術研究報告 SCE 88-34 (1988)