論文

任意形状のメンバーシップ関数が 記憶可能なファジイレジスタの提案[†]

小沢 和浩^{*1} 廣田 薫^{*2}

現在の電子計算機の記憶素子の基本単位である J-K フリップフロップをファジィへ拡張し、それにより定義されたファジィフリップフロップを台集合上のカージナル数だけ用いてファジィレジスタを構成した。ここで提案したファジィレジスタでは、その基本セルとして各種ファジィ演算系で定義されたファジィフリップフロップを用いることにより任意形状のメンバーシップ関数の記憶、反転出力、各種ファジィ合成が可能となる。また、台集合上に記述されたメンバーシップ関数が左右にシフト可能なファジィシフトレジスタの提案も行った。

キーワード：ファジィフリップフロップ、メンバーシップ関数、ファジィレジスタ、ファジィ合成、カージナル数

1. はじめに

ファジィ情報の高速処理を目的としたファジィコンピュータの実現に向けて、各種ファジィ演算を直接ハードウェアレベルで実行する推論マシン¹⁾²⁾³⁾やファジィ推論ハードウェアの開発環境⁴⁾も発表されている。また、ファジィ情報の記憶素子に関する研究も行われている。メンバーシップ関数を記憶するデバイスとしては山川、佐々木らのファジィメモリデバイス⁵⁾があり、これはファジィプロダクションルールで用いられる有限個の(文献5の場合は8個の)メンバーシップ関数(ファジィワード)の記憶が可能である。

著者らは、現在の電子計算機の記憶素子の基本単位である J-K フリップフロップをファジィ否定、t-ノルム、s-ノルムを用いてファジィ拡張を行いファジィフリップフロップとしての定義

を行った⁶⁾。このファジィフリップフロップの入出力特性に関しては、min、max 演算を用いた min max 型ファジィフリップフロップ、代数積、代数和演算を用いた、代数積代数和型のファジィフリップフロップ、限界積、限界和の演算を用いた限界積限界和型ファジィフリップフロップ、激烈積、激烈和演算を用いた激烈積激烈和型ファジィフリップフロップの4つについて既に明らかにしている⁶⁾⁷⁾。さらに、以上の各種ファジィ演算系で定義されたファジィフリップフロップの中で実用上最も有用と思われる、min max 型ファジィフリップフロップと代数積代数和型ファジィフリップフロップに関しては、離散近似型と連続電圧値モードによる回路化を既に終えている⁸⁾⁹⁾¹⁰⁾¹¹⁾。

本論文ではこのファジィフリップフロップを基にして、任意形状のメンバーシップ関数が記憶可能でかつその反転出力や各種のファジィ演算が可能なファジィレジスタの提案を行う。このファジィレジスタを用いると代表的なファジィ推論で用いられている max-min 合成や、max-代数積合成、max-限界積合成が可能となる。また、記憶したメンバーシップ関数が台集合上で左右にシフト可能なファジィシフトレジスタの提案も行う。

[†] Proposition of Fuzzy Register Which Can Store Any Membership Function
Kazuhiro OZAWA and Kaoru HIROTA

^{*} 1法政大学大学院工学研究科電気工学専攻
Department of Electric Engineering, Graduate School of Engineering, Hosei University

^{*} 2法政大学工学部電気工学科計測制御専攻
Department of Instrument and Control Engineering, College of Engineering, Hosei University

2. ファジィレジスタの定義

ファジィフリップフロップは、2値J-Kフリップフロップの特性をすべて包含してファジィ拡張されているため、任意のファジィ値(1エレメント)の記憶、反転出力(ファジィ否定)、この他にファジィフリップフロップ特有の諸機能を持つ。以下に後の議論で必要なため min max 型(式(2-1))⁶⁾⁷⁾、代数積代数和型(式(2-2))¹⁰⁾、限界積限界和型(リセット型、式(2-3)、セット型、式(2-4))⁶⁾⁷⁾ファジィフリップフロップの定義式を示す。

$$Q(t+1) = [J(t) \vee \{1 - K(t)\}] \wedge [J(t) \vee Q(t)] \\ \wedge [\{1 - K(t)\} \vee \{1 - Q(t)\}] \quad (2-1)$$

$$Q(t+1) = J(t) + Q(t) - \{J(t) + K(t)\}Q(t) \quad (2-2)$$

$$Q(t+1) = 1 \wedge [0 \vee \{J(t) - Q(t)\} \\ + 0 \vee \{Q(t) - K(t)\}] \quad (2-3)$$

$$Q(t+1) = 0 \vee [1 \wedge \{J(t) + Q(t)\} \\ + 1 \wedge \{2 - K(t) - Q(t)\} - 1] \quad (2-4)$$

以上の4つのファジィフリップフロップの諸機能を用いて任意形状のメンバーシップ関数の記憶モジュールの実現が可能である。この記憶モジュールを以下では**ファジィレジスタ**と呼ぶことにする。ファジィフリップフロップが2値J-Kフリップフロップのファジィ拡張となっていることから、ここで定義したファジィレジスタは2値のレジスタのファジィ拡張となっている。つまり、ファジィレジスタはメンバーシップ関数のメモリモジュールとなっていることがわかる。限界積限界和型ファジィフリップフロップでリセット型(式(2-3))、セット型(式(2-4))の両方を独立に扱った理由としては、リセット型、セット型がそれぞれ2値J-Kフリップフロップの持つ4つの基本特性(記憶、リセット、セット、反転出力)の全てを満たしてファジィへの拡張がなされていること⁷⁾に起因している。また、限界積限界和型ファジィフリップフロップのリセット型、セット型の統一も可能であるがその入出力特性が min max 型や代数積代数和型に比べ複雑であり、本論文で提案す

るファジィレジスタの様々な機能を実現するには限界積限界和型の統一式を用いる必要はない。そこで、本論文では以上の4つのファジィフリップフロップを基本として用いたファジィレジスタの諸機能について議論する。ファジィレジスタは図2.1に示すようにファジィフリップフロップを n 個(台集合のカージナル数)用いて任意形状のメンバーシップ関数の記憶、反転出力、ファジィ合成を可能にしている。ここで、 S_i はメンバーシップ関数をファジィレジスタにセットするための制御信号である。このファジィレジスタ回路に数個のファジィゲート素子を加えると台集合上のメンバーシップ関数の左右シフト動作が可能なるファジィシフトレジスタが構成可能となる。

図2.1 ファジィレジスタ

3. ファジィレジスタの機能

3-1. 任意形状のメンバーシップ関数のセット

ファジィレジスタを用いると任意形状のメンバーシップ関数のセットが可能である。これは、メンバーシップ関数を記述する台集合のカージナル数(n 個)だけ配置した全てのファジィフリップフロップをリセット後($J_i(t)=0$, $K_i(t)=1$ を入力)、 $J_i(t)$ 入力端子に任意のファジィ値を入力し、 $K_i(t)$ 入力端子に0を並列的に入力することによ

り実現される。つまり、ファジィフリップフロップのセット機能を用いる。以下に min max 型ファジィレジスタと代数積代数和型ファジィレジスタについて解析を行う。ここで、添字 i は台集合上の i 番目のファジィフリップフロップを示す ($1 \leq i \leq n$)。

a_i を任意のファジィ値とし、

$J_i(t) = a_i$, $K_i(t) = 0$, $Q_i(t) = 0$ とすると、

1) min max 型

$$\begin{aligned} Q_i(t+1) &= (a_i \vee 1) \wedge (a_i \vee 0) \wedge (1 \vee 1) \\ &= 1 \wedge a_i \wedge 1 \\ &= a_i \end{aligned} \quad (3-1)$$

2) 代数積代数和型

$$\begin{aligned} Q_i(t+1) &= a_i + 0 - (a_i + 0) \cdot 0 \\ &= a_i \end{aligned} \quad (3-2)$$

3) 限界積限界和型(リセット型)

$$\begin{aligned} Q_i(t+1) &= 1 \wedge \{0 \vee (a_i - 0) + 0 \vee (0 - 0)\} \\ &= 1 \wedge a_i \\ &= a_i \end{aligned} \quad (3-3)$$

4) 限界積限界和型(セット型)

$$\begin{aligned} Q_i(t+1) &= 0 \vee \{1 \wedge (a_i + 0) \\ &\quad + 1 \wedge (2 - 0 - 0) - 1\} \\ &= 0 \vee (a_i + 1 - 1) \\ &= 0 \vee a_i \\ &= a_i \end{aligned} \quad (3-4)$$

となる。

以上で任意のファジィ値が全ての場合にセットされることになる。つまり、ファジィレジスタ全体としては任意形状のメンバーシップ関数のセットが可能である。

3-2. メンバーシップ関数の反転(否定)出力

ファジィレジスタに一度セットされた任意形状のメンバーシップ関数の反転(否定)出力も可能である。これはファジィレジスタの基本セルとなるファジィフリップフロップにセットされた任意のファジィ値の反転出力をとればよい。つまり、 $J_i(t)$ 入力端子、 $K_i(t)$ 入力端子共に 1 を入力すれば良いことになる。この動作を以下に解析的に述べ

ることにする。

$J_i(t) = 1$, $K_i(t) = 1$, $Q_i(t) = a_i$ とすると、

1) min max 型

$$\begin{aligned} Q_i(t+1) &= (1 \vee 0) \wedge (1 \vee a_i) \wedge \{0 \vee (1 - a_i)\} \\ &= 1 \wedge 1 \wedge (1 - a_i) \\ &= 1 - a_i \end{aligned} \quad (3-5)$$

2) 代数積代数和型

$$\begin{aligned} Q_i(t+1) &= 1 + a_i - 2 a_i \\ &= 1 - a_i \end{aligned} \quad (3-6)$$

3) 限界積限界和型(リセット型)

$$\begin{aligned} Q_i(t+1) &= 1 \wedge \{0 \vee (1 - a_i) + 0 \vee (a_i - 1)\} \\ &= 1 \wedge (1 - a_i) \\ &= 1 - a_i \end{aligned} \quad (3-7)$$

4) 限界積限界和型(セット型)

$$\begin{aligned} Q_i(t+1) &= 0 \vee \{1 \wedge (1 + a_i) \\ &\quad + 1 \wedge (2 - 1 - a_i) - 1\} \\ &= 0 \vee \{1 + 1 \wedge (1 - a_i) - 1\} \\ &= 0 \vee (1 - a_i) \\ &= 1 - a_i \end{aligned} \quad (3-8)$$

となる。

以上で、全ての場合に任意のファジィ値 a_i の反転出力 $1 - a_i$ が得られる。つまり、ファジィレジスタ全体としては任意形状のメンバーシップ関数の反転(否定)出力が得られることになる。

4. ファジィレジスタを用いた各種ファジィ合成

4-1. ファジィレジスタによる max-min 合成

ファジィ推論で最も多く用いられている方法に max-min 合成がある。これは、ファジィプロダクションルールの前件部命題に記述されたメンバーシップ関数と入力情報との min 演算を行い照合度を求め、その照合度の値と後件部メンバーシップ関数との min 演算を行い、得られた後件部メンバーシップ関数の max 統合を全てのルールについて行い、最終的に得られたメンバーシップ関数の非ファジィ化の後出力値を求める方法である。ここで提案するファジィレジスタは、この max-min 合成にも用いることができる。

後件部メンバーシップ関数がファジィレジスタに既にセットされているものとし、ファジィプロダクションルールに記述されている前件部メンバーシップ関数と入力情報との min 演算を行った結果の照合度を α とする。ファジィレジスタの基本セルであるファジィフリップフロップの $J_i(t)$ 、 $K_i(t)$ 入力端子にそれぞれ 0、 $1-\alpha$ を入力することにより後件部メンバーシップ関数との min 演算が可能となる。これはファジィフリップフロップのリセット機能を利用したものである。以下に、解析的に計算を行った結果を示す。

$J_i(t)=0$ 、 $K_i(t)=1-\alpha$ 、 $Q_i(t)$ を既に記憶されているメンバーシップ値とすると、min max 型ファジィフリップフロップの定義式より、

$$\begin{aligned}
 Q_i(t+1) &= \alpha \wedge Q_i(t) \wedge [\alpha \vee \{1-Q_i(t)\}] \\
 &= Q_i(t) \wedge [(\alpha \wedge \alpha) \\
 &\quad \vee (\alpha \wedge \{1-Q_i(t)\})] \\
 &= Q_i(t) \wedge [\alpha \wedge \{\alpha \vee (1-Q_i(t))\}] \\
 &= \{Q_i(t) \wedge \alpha\} \wedge [Q_i(t) \\
 &\quad \vee \{\alpha \wedge (1-Q_i(t))\}] \\
 &= \{Q_i(t) \wedge \alpha\} \wedge [\{Q_i(t) \wedge \alpha\} \\
 &\quad \vee \{Q_i(t) \wedge (1-Q_i(t))\}] \\
 &= Q_i(t) \wedge \alpha \quad (4-1)
 \end{aligned}$$

となって、min 演算が実行されたことになる。任意形状として三角形のメンバーシップ関数をとった場合についての一例を図 4.1 に示す。

図4.1 min-max 合成

4-2. ファジィレジスタによる

max-代数積合成

ファジィレジスタの基本セルであるファジィフリップフロップに代数積代数和型を用いると、max-代数積合成で用いられるメンバーシップ関数の代数積的な縮小が可能である。ここでも、4-1.と同様、ファジィフリップフロップのリセット機能を用いることにする。以下に計算結果を示す。

$J_i(t)=0$ 、 $K_i(t)=1-\alpha$ 、 $Q_i(t)$ を既に記憶されているメンバーシップ値とすると、代数積代数和型ファジィフリップフロップの定義式より、

$$\begin{aligned}
 Q_i(t+1) &= Q_i(t) - (1-\alpha) Q_i(t) \\
 &= Q_i(t) - Q_i(t) + \alpha Q_i(t) \\
 &= \alpha Q_i(t) \quad (4-2)
 \end{aligned}$$

となり、簡単に示すことができる。ここでも、任意形状として三角形のメンバーシップ関数をとった場合についての計算結果を図 4.2 に示す。

図4.2 max-代数積合成

4-3. ファジィレジスタによる

max-限界積合成

ここでは、ファジィフリップフロップとして限界積限界和型(リセット型)を用いるとメンバーシップ関数の限界積縮小が可能となる。ここでも、ファジィレジスタに任意形状のメンバーシップ関数が既に記憶されているものとして、議論を進める。

$J_i(t)=0$, $K_i(t)=1-\alpha$, $Q_i(t)$ を既に記憶されているメンバーシップ値とすると、限界積限界和型(リセット型)ファジィフリップフロップの定義式より、

$$\begin{aligned} Q_i(t+1) &= 1 \wedge [0 \vee \{-Q_i(t)\} \\ &\quad + 0 \vee \{Q_i(t) - (1-\alpha)\}] \\ &= 1 \wedge [0 \vee \{Q_i(t) - (1-\alpha)\}] \end{aligned}$$

1) $Q_i(t) \leq 1-\alpha$ のとき、

$$Q_i(t+1)=0$$

2) $Q_i(t) > 1-\alpha$ のとき、

$$Q_i(t+1)=0 \vee \{Q_i(t) - (1-\alpha)\} \quad (4-3)$$

この計算結果を図 4.3 に示す。

図4.3 max-限界積合成

5. その他の機能

ファジイレジスタには 4. で述べた機能の他に代数積代数和型、限界積限界和型(セット型)のファジィフリップフロップのセット機能を用いるとファジィプロダクションルールの前件部変数の重みを軽くすることが可能である。

5.1 代数積代数和型ファジイレジスタのセット機能

代数積代数和型ファジィフリップフロップのセット機能を用い、ファジィプロダクションルールの前件部変数の重みを軽くするには、各ファジィ

フリップフロップの $J_i(t)$ 入力端子に重みの度合 β を、 $K_i(t)$ 入力端子に 0 を入力することにより実現される。

$J_i(t)=\beta$, $K_i(t)=0$, $Q_i(t)$ を既に記憶されている任意のファジィ値として、代数積代数和型ファジィフリップフロップの定義式より、

$$\begin{aligned} Q_i(t+1) &= \beta + Q_i(t) - \beta Q_i(t) \\ &= \beta + (1-\beta) Q_i(t) \end{aligned} \quad (5-1)$$

となる。

ここでも、三角形のメンバーシップ関数を例にとった場合についての計算結果を図 5.1 に示す。

図5.1 代数積代数和型(セット型)ファジイレジスタのセット機能

5.2 限界積限界和型(セット型)ファジイレジスタのセット機能

代数積代数和型ファジイレジスタと同様に限界積限界和型(セット型)ファジイレジスタを用いても前件部変数の重みを軽くすることが可能である。

$J_i(t)=\beta$, $K_i(t)=0$, $Q_i(t)$ を既に記憶されている任意のファジィ値とすると、限界積限界和型(セット型)ファジィフリップフロップの定義式より、

$$\begin{aligned} Q_i(t+1) &= 0 \vee [1 \wedge \{\beta + Q_i(t)\} \\ &\quad + 1 \wedge \{2 - Q_i(t)\} - 1] \\ &= 0 \vee [1 \wedge \{\beta + Q_i(t)\}] \\ &= 1 \wedge \{\beta + Q_i(t)\} \end{aligned} \quad (5-2)$$

となる。

以上の計算結果を図 5.2 に示す。

図5.2 限界積限界和型 (セット型)
ファジィレジスタのセット機能

6. ファジィシフトレジスタの構成

ここでは、2. で提案したファジィレジスタに左右のシフト機能も組み込んだファジィシフトレジスタの回路構成について提案を行う。このファジィシフトレジスタを用いると記憶したファジィプロダクションルールのメンバーシップ関数のラベルやグレードの変更が可能となる。回路構成を図6.1に、回路のファンクションテーブルを表6.1に示す。ここで、 S_L 、 S_R はそれぞれ台集合上のメンバーシップ関数の左シフトと右シフト動作を

図6.1 ファジィシフトレジスタ

表6.1 ファジィシフトレジスタの
ファンクションテーブル

	Memory	Reset	Set	Inverse	Shift Left	Shift Right
M	1	0	0	0	0	0
S_L	0	0	0	0	1	0
S_R	0	0	*	1	0	0
$J(t)$	0	0	*	1	0	0
$K(t)$	0	*	0	1	0	0

* : Don't care

制御するための信号入力端子である。また、表6.1のReset、Setの欄の「*」はDon't Careを意味している。以下に、台集合上の*i*-1番目のファジィフリップフロップに記憶されている内容を*i*番目のファジィフリップフロップへの右シフトが可能なことを示す。

$$J_i(t) = Q_{i-1}(t), K_i(t) = 1 - Q_{i-1}(t) \text{ とする。}$$

1) min max 型ファジィシフトレジスタ

min max 型ファジィフリップフロップの定義式より、

$$Q_i(t+1) = [Q_{i-1}(t) \vee \{1 - (1 - Q_{i-1}(t))\}] \wedge \{Q_{i-1}(t) \vee Q_i(t)\}$$

$$\begin{aligned}
& \wedge [\{1 - (1 - Q_{i-1}(t))\} \\
& \quad \vee \{1 - Q_i(t)\}] \\
& = \{Q_{i-1}(t) \vee Q_{i-1}(t)\} \\
& \quad \wedge \{Q_{i-1}(t) \vee Q_i(t)\} \\
& \quad \wedge [Q_{i-1}(t) \vee \{1 - Q_i(t)\}] \\
& = Q_{i-1}(t) \wedge \{Q_{i-1}(t) \vee Q_i(t)\} \\
& \quad \wedge [Q_{i-1}(t) \vee \{1 - Q_i(t)\}] \\
& = Q_{i-1}(t) \wedge [Q_{i-1}(t) \vee \{1 - Q_i(t)\}] \\
& = Q_{i-1}(t) \quad (6-1)
\end{aligned}$$

となり右シフト動作が確認される。

2) 代数積代数和型ファジィシフトレジスタ

代数積代数和型ファジィフリップフロップの定義式より、

$$\begin{aligned}
Q_i(t+1) &= Q_{i-1}(t) + Q_i(t) - [Q_{i-1}(t) \\
& \quad + \{1 - Q_{i-1}(t)\}] Q_i(t) \\
&= Q_{i-1}(t) + Q_i(t) - Q_{i-1}(t) Q_i(t) \\
& \quad - \{1 - Q_{i-1}(t)\} Q_i(t) \\
&= Q_{i-1}(t) + \{1 - Q_{i-1}(t)\} Q_i(t) \\
& \quad - \{1 - Q_{i-1}(t)\} Q_i(t) \\
&= Q_{i-1}(t) \quad (6-2)
\end{aligned}$$

となって、ここでも右シフト動作が確認できた。

同様にして、左シフト動作も確認できるが、ここでは説明を省略する。

7. おわりに

2値J-Kフリップフロップのファジィへの拡張として定義されたファジィフリップフロップを台集合のカーディナル数だけ用いてメンバーシップ関数の記憶モジュールとしてのファジィレジスタを提案した。ファジィフリップフロップは2値のレジスタや計数器の基本単位であるJ-Kフリップフロップのファジィ拡張として定義されている為、ファジィ情報の一時記憶素子の要素が強いものとなる。従って、ファジィ情報のメモリ機能のみを有するエレメント(ディジタルメモリやアナログ方式のファジィメモリ)とは多少異なる。

本論文で提案したファジィレジスタはファジィ

フリップフロップを基本として用いているため必然的にメンバーシップ関数等の記憶や各種ファジィ演算機能を有するメモリモジュールとなる。このファジィレジスタを用いるとメンバーシップ関数の記憶、反転出力、その他各種ファジィ合成演算が可能であることを示した。また、記憶したメンバーシップ関数を台集合上で左右にシフト可能なファジィシフトレジスタの提案も行った。このファジィシフトレジスタを用いるとファジィプロダクションルールに記述されたメンバーシップ関数のラベルやグレードの変更も可能となる。

現在のファジィ推論アルゴリズムが非常に多様化している等(特にファジィエキスパートシステム等の分野で)、将来的にみて各種ファジィ演算機能を有する汎用ファジィメモリモジュールの実用化が望まれるところである。また、ここで提案したファジィレジスタは多段階でより奥の深いファジィ推論等に用いると有用であるといえる。

(1989年 7月 3日 受付)

(1989年11月21日再受付)

[問い合わせ先]

〒184 東京都小金井市梶野町3-7-2

法政大学工学部計測制御専攻

廣田 薫

TEL: 0423-81-5341(内線)304

FAX: 0423-85-9569(総務課)

参 考 文 献

- 1) M.Togai and H.Watanabe, A VLSI Implementation of A Fuzzy Inference Engine : Toward an Expert System on a Chip, Information Science 38, 1986, pp. 147/163
- 2) T.Yamakawa, Fuzzy Microprocessor -- Rule Chip and Defuzzifier Chip, Proc. of International Workshop on Fuzzy System Applications, Iizuka Japan, 1988, pp. 51/52
- 3) H.Watanabe and Wayne Dettloff, Reconfigurable Fuzzy Logic Processor A Full Custom Digital VLSI, Proc. of International Workshop

- on Fuzzy System Applications, Iizuka Japan, 1988, pp. 49/50
- 4) 有川、廣田、坂和、仮想ページング方式ファジィチップとファジィ開発ステーション、第5回ファジィシステムシンポジウム講演論文集、1989, pp. 53/58
 - 5) T.Yamakawa and K.Sasaki, Fuzzy Memory Device, Preprints of 2nd IFSA Congress, 1987, pp. 551/555
 - 6) K.Hirota and K.Ozawa, The Concepts of Fuzzy Flip-Flop, IEEE Transactions on Systems, Man and Cybernetics, Vol. 19, No. 5, 1989, pp. 980/997
 - 7) K.Hirota and K.Ozawa, Fuzzification of Flip-Flop Based on Various Fuzzy Logical Operation, Bulletin of the college of Eng. Hosei Univ., No.23, March, 1987, pp.69/94
 - 8) K.Hirota and K.Ozawa, Fuzzy Flip-Flop as a Basis of Fuzzy Memory modules, Fuzzy Computing (Theory, Hardware and Applications), North-Holland, 1988, pp.173/183
 - 9) 小沢、廣田、離散値型ファジィフリップフロップ、電気学会論文誌C、Vol. 109-C, No.5, May, 1989, pp. 383/389
 - 10) K.Hirota, K.Ozawa, Laszlo T. Koczy, K. Omori, Discrete Mode Algebraic Fuzzy Flip-Flop Circuit, Proc. of International Workshop on Fuzzy System Applications, (August, 1988, Iizuka Japan), pp.39/40
 - 11) K.Ozawa, K.Hirota, Laszlo T. Koczy, K.Omori, Discrete and Continuous Mode Algebraic Type Fuzzy Flip-Flop Circuits, Bulletin of the college of Eng. Hosei Univ., No.25, Feb., 1989, pp. 55/63

 著者紹介

小沢和浩 (おざわ かずひろ)

法政大学 大学院 工学研究科電気工学専攻

昭和61年法政大学大学院工学研究科電気工学専攻修士課程修了。現在、同大学大学院博士後期課程に在学中、ファジィ順序回路の研究、ファジィコンピュータの開発に従事。日本ファジィ学会、IEEE、電気学会、計測自動制御学会、日本物理学会会員。

廣田 薫 (ひろた かおる)

法政大学 工学部電気工学科計測制御専攻

東京工業大学大学院博士課程電気工学専攻修了、工学博士、現在法政大学助教授。画像、ロボット、ファジィ制御、エキスパートシステム等の研究に従事。著書 Probabilistic Sets (Verlag TÜV 西独) 等約20冊、日本ファジィ学会、IFSA、IEEE 等会員。