特集 ファジィ制御ハードウェア

アナログファジィ推論チップの現状と展望[†]

山川 烈*

1. はじめに

ディジタルコンピュータは、ブール代数とノイマンの蓄積プログラム方式に支えられた電気工学の延長線上にある高機能の処理機械である。したがって、これを動かすソフトウェアも当然機械を指向したソフトウェアであった。しかし、このコンピュータに実行させる仕事が増えればなるほど、プログラムが膨大になり、ハードウェアの負担も大きくなる。ときには人間が難無く実行していることが、コンピュータでは実行できないこともあった。そこで、ディジタルコンピュータに、人間エキスパートのもつノウハウを如何に効率良く実行させるかというところから、ファジィの概念が生まれた[1]。これに基づいたファジィ推論が制御に応用されると、従来のAIよりもはるかに効率的であることが分かってきた[2,3]。このころのファジィ情報処理はソフトウェアに限られており、ハードウェアで直接処理するという考えはほとんどなかった。筆者は、ファジィ情報処理の特長は、人間エキスパートの直感的かつ瞬時の判断を模倣できる点にあると考えていたので、ハードウェアもしかるべき専用のものが必要であろうと模索していた[4,5,6,7]。Togaiらは、ディジタル技術をつかって、ファジィ推論を高速で実行するチップを開発し[8]、筆者はアナログ技術を使って

ファジィコントローラハードウェアを試作した[9]。1986年頃から、日本でも興味を持つ企業が増えてきた。1987年、東京で開催された国際ファジィシステム学会第2回会議(2nd IFSA)を機に、国内の企業、行政等がファジィに注目し始めた。その後ファジィは、欧米においても、それまで懐疑的であった研究者や企業に受け入れられるようになってきた。今や、ファジィチップは特別なものではなく、効率良くファジィ処理を行うためのツールとして多くの研究者や企業が開発を手がけている。

ここでは、アナログ技術を利用したファジィ推論専用のチップについて述べる。

2. 線形アナログ回路と非線形アナログ回路

我々が取り扱う情報が自然界から得られるものであるとすれば、それは必ずアナログ量である。このアナログ量の信号をそのまま取り扱う技術は、ディジタル処理の支配的な現在でも厳然として存在する。これらの主体は、単純な増幅器から、乗除算器、べき乗器、べき乗根器を用いた各種関数近似や各種センサのためのリニアライザなどであり、高速性と線形性(高精度)が重要なポイントとなる。また以前は、積分器、係数器、加算器等を用いたアナログコンピュータがダイナミカルシステムの解析に不可欠のものであったが、オフセットの積分と狭いダイナミックレンジにより、その機能に限界が生じ、今はほとんど使われることはなくなった。

これらのアナログハードウェアシステムは、い

[†] Perspectives and Trends of Analog Fuzzy Inference Processors

* Takeshi YAMAKAWA

九州工業大学情報工学部制御システム工学科
Kyushu Institute of Technology

ずれも線形性(高精度)が要求され, 少なくとも 60 dB はなければ実用に供し難い. これを実現するためには高度の技術が必要となり, 現在その技術者の数は減衰の一途をたどっている.

これに比べて, ファジィ情報処理を行うハードウェアシステムをアナログ回路で構成する場合はどうであろうか. 入力信号は, まずメンバーシップ関数回路と呼ばれる非線形入出力特性を持った

回路でファジィ化される. そして, MIN や MAX 等のファジィ論理演算回路も非線形特性を示す. したがって, これらのファジィ専用回路は, 非線形アナログ回路と見ることが出来る. その取り扱う信号はメンバーシップ関数値で, 0 から 1 までの数値を 0~5 V または 0~100 mA に対応させている. ここでメンバーシップ値の 5.1 と 5.0 の有為的な差はなく, したがって極端な場合, 10 %程

表 1 デジタル素子と線形アナログ素子と非線形アナログ素子の比較

モード 項目	デジタル	アナログ	
		線形	非線形
具体的な回路	インバータの集合体 メモリ, CPU	OPアンプ 乗除算回路 リニアライザ デファジファイア	ファジィ推論チップ
情報記憶の容易さ	○	× (瞬時記憶○)	× (瞬時記憶○)
汎用性	○	×	×
システムの拡張性	○	×	×
設計の容易さ	○	×	△
プリプログラミング	○	△	△
ノイズ耐性			
パルスノイズ	×	○	○
連続的ノイズ	×	△	△
素子のバラツキに 対する不感性	○	×	○ (ゲート) △ (その他)
温度変化に対する 不感性	○	×	○
電源変動に対する 不感性	△	×	○
集積度	○	×	○ (ゲート) × (その他)
1 ゲート当りの素指数	×	×	○
1 機能当りのスピード	△	×	○
省電力	○	×	×
センサやアクチュエータ とのマッチング	×	○	○
実用に必要な ダイナミックレンジ	96dB (16bits)	80dB	20dB
実用に必要な 線形性 (線形誤差)		60dB以上(0.1%以下)	20dB以上(10%以下)

度までの誤差も許容できる。すなわちファジィ専用アナログ回路では、線形性は 20 dB あれば十分である。

また、線形アナログ回路のダイナミックレンジは少なくとも 80 dB は必要であるが、ファジィ専用のアナログ回路は 20 dB もあればよい。

さらに、線形アナログ回路の場合は、使用するトランジスタや抵抗、容量等のバラツキやミスマッチの影響が回路の特性に大きく現われるが、ファジィ専用回路ではさほど問題とはならない。

周囲温度の変化や電源電圧の変動に対する感度についても、線形アナログ回路に比べてファジィ専用回路の方がはるかに鈍い。

このような点を考慮すると、設計条件のきびしい線形アナログ回路と違って、非線形アナログ回路はファジィハードウェアシステムにおいてその特長を発揮しそうである。

線形アナログ回路、非線形アナログ回路およびデジタル回路の比較を表 1 に示す。

この表から、デジタル信号でファジィ推論を実行するデジタルファジィ推論チップは、情報の記憶とプログラミングが容易であり、かつ外部のホストコンピュータからデータの出し入れが可能であるので、汎用性にすぐれている(図 1 (a))。また、処理速度については、A/D、D/A 変換を含んでいることもあって、アナログ信号処理に比べて劣る。

一方、アナログ信号でファジィ推論を実行するアナログファジィ推論チップ(プロトタイプ[10])の場合は、計測制御システムそのものが単純で、処理速度が速いが、汎用性にかける(図 1 (b))。センサやアクチュエータとの相性がよく、A/D、D/A 変換が不要であるため、ローカルで簡便な処理に適している。

さらに、ファジィ推論の対象となる情報信号はアナログで、またファジィ推論に用いるファジィ IF-THEN ルールの設定やメンバーシップ関数の形やラベルの指定は外部からデジタルで行う方法がある[11]。そのような方法を図 1 (c) に示す。この方式によれば、信号処理の速度はアナログ回路で

定まり、またセンサやアクチュエータとの相性もよく、IF-THEN ルール等の変更も可能である。以下では、この方式によるアナログファジィ推論チップについて述べる。

(a)

(b)

(c)

図 1 (a) デジタルファジィ推論チップを含む計測制御システムと、(b) 純粋なアナログ信号計測制御システムと、(c) デジタルプログラム型アナログ信号計測制御システム。

3. ファジィ推論

3.1. 各種ファジィ推論の内挿特性

ファジィ推論を制御に応用する一つの方法として、非線形特性を示す制御器を効率よく設計することであろう。人間エキスパートの持つファジィ IF-THEN ルール(IF-THEN 形式で表現され、あいまいな言葉を含む制御規則)を、図 2 (a)に示すように、知識として記憶装置に蓄えておく。この知識を必要に応じて記憶装置から読み出し、ファジィ推論を実行するファジィ推論エンジンにローディングし、これと与えられた入力信号から出力信号を得る。このようにして、図 2 (a)のシステムは、図 2 (b)のような非線形の入出力特性を示すシステムを表現することができるのである。

すなわち、ファジィ推論は、入力と出力との間の関係を、典型的なしかも輪郭のぼやけたいくつかのデータで表現しておき、与えられたいかなる入力に対しても出力を近似的に算出することの出来る、いわゆる内挿法の一つと考えられる。

したがって、いくつかのファジィ推論法について、その内挿特性を掌握しておく必要がある。こ

こでは簡単のために、一入力一出力システムを考え、入力(前件部変数) x のあいまいさは相補型三角形のメンバーシップ関数で表し、ファジィ推論は MIN-MAX 合成法を用いることとして、出力(後件部変数) y にいろんな形のメンバーシップ関数を設定して、その内挿特性を調べてみる。その結果を図 3 に示す。この図から、出力 y が (d) オーバーラップしないクリस्पなメンバーシップ関数、もしくは (f) シングルトン(確定値)、で表現さ

図 2 (a) 知識ベースシステムと、
(b) 等価な非線形システム。

図 3 種々の後件部メンバーシップ関数に対する推論結果(内挿特性)。

れる場合は、単純な線形内挿となるが、他の場合は複雑な曲線となり、あまり妥当な内挿とはいえない。

このことから、言葉の意味を最も簡単に表現し、線形内挿を実行できるファジィ推論は、出力をあいまいな言葉や数値で表現するのではなく、確定値で表現する、いわゆる簡易型ファジィ推論[12]であることがわかる。したがってここで述べるアナログファジィ推論チップには簡易型ファジィ推論を採用する。つぎに、この簡易型ファジィ推論のメカニズムについて述べる。

3.2. 簡易型ファジィ推論

簡易型ファジィ推論のメカニズムを説明するために、2つの前件部変数(入力変数)と1つの後件部変数(出力変数)からなる3つの IF-THEN ルールを用いて、事実入力($x=a$, $y=b$)から近似的な結論を導き出す場合を図4に示す。 i 番目のルールを、

If x is A_i and y is B_i , then u is C_i .

で表わす。ここで、 A_i および B_i はファジィ言語(大きい、やや小さい、中ぐらい等)であり、それらの物理的な意味は、メンバーシップ関数で定義できる。また、 C_i は確定値である。同図において、事実入力を一つのルールに照合し後件部シングルトンの“頭を切って(truncation)”小さなシングルトンを得る回路をファジィ推論エンジンといい、それぞれのファジィ推論の結果を統合して最終的な

結論を確定値として導き出す回路をデファジファイアという。

4. ファジィ推論エンジン

ここでは、IF-THEN ルールの後件部が確定値(シングルトン)で表わされた簡易型ファジィ推論を、アナログモードで実行するファジィ推論エンジンについて述べる。

4.1. ビルディングブロック

4.1.1. MIN 回路

図5は、pnp および npn のバオポーラトランジスタと電流源からなる2入力 MIN 回路を示す[13]。これは、 Q_1 もしくは Q_2 と I_1 が、また Q_3 と I_2 が、それぞれエミッターホロワを構成し、これら

図5 pnp トランジスタと npn トランジスタからなる最も単純な MIN 回路。

図4 簡易型ファジィ推論のメカニズム(3ルールの場合)

がカスケードに接続された構成となっている。したがって、この回路はエミッタホロワのもつ全ての特長(高入力抵抗, 低出力抵抗, 電源電圧不感性, 温度不感性, 高速性等)をしている。

V_1 よりも V_2 が低ければ, Q_1 はカットオフとなり P の電位は $V_2 + V_{BE2}$ となり, したがって出力は $V_2 + V_{BE2} - V_{BE3} = V_2$ となって, 2入力のうちの低い電圧値を示すことになる。

4.1.2. MAX 回路

図5の npn トランジスタを npn トランジスタに, また npn トランジスタを pnp トランジスタにそれぞれ置き換え, 電流源の方向を逆転すると, 入力信号の中の最も高い電位が出力に現われる MAX 回路となる。

4.1.3. MIN・MAX 縮退回路

MIN 回路および MAX 回路は, 前述の通りコンパレータとコンペンセータからなっており, コンペンセータはコンパレータにおける電圧シフトと温度依存性の両方を補正する役割をもっている。MIN 回路では npn トランジスタを pnp トランジスタで, また MAX 回路では pnp トランジスタを npn トランジスタで, それぞれ補正にもちいている。したがって, MIN 回路および MAX 回路をカスケードにつなぐときは, それぞれのコンパレータが互いのコンパレータとしても働くので, この場合はそれぞれのコンパレータを省略できる。このように回路素子を大幅に削減する方法を MIN・MAX 縮退(MIN・MAX reduction)という[14]。図6に MIN・MAX 縮退回路の例を示す。回路をモノリシック化する場合, pnp トランジスタの V_{BE} を npn トランジスタの V_{BE} で補正することが難しいので, 図6に示すように Q_A と Q_B を追加し, 前段と後段で直列接続された pnp トランジスタと npn トランジスタの数を同じにすることで電圧補償と温度補償を実現する。

4.1.4. S 関数回路とメンバーシップ関数回路

アナログ入力信号をファジィ化するためのメンバーシップ関数回路は, その基本的な回路である

S 関数回路や MIN 回路, MAX 回路等を組み合わせることによって実現できる。S 回路は, 差動増幅器を基本とし, 図7に示すようなものである。S 関数回路の出力はメンバーシップグレードの0~1を5V~7.5Vに対応させるために R_O を $V_W (= +7.5\text{ V})$ でプルアップし, また $5 \cdot I_0 \cdot R_O = 2.5\text{ V}$ とする。S 関数の形(遷移領域の傾き)とラベルは図8(a)のようなルールデータに関するデジタル信号で規定される。

このルールデータの上位5ビットは, S 関数の“肩”の位置をしめし, 図8(b)に示すように Q_1 への差動入力 V_{LABEL} で特定され, 入力空間 $V_{\text{IN}} = 5\text{ V} \sim 7.5\text{ V}$ を30分割した電圧が V_{LABEL} の分解能

図6 MIN・MAX 縮退回路
(モノリシック化する場合)。

図7 S 関数回路。

である。 N 15(負の最大値)から P 15(正の最大値)までの31個のラベルと NA (not assigned: 無視)のラベルをあわせて32個のラベルを指定できる。

図8(a)のルールデータの下位3ビットは、 S 関数の遷移領域の傾きを定める。この傾きは R_o/R_d で表わされる。ルールデータ下位3ビットによって定まる SW_1 , SW_2 , SW_3 の状態により RD が表2のように変えられることから、 S 関数の形を図9のように変えることができる。

表2 8ビットルールデータの下位3ビットと抵抗 R_d の関係

RD	$S2\ S1\ S0$
r	000
$2r$	001
$3r$	010
$4r$	011
$5r$	100
$6r$	101
$7r$	110
$8r$	111

S 関数回路の2つの入力 V_{IN} と V_{LABEL} を入れ替えることによって Z 関数回路を得ることが出来る。この Z 関数の形とラベルも S 関数と同様に図8(a)のルールデータによって指定できる。

さらに、上述の S 関数回路、 Z 関数回路と MIN 回路を組み合わせることによって図10に示すような三角形や台形のメンバーシップ関数が構成できる。実際のファジィ推論チップの中では、 S 関数回路、 Z 関数回路と出力を直接、2入力の MIN 回路につなぐのではなく、後述するように、前件部3つのメンバーシップ関数に対応する3組の S 関数回路と Z 関数回路の出力を6入力 MIN 回路に入力する。

図9 S 関数回路の入出力特性。

図8 S 関数回路の(a)ルールデータのコーディングフォーマットと、(b)入力空間におけるラベルの割り当て。

図10 S 関数と Z 関数の MIN 演算によって、(a)三角形のメンバーシップ関数や、(b)台形のメンバーシップ関数がえられる。

4.2. アーキテクチャ

ここで述べるファジィ推論エンジンは、前件部変数を3つ(X_{IN} , Y_{IN} , Z_{IN})、後件部変数を1つからなるファジィ推論を4つ(ルール A , B , C , D)並列に実行できるもので、7つの後件部確定値定数(NL: negative large, NM: negative medium, NS: negative small, ZR: approximately zero, PS: positive small, PM: positive medium, PL: positive largeの7つ)に対応する7つの出力端子には、4つの推論結果を統合したものがシングルトンの集合として出力される。このファジィ推論に用いるファジィ IF-THEN ルールに関する情報は、ルールメモリに予め格納されており、必要に応じて書き換えることも可能である。このファジィ推論エンジンのアーキテクチャを図11に示す。

大きく分けて、

- (1) 事実入力と各ルールの前件部との適合度 α_i ($i=A, B, C, D$: ルール番号)を算出する前件部ブロック (antecedent block),
 - (2) 各ルールの後件部シングルトンを MAX 統合し7つのシングルトンのグレードをアナログ値として出力する後件部ブロック (consequent block),
 - (3) ファジィ IF-THEN ルールに関する情報を蓄えるルールメモリブロック,
- によって構成される。

4.2.1. 前件部ブロック

事実入力を1つのルールに照合して前件部の適合度を算出する前件部ブロックを図12に示す。S

関数回路と Z 関数回路と 2 入力 MIN 回路から1つのメンバーシップ関数回路(MFC)が構成される。また、適合度 α を求めるときには3入力 MIN 回路を用いることになる。したがって、本来は2入力 MIN 回路3つと3入力 MIN 回路を1つ必要であるが、ここではこれらを6入力の MIN 回路1つにまとめ、回路のコンパクト化と高速化をはかっている。この6入力 MIN 回路は図6に示す回路の前段部分のみであり、これが4.2.2.の MAX 回路(コラム)と結合して MIN・MAX 縮退回路を構成する。このブロックの出力 α は、0~1のグレードを(+5V~+7.5V)+2 V_{BE} で表現されている。各メンバーシップ関数の形やラベルは、ルールメモリから与えられる S 関数回路と Z 関数回路に与えられる合計16ビットの信号で指定される。各関数回路に入力される8

図11 ファジィ推論エンジンのアーキテクチャ。

図12 ファジィ推論エンジンの中の前件部ブロック。

stage)に7つ(NL~PLの7つに対応)用意されることになる(5.で詳述).

4.2.3. ルールメモリブロック

ルールメモリブロックは、ファジィ IF-THEN
ルールをディジタルコードの形で格納しておくブ
ロックで、図 14 に示すようにルールレジスタ、ア
ドレスデコーダ、R/W コントロール、I/O の 4 つ
の部分からなる。

ルールレジスタは、マスター・スレーブ方式を採用しており、ルールデータは最初にマスターレジスタに格納され、コントロール信号 XRC によってスレーブレジスタにコピーされる。ファジィ推論はスレーブレジスタ内のルールデータで実行されているので、その間にいつでもマスターレジスタの内容を書き換えることができる。4つの推論を平行して実行できるように、4つのルールが各レジスタには格納されている。4つのルールをかきこむのに 28 サイクルを要する。

アドレスデコーダは、I/Oを經由して外部からルールデータをマスタレジスタにローディングするためのアドレス指定ビットを作り出す。マスタレジスタは7つの8ビットレジスタ(7番目のレジ

図14 ファジィ推論エンジンの中のルールメモリブロック。

スタのみ、後件部ラベル用として下位3ビットを使用)からなり、これらが4組(ルールA~Dの分)あるので、28個のレジスタにアドレスを割り振る。したがって、アドレスコードとしては、A4 A3 A2 A1 A0の5ビットを用いる。

R/Wコントロールは、データ読み出しやデータ書き込みのための制御信号を作り出す。

I/Oは、双方向性コントロールバッファからなり、R/Wコントロールからの制御信号を受けてルールデータD7 D6 D5 D4 D3 D2 D1 D0の出し入れを行う。

5. デファジファイア

ファジィ推論エンジンからは、4つのファジィIF-THENルールにもとづく推論結果がシングルトンの集りとして、各ラベル出力端子に現われる。ファジィ論理コントローラ等においては、4つのルールのみで十分であることは極めてまれで、通常は数十個のルールを使用するので、それに応じて使用するファジィ推論エンジンの数も多くなる。推論結果を制御に利用する場合には、これらのファジィ推論エンジンの出力を統合し、そのファジィ集合から確定値を算出する必要がある。これを実行するのがデファジファイア(defuzzifier)であ

る。確定値の求め方はいろいろ提案されているが、ここでは最もよく知られている重心法(center-of-gravity method)を採用する。

デファジファイアには、図15のようにの入力段(input stage)を設け、ファジィ推論チップと接続することによってワイヤードMAXが構成できるようにする。すなわち、この入力段は、図16に

図15 デファジファイア。

図16 デファジファイアの入力段を構成する電流源つきバッファ。

示すような電流源とバッファからなるアレイで構成される。

入力段を出た7エレメントのアナログ信号は、7つのシングルトンで表わされるファジィ推論の最終的な結果である。これを次式に基づいて確定

$$C.G. = \frac{\sum_{n=1}^7 n\alpha_n}{\sum_{n=1}^7 \alpha_n} \quad (1)$$

値を求めるために図17の重心計算回路にあたる。図中のアナログ割り算器は、電流モードであるので、入力抵抗は 0Ω であり、かつ2入力端子は $V_{ref}(=5V)$ だけオフセットをもっているのので、 I_a , I_b はこの回路の入力電圧 α_n と抵抗 R および R_n できまる。

図17 重心計算回路。加重加算，単純加算，電流モード割り算器からなる。

この2つの電流は図18の対数逆対数変換を利用した電流モード割り算器に入力され、次式の V_{CG} が出力される。

$$V_{CG} = R_f \cdot I^* \cdot \left(\frac{\sum_{n=1}^7 R_n \alpha_n^*}{\sum_{n=1}^7 \alpha_n^*} - 1 \right) + 5 \quad (2)$$

ここで、 α_n^* は、ファジィ推論の最終結果の n 番目のシングルトンのグレードを $0V \sim +2.5V$ のレンジで表現した電圧値であり、重み係数 $\frac{R}{R_n}$ はNL, NM, NS, ZR, PS, PM, PLにたいしてそれぞれ0.5, 0.67, 0.83, 1.0, 1.17, 1.33, 1.5と設定した。 R_f は出力のダイナミックレンジを $+2.5V \sim +7.5V$ に調整するためのスケールファクターであり、外部で設定する。

6. チップ試作と実験結果

ファジィ推論エンジンチップ(FP 9000)はアナログとデジタルの混在したLSIで、BiCMOSプロセスで作った。また、デファジファイアチップ(FP 9001)は、純粋なアナログで、バイポーラプロセスで作った。

通常は、概念として前件部変数(入力)を $-1 \sim +1$ で、またメンバーシップグレードを $0 \sim 1$ で、表現するところを、ファジィ推論エンジンチップではデバイスと回路の制約から、それぞれ $+2.5V$

図18 対数逆対数変換を利用した電流モード割り算器。

$\sim +7.5\text{ V}$ および $(+5\text{ V} \sim +7.5\text{ V}) + 2\text{ V}_{BE}$ で表現している. また後部部(出力)空間を $-1 \sim +1$ で表現するところを, デファジファイチップでは $+2.5\text{ V} \sim +7.5\text{ V}$ で表現している.

ファジィ推論エンジンチップの製造には, $2\text{ }\mu\text{m}$ BiCMOS 技術を採用した. ダイサイズは $11.0\text{ mm} \times 10.9\text{ mm}$ で, アナログブロックに 4,110 個のデバイスとデジタルブロックに 3,200 個のゲートを搭載している. その顕微鏡写真を図 19 に示す. このファジィ推論エンジンチップは $+10\text{ V}$ と $+5\text{ V}$ の 2 電源で動作する. 典型的な応答スピードとしては, 立ち上がり時間 $t_r = 170\text{ nsec}$, 立ち下がり時間 $t_f = 260\text{ nsec}$ である.

デファジファイチップの製造には, $3\text{ }\mu\text{m}$ バイポーラプロセスを採用した. ただし, 図 17 の抵抗アレイが $20\text{ k}\Omega \sim 60\text{ k}\Omega$ と大きいことから, 高シート抵抗プロセスを付加している. ダイサイズは $3.4\text{ mm} \times 2.9\text{ mm}$ で, 約 600 デバイスを搭載している. その顕微鏡写真を図 20 に示す. このチップでは電流モードの割り算器を構成するのに, バイポーラトランジスタの pn 接合の特性を利用している. この回路の精度は, 図 18 の Q_1, Q_2, Q_3, Q_4 の 4 個のモノリシクトランジスタのミスマッチ(エミッタ領域の面積のばらつき, マスクアライメント誤差, 熱処理中のウェハ内の温度勾配等による)の程度で決まる. したがって, ここではこのミスマッチを最小にするために, いわゆる common-centroid layout [15] を採用し, 通常の 7 倍の面積で 8 角形のエミッタ領域を形成した. このデファジファイチップもファジィ推論エンジンチップと同様に $+10\text{ V}$ と $+5\text{ V}$ の 2 電源で動作する.

ファジィ推論エンジンチップとデファジファイチップを用いて 1 入力 1 出力のファジィコントローラを構成してみる. 11 個のラベルと三角形メンバーシップ関数で定義された言葉を含む 11 個のファジィ IF-THEN ルールをファジィ推論エンジンチップ 3 個にローディングする. このシステムから得られる入出力特性の例を図 21 に示す. この動作速度は, $1.6\text{ }\mu\text{sec}$ (0.63 MFLIPS) である.

図19 ファジィ推論エンジンチップ FP9000の顕微鏡写真. ダイサイズは $11.0\text{ mm} \times 10.9\text{ mm}$.

図20 デファジファイチップ FP9001の顕微鏡写真. ダイサイズは $3.4\text{ mm} \times 2.9\text{ mm}$.

7. おわりに

簡易型ファジィ推論を実行するファジィ推論エンジンチップ FP 9000 とその推論結果から確定値を求めるデファジファイチップ FP 9001 について述べた.

FP 9000 はアナログ, デジタルの混成 BiC-

図21 3個のファジィ推論エンジンチップと1個のデファジファイチップに11個のファジィ IF-THEN ルールをローディングして得た非線形入出力特性の例.

MOS 集積回路で、3 前件部変数、1 後件部変数のファジィ IF-THEN ルールを 4 個並列処理できる。このチップの特長は、(1)1.4 MFLIPS の高速推論が可能である。(2)推論速度は、ルール数に無関係に一定、(3)ファジィ推論の実行中、休止中にかかわらずルールの設定・変更が可能、(4)プリント基板上でチップの占める面積は、先のバージョン[1]に比べて 1/16、等である。

FP 9001 は純粋なアナログ集積回路で、デファジフィケーションの方法としては重心法を採用した。

謝 辞

ここで述べたファジィ推論エンジンチップ (FP 9000) とデファジファイチップ (FP 9001) は、新技術事業団の応用技術展開事業の一貫として、その試作をオムロン株式会社に委託したものである。試作にあたって、多大のご協力を頂いた同社神酒勤氏 (現九州工業大学情報工学部助手)、松本英俊氏、大渡恵史氏に深甚なる謝意を表したい。

参 考 文 献

- [1] Lotfi A. Zadeh, "Fuzzy Sets," Information and Control, Vol.8, pp.338-353(1965).
- [2] Lauritz P. Holnblad and Jens-Jorgen Ostergaard, "Control of a Cement Kiln by Fuzzy Logic," in "Fuzzy Information and Decision Process," edited by M.M. Gupta, E. Sanchez, North-Holland, pp.389-399(1982).
- [3] 安信誠二, 宮本捷二, 井原廣一, "Fuzzy 制御による列車定位置停止制御," 計測自動制御学会論文集, 19巻, 11号, pp.873-880(1983).
- [4] 山川 烈, 白井雄二, 井上高宏, 上野文男, "ファジ論理のハードウェア化(基本演算回路)に関する一考察," 電子通信学会論文誌(C), Vol.J63-C, No.10, pp.720-721(1980).
- [5] 山川 烈, 白井雄二, 井上高宏, 上野文男, "ファジ論理演算(補, 限界差, 限界和, 絶対差)の電流モード回路による実現," 電子通信学会論文誌(C), Vol.J63-C, No.10, pp.722-723(1980).
- [6] 山川 烈, 白井雄二, 井上高宏, 上野文男, "電圧モードによるプログラム可能多機能ファジ論理回路の構成," 電子通信学会論文誌(C), Vol.J63-C, No.10, pp.724-725(1980).

- [7] 山川 烈, 神酒 勤, 上野文男, “p-MOS プロセスによるファジィセミカスタム IC,” 電子通信学会論文誌(C), Vol.J67-C, No.7, pp.600-601(1984).
- [8] Masaki Togai and Hiroyuki Watanabe, “A VLSI Implementaion of Fuzzy Inference Engine: Toward an Expert System on a Chip,” Information Science, 38[2], New York, U.S.A, pp.147-163(1985).
- [9] Takeshi Yamakawa, “High-Speed Fuzzy Controller Hardware System,” Proc. 2nd Fuzzy System Symposium, Tokyo, Japan, June 16-18, pp.122-130(1986).
- [10] Takeshi Yamakawa, “Fuzzy Microprocessors — Rule Chip and Defuzzifier Chip —,” Proceedings of International Workshop on Fuzzy System Applications, Iizuka, August 20-24, pp.51-52(1988).
- [11] T. Miki, H. Matsumoto, K. Ohto and T. Yamakawa, “Silicon Implementation for a Novel High-Speed Fuzzy Inference Engine: Mega-FLIPS Analog Fuzzy Processor,” Journal of Intelligent and Fuzzy Systems, Vol.1(1), pp.27-42(1993).
- [12] 村上周太, “2章 ファジィ制御のためのファジィ推論”, 講座ファジィ(日本ファジィ学会編), 日刊工業新聞社, pp.17-18(1993).
- [13] Takeshi Yamakawa, “High-Speed Fuzzy Controller Hardware System,” 第2回ファジィシステムシンポジウム論文集, pp.122-130, (1986, 6, 16-18).
- [14] Takeshi Yamakawa, “A Simple Fuzzy Computer Hardware System Employing MIN & MAX Operations — A Challenge to 6th Generation Computer —,” Preprints of Second IFSA Congress, Tokyo, Japan, July 20-25, pp.827-830(1987).
- [15] A. B. Grebene, “Bipolar and MOS Analog Integrated Circuit Design,” Wiley, New York, P. 346(1984).
- [問い合わせ先]
〒820 福岡県飯塚市大字川津680-4
九州工業大学情報工学部
制御システム工学科
山川 烈
TEL: 0948-29-7712
FAX: 0948-29-7742
E-mail: yamakawa@ces.kyutech.ac.jp

著 者 紹 介

山川 烈 (やまかわ たけし)

九州工業大学 情報工学部 制御システム工学科

1969年 九州工業大学電子工学科卒業。1971年 東北大学大学院工学研究科修士課程, 1974年 同博士課程修了。1981年 熊本大学工学部助教授。1989年 九州工業大学情報工学部教授。1990年 財団法人ファジィシステム研究所を設立, 同理事長に就任(九州工業大学教授兼任)。1993年 九州工業大学情報工学部長, 現在に至る。

電気化学, 電子回路, 集積回路工学, ファジィ理論・多値理論専用集積回路の開発に従事。著書: 「ファジィコンピュータの発想」(講談社), 「ファジィ応用ハンドブック」(工業調査会)ほか。国際ファジィシステム学会, 日本ファジィ学会, 電子情報通信学会, 計測自動制御学会, 日本神経回路学会, 日本矯正歯科学会, バイオメディカル・ファジィ・システム学会各会員。