照明のためのパワーエレクトロニクス(2)[†]

専門会員 浦山 隆*

3. 電界効果トランジスタ (FET)

電界効果トランジスタ (Field Effect Transistor) は、その半導体中を流れる電流を電界によって制御し、動作させる素子である。2章で述べたトランジスタは、電子、正孔の両キャリアを使用していることから、バイポーラ形と呼ばれるのに対し、電界効果トランジスタは電子か正孔の一方だけをキャリアとして使用するのので、ユニポーラ形とも呼ばれる。電流は単一の半導体中を流れる。これをチャンネル (Channel) と呼んでいる。チャンネルに使用する半導体の種類や電流キャリアの種類によってN形の場合はN-チャンネル、P形の場合はP-チャンネルという。チャンネルを通る電流は、チャンネルの周りに生ずる電界の強さと極性によってコントロールされる。

FETには接合形 (Junction type) とMOS形 (Metal Oxide Semiconductor type) がある。このうち、接合形はチャンネル層にチャンネル層と逆極性の半導体を接合し、これをゲートとしているのに対し、MOS FETではゲートとチャンネル層の間は、シリコン酸化膜層を置いて絶縁されている。

図13 NチャンネルJ-FETの構造と記号

3.1 接合形FET (J-FET)

図13に接合形FETの断面構造を示す。チャンネルと呼ばれる単一半導体中を多数キャリアが通る。チャンネルに取り付けられた2端子のうち、多数キャリアがチャンネルに流入する側に取り付けられた端子をソース端子S (Source)、

多数キャリアが、チャンネルから流出する側の端子をドレイン端子D (Drain) と呼んでいる。チャンネル層にそのチャンネルの半導体と逆極性の半導体層を接合し、その間にP-N接合を作る。この逆極性の半導体層をゲート端子G (Gate) と呼んでいる。

図14 NチャンネルJ-FETの回路と記号

N-チャンネル・ソース接地形の場合についてS, D, G各端子の印加電圧、電流の極性を図14に示す。電流 I_S , I_D , I_G はそれぞれソース電流、ドレイン電流、ゲート電流を表わし、それぞれ矢印のように端子から流れ込む方向に電流の方向をとる。ドレイン・ソース間電圧を V_{DS} で表わし、ソースに対しドレイン端子が正となる方向を順方向にとる。ゲート・ソース間電圧を V_{GS} で表わし、ゲート電圧をソースに対し負となるように、すなわち逆方向に印加する。ソース・ドレイン間に加える外部電源を V_{DD} 、ゲート・ソース電源を V_{GG} で表わす。図では $V_{DD}=V_{DS}$, $V_{GS}=-V_{GG}$ である。

3.1.1 接合形FETの静特性

N-チャンネル形J-FETのドレイン特性を図15に示す。まず図15において、ゲート端子を開放した状態 $V_{GS}=0$ の場合について考える。ソース・ドレイン電圧 V_{DS} の小さい場合には、N-チャンネルは単なる半導体抵抗として働く。 $V_{DS}=0$ で $I_D=0$ である。 V_{DS} をゼロより高めていくと、 V_{DS} の上昇とともに直線的に I_D は上昇するが、 I_D によって生ずるチャンネル内の抵抗降下によって接合面が逆バ

[†] Power Electronics for Illuminating Engineering (2)

* 立命館大学理工学部電気工学科 Takashi Urayama
〒603 京都市北区等持院北町 56-1

* ここではN-チャンネル形についてだけ記述したが、P-チャンネル形のデバイス記号はN-チャンネル形デバイス記号の矢印を逆にして表わされる。また電圧バイアス極性はN-チャンネル形の場合と逆極性を選ばれる。

図 15 NチャネルJ-FETの静特性
(J. Millman; Microelectronic より)

イアスされ、チャネル中のドレイン側で電流の導通部分が狭められ、 V_{DS} のある値に達すると I_D の上昇が停止し、 V_{DS} の変化に対し一定となる。この状態はあたかも水道管が電界によって詰まり、ある値以上の水圧をかけてもそれ以上の水が流れなくなる状態に似ている。この状態を“ピンチオフ”と呼んでいる。

特性曲線で V_{DS} が小さく I_D が V_{DS} に比例する V_{DS} の範囲をオーミックあるいは不飽和領域と呼び、 V_{DS} が大になり I_D が V_{DS} にほとんど応答しなくなる V_{DS} の範囲を定電流領域、飽和領域、あるいは“ピンチオフ領域”等と呼んでいる。

ところで、ゲート・チャネル接合が逆バイアスとなるようにゲート電圧 V_{GS} をかけると、その接合面の両側に空間電荷領域あるいは空乏層が現われる。この領域はキャリアがなく電流の導電率はゼロである。

ゲート・ソース間電圧 V_{GS} を逆方向に増加していくと空乏層が広がり、チャネルのこの部分の実効幅が狭まり電流が流れにくくなる。やがてはチャネルの幅がゼロになり、自由電子はチャネルから無くなる。この状態を現出する V_{GS} の値を V_P で表わし、ピンチオフ電圧と呼んでいる。

ゲート・ソース間電圧 V_{GS} を逆バイアスを強める方向に印加すると、ピンチオフは $|V_{DS}|$ のより小さな値で生じ、 I_D の最大値は小さくなる。通常、ゲートにかかる電圧 V_{GS} はカットイン電圧以下であるから、ゲート電流は非常に小さい。

FETを特徴づけるその他の諸量としては

(1) オン抵抗 $R_{DS(on)}$

指定した電圧をゲート・ソース、ドレイン・ソース間に印加したときのドレイン・ソース電圧とドレイン電流の比

$$R_{DS(on)} = V_{DS} / I_D \quad \dots\dots\dots (11)$$

通常、2～300Ω程度である。

(2) 降 伏 (Break down)

ゲート接合がアバランシェ降伏する最低電圧を表わす。 $V_{GS}=0$ より逆バイアスしたときのほうが、ドレイン電圧にこのゲート電圧が加わって、ゲート接合の実効電圧を高めるので、 $|V_{DS}|$ のより低い値で降伏が生ずる。降伏電圧はゲートをソースに短絡した状態でのドレイン・ソース間電圧で与えられ、 V_{DSS} で示される。

(3) カットオフ

$|V_{GS}| > |V_P|$ の条件になることをカットオフ条件と呼んでいるが、実際のFETでは $|V_{GS}| > |V_P|$ でも I_D (off)なるわずかな漏れ電流が流れる。ゲート・ソース間の逆方向電流を I_{GSS} で表わし、ゲートカットオフ電流と呼んでいる。

3.2 MOS FET

MOS FETは、サブストレートと呼ばれる基板上にチャネル部分を作り、その上に絶縁膜を介してゲート層を取り付け、これによってゲート電流をなくしている。MOS FETにはエンハンス形 (Enhancement type) とデプレッション形 (Depletion type) の2種類ある。

デプレッション形MOS FETは、J-FET同様ソース・ドレインを結ぶ共通チャネル層を有するが、エンハンス形MOS FETではこの共通チャネル層は無く、電流キャリアが基板より供給されることによって作られる。この断面構造とデバイス記号を図16に示す。

図 16 MOSFETの構造と記号
(a) NチャネルE-MOS FET
(b) NチャネルD-MOS FET

3.2.1 エンハンス形 MOS FET (E-type MOS FET)

E-type MOS FETは、図16(a)に示すようにP形基板上にN形不純物を拡散させ二つのN形領域を作り、これをそれぞれソースとドレインとする。この上に SiO_2 などの薄い酸化膜層を成長させた上、酸化膜上にゲート層を作る。

ゲート層とチャネル層は、酸化膜を介してコンデンサを形成している。E-typeでは、J-FETのようなソースとドレインを結ぶ共通チャネルは無く、電流キャリアがサブストレートより供給されて作られる。

ソースとサブストレートを共に接地した上、図17に示すようなバイアス電圧を加え、まず $V_{DS}=0$ とした状態でゲートに正電圧を印加する。そうすると酸化膜を通してゲ

図 17 MOS FET の電化バイアス極性

ートから加えられる電界によって、半導体表面の近くに負電荷を誘導する。P-サブストレートには電子は少ないので、負電荷は一次的にはN形ソースとドレイン領域から供給されるが、この負電荷によってサブストレート上に“逆転層”を形成する。この逆転層は V_{GS} がしきい値 $V_{GS}=V_T$ を越えるときにだけ形成され、ゲートの正電圧がこのしきい値 V_T を越えて増加するに伴って、トランジスタ内の誘導負電荷が増加する。酸化膜下の領域は負電荷によってN形チャンネルとなり、導電率は増加するので正電位がドレイン・ソース間に加えられるとき、この誘導された負電荷がNチャンネルを通して電流がソースからドレインへ流れる。ドレイン電流は正ゲート電圧によって“Enhance (高める)”されるので“エンハンスメント”MOSと呼んでいる。

ところで、 V_{GS} を正の一定値に保ったままで、 V_{DS} を増加していくと、 V_{DS} の小さい場合はドレイン電流はドレイン電圧 V_{DS} に比例して増加する。 $|V_{DS}|$ が増加すると、チャンネルにかかる電圧は増加し、チャンネルのドレイン側のゲート酸化膜にかかる電圧 $V_{DG}=(V_{DS}-V_{GS})$ は減少する。このためドレイン端側の電界が低下し、誘導されたチャンネルのドレイン端部の逆転電荷は減少するので、チャンネルは“ピンチオフ”になる。

$|V_{DS}|$ をゼロより増加すると、 $|I_D|$ はまずオーミック領域で緩やかに増加し“ピンチオフ”に達すると電流は飽和する。

$V_{DS}=0$ では、 $|V_{GS}| > |V_T|$ の間、S-D間にチャンネル層が生じ、 $|V_{GS}| \leq |V_T|$ ではピンチオフ（チャンネルのドレイン端には free charge がない状態）が生ずる。 $V_{DS} \neq 0$ では、 $|V_{GS}-V_{DS}| \leq |V_T|$ ではピンチオフとなる。したがって、オーミック領域は $|V_{GS}-V_{DS}| > |V_T|$ で、飽和領域は $|V_{GS}-V_{DS}| \leq |V_T|$ で定義できる。

(1) 静特性

MOS FET の静特性は、出力特性（ドレイン特性）と伝達特性（ $V_{GS}-I_D$ 特性）で表わされる。図 18 はN-チャンネル E-type MOS FET の一例を示す。図で(a)は出力特性を(b)は伝達特性を示す。 $V_{GS} \leq 0$ におけるドレイン電流とドレインカットオフ電流 I_{DSS} (or I_D (off)) と呼ぶが、この I_{DSS} は非常に小さく、1 nA 程度である。正の V_{DS} を加えておき、 V_{GS} を正の方向で増していくと V_{GS} が V_T を

図 18 E-MOS FET の静特性

(J. Millman; Microelectronics より)

(a) ドレイン特性（出力特性）、(b) 伝達特性

越えるまでは、 I_{DSS} はほとんどゼロで遮断状態を保つか、 V_T を越えると伝達特性曲線に沿って増加する。しきい値 V_T は1～6 V程度で温度によって変わる。オン状態では抵抗のように取り扱うことができる。ゲート・ソース間電圧の許容値は酸化膜の厚さによって制限され、この値を短時間でも越えると降伏を生ずる。

エンハンス形は、ゲート・ソース間のバイアス電圧を与えたときにだけ通電状態になるノーマルオフ形で、バイポーラトランジスタと同様に扱える利点がある。

3.2.2 デプレッション MOS FET (D-type MOS FET)

デプレッション MOS FET は図 16(b)に示すように、ドレイン・ソースと同じ不純物（サブストレートと反対極性の不純物）をドレイン・ソース間に拡散させ、チャンネルを作る。N形ではサブストレートの表面近くのチャンネルには自由電子が拡散される。したがって $V_{GS}=0$ では V_{DS} を正に加えるとかなりのドレイン電流 I_{DSS} が流れる。この状態でゲート電圧 V_{GS} を負にするとチャンネルには、ゲート容量によってチャンネルに正電荷が分離される。この正電荷によってチャンネルの導電率が減じ、ドレイン電流は V_{GS} がより負になるほど減少する。

チャンネル内での電荷の再結合は、多数キャリア（この場合は電子）の涸渇（空乏）の原因となるので、この形をデプレッション形と呼んでいる。ドレイン電流が流れると、チャンネルのドレインに近い部分の空乏層が広がり、ピンチオフを生ずる。これはJ-FETで生ずるピンチオフ現象と似ている。

(1) 静特性

図 19 D-MOS FET の静特性

(J. Millman; Microelectronics より)

(a) ドレイン特性（出力特性）、(b) 伝達特性

出力特性を図 19(a)に伝達特性を同図(b)に示す。デプレッション形ではゲート電圧を正にすると、N形チャンネルに負電荷が誘導され電流キャリアは増加するので、チャンネルの導電率が高まりドレーン電流は I_{DSS} 以上に流れる。

このように、D-type MOS FET では V_{GS} をチャンネルと同極性にするか、異極性にするかによってデプレッション領域とエンハンスメント領域の両領域で動作させることができる。D-type MOS FET のデプレッション Mode の特性は J-FET の特性に類似している。D-MOS は E-MOS と逆で通常 S-D 間にだけ電圧を加えたとき電流が流れ、ゲート電圧は必要ないノーマルオン素子である。

Nチャンネル形はPチャンネル形に比べ高速スイッチング特性、パッケージの小型化に優れている。

3.2.3 V-MOS FET

これは、BPT (バイポーラトランジスタ) の欠点を克服する新しい FET として、1976 年に Siliconix 社で開発され、その後 1977 年に American Microsystem 社や Texas 社で製品化された。この新しい素子は N-チャンネル E-type MOS FET であって、電流が垂直方向に流れるような構造になっている。これを、これまでのソースからドレーンへ水平にキャリアが移る低電力 MOS FET と区別して V-MOS FET と呼んでいる。構造は図 20 のとおりである。Si n^+ サブストレート上に n^- エピタキシャル層を成長させ、その上まず P 形不純物で、ついで N 形不純物で 2 回拡散を行なう。これで得られる構造は BPT のそれと似ている。すなわち BPT では上部 n^+ 層をエミッタ、下部 n^+ 層をコレクタに、そして P 層をベースにとっているが、V-MOS FET では上部 n^+ 層をソース、下部 n^+ 層をドレーンそして P 層は P-チャンネルになっている。そして図示のように、2 等辺三角状の V 状の切り込みを入れている。

図 20 V-MOS の断面図

V-MOS ではドレーン面が大きく、素子内で発生する損失による熱の放熱のためのヒートシンクとして使える。チャンネル長は P 層と n^+ ソース層の拡散の深さの差で与えられるので、横方向に広がる標準的な水平形 MOS FET に比べ短くなる。これによってオン抵抗を小さくしている。V 形のゲートは V 形に切り込まれた 2 個の V-MOS FET

をコントロールするので、2 個のソース端子を並列に結ぶことによって、電流容量は 2 倍になるなどの特徴を持っている。

V-MOS FET はこれまでの水平形 MOS FET に比べ、ピーク I_D は大きく、飽和領域での電流変化はよりフラットになり、伝達コンダクタンス g_m は一定に近づく。その他の特徴としては、(1)少数キャリアの蓄積が無く、スイッチング特性は速い。(2)入力抵抗が高いため、必要な入力電力は少なく電力利得は非常に高い。(3) Power FETs では非常に低いノイズ指数を持つ。(4)ゲート・ドレーン間の容量は小さい。(5)ドレーン・ソース間の降伏電圧は高い、等がある。

4. サイリスタ

4.1 サイリスタ

サイリスタ (Thyristor) の基本は、三つの接合をもつ PNP 4 層構造である。正確には逆阻止 3 端子サイリスタとも呼ばれ、大電力用として最も広く用いられている。その構造と記号を図 21 に示す。陽極 A、陰極 K の他にゲート G を有する 3 端子構造で、陽極から PNP と陰極へ 4 層構造となっている。PN 接合は J_1, J_2, J_3 の 3 接合面を有し、その動作は図 22 に示すように、PNP トランジスタと NPN トランジスタの組み合わせで説明できる。それぞれのトランジスタは、コレクタを互いに相手のベースに

図 21 サイリスタの構造と記号

図 22 2 トランジスタ等価回路

接続したのと等価になっている。サイリスタの動作は次の三つの状態に分けられる。

(1) 順 阻 止 状 態 (オフ状態)

ゲート電流を流さず、陽極に正極性、陰極に負極性の電圧を加えると、接合 J_1 、 J_3 は順バイアス、 J_2 は逆バイアスになり、空乏層が生じて J_2 は無限大に近い抵抗になる。そのため印加電圧のすべてが接合 J_2 にかかる。この状態では非常に僅かな電流しか流れない。この状態で流れる電流を順阻止漏れ電流と呼ぶ。この状態は J_2 の降伏電圧を越えるまで保持され、印加電圧が降伏電圧 (break over voltage) V_{B0} を越えると導通状態 (On state) に移る。

(2) 順阻止状態から導通状態へ (ターンオン)

順阻止状態にあるとき P_2 層に付けたゲート電極に正の電圧を加えると、トランジスタ Q_2 のベースに電子が注入されコレクタ電流 I_{C2} が流れる。二つのトランジスタのベースとコレクタは互いに接続されているので、 Q_2 のコレクタ電流は Q_1 のベース電流になり、 Q_1 のコレクタ電流が増加する。 Q_1 のコレクタ電流は Q_2 のベース電流であり Q_1 のコレクタ電流の増加は、また Q_2 のベース電流を増加する。このように二つのトランジスタは正帰還回路を構成して、逆バイアスされている J_2 接合部を順バイアスにして順方向電流を流すようになる。これをサイリスタのターンオン (turn on) と呼ぶ。サイリスタがオン状態になるともはやゲートはその制御機能を失い、その電流がゼロ (正確には保持電流以下) になるまで導通状態を保持する。トランジスタ Q_1 のエミッタ電流を I_{E1} 、ベース電流を I_{B1} とすると

$$I_{B1} = (1 - \alpha_1) I_{E1} - I_{CB01} \cdots \cdots \cdots (12)$$

$$\alpha_1 = I_{C1} / I_{E1}$$

α_1 : Q_1 の電流伝達率

I_{CB01} : Q_1 の漏れ電流

陽極電流 $I_A = I_{E1}$

トランジスタ Q_2 のエミッタ電流 I_{E2} はカソード電流 I_K に等しく、ベース電流を I_{B2} とするとコレクタ電流 I_{C2} は

$$I_{C2} = \alpha_2 I_K + I_{CB02} \cdots \cdots \cdots (13)$$

α_2 : Q_2 の電流伝達率

$$I_K = I_{E2}$$

I_{CB02} : Q_2 の漏れ電流

$$I_{B1} = I_{C2} \text{ より}$$

$$(1 - \alpha_1) I_A - I_{CB01} = \alpha_2 I_K + I_{CB02} \cdots \cdots \cdots (14)$$

$I_A = I_K$ として

$$I_A = I_K = \frac{I_{CB01} + I_{CB02}}{1 - (\alpha_1 + \alpha_2)} \cdots \cdots \cdots (15)$$

ゲート電流 I_G を考慮するときは、(13)式は

$$I_{C2} = \alpha_2 I_K + I_{CB02} + I_G$$

より

$$(1 - \alpha_1) I_A - I_{CB01} = \alpha_2 I_K + I_{CB02} + I_G \cdots \cdots \cdots (16)$$

$$\therefore I_A \text{ or } I_K = \frac{I_G + I_{CB02} + I_{CB01}}{1 - (\alpha_1 + \alpha_2)} \cdots \cdots \cdots (17)$$

分母がゼロ (すなわち $\alpha_1 + \alpha_2 \simeq 1$) に近づくにつれて I_A

(or I_K) は大きくなり、 $\alpha_1 + \alpha_2 \simeq 1$ になると I_A (or I_K) は外部抵抗で制限される電流まで増加してサイリスタはオン状態になる。すなわち、

$$\alpha_1 + \alpha_2 \geq 1 \cdots \cdots \cdots (18)$$

がオン状態の条件である。

(3) オン状態から逆阻止状態へ (ターンオフ)

サイリスタをオン状態から逆阻止状態に移すためには、なんらかの方法でオン電流をゼロにしなければならない。サイリスタをターンオフ状態に移すことを転流と呼んでいる。オン電流をゼロにするには、外部回路によって強制的に行なう方法と自然に行なう方法があるが、外部強制回路を転流回路 (Commutation circuit) といい、強制的に行なう方法を強制転流 (Forced Commutation)、交流のように自然に電流がゼロとなり消滅するものを、自然転流 (Natural Commutation) といい、ゲート電流が無くともオン状態を持続する順電流の最小値を保持電流 (Holding current) と呼んでいる。順電流がこの保持電流以下になるとオフ状態に移る。保持電流は普通約 20 mA 程度である。

サイリスタは、内部接合温度が上昇すると接合部を通る漏れ電流が増加し順阻止能力を失い、素子が破壊するに至るので接合部温度上昇はダイオードより厳しく、許容最大接合部温度上昇は約 125 °C とされている。サイリスタの順電圧降下は約 1.5 V でダイオード (1 V) より高い。

4.1.1 静 特 性

さきに述べた三つの状態をグラフに示したのが、図 23 の静特性である。

図 23 サイリスタの電圧・電流

上述した諸量以外に次のものがある。

(a) ラッチング電流 (Latching Current)

サイリスタが一旦オン状態になると、ゲート電流をゼロにしても導通状態を続ける最小電流以上の陽極電流。

(b) 保持電流 (Holding Current)

ラッチング電流よりわずかに少ない電流で、ゲートをオープンにするとオン状態を持続できなくなる最小陽極電流。陽極電流が保持電流以下になるとサイリスタは順方向阻止状態に入る。

(c) 逆降伏電圧

ダイオードと同じ逆方向降伏電圧

(1) ゲ ー ト 特 性

図 23 に示すように、ゲート電流を増大させるとブレークオーバー電圧は低下する。サイリスタがオフ状態からオン状態に切り替わるために必要な直流最小電流をゲートトリガー電流と呼ぶ。またゲートトリガー電流を流すために必要なゲート・カソード間電圧をゲートトリガー電圧と呼ぶ。

ゲート駆動電源は、ゲート・カソード間に標準的には $V_G=1\text{ V}$ 、 $I_G=20\text{ mA}$ 程度加える。これらの値は 25°C の標準値であり、接合温度に逆比例して変化する。最大動作温度 100°C では、 V_G は 0.3 V に低下する。サイリスタの温度上昇とトリガーに対するゲートの感応を最小にするために直流トリガーでなく、パルストリガーが用いられる。幅の狭い高電流パルス（数マイクロ秒幅の）がサイリスタに加えられるとオン状態に移行する。ハイピークゲート電力は、平均許容ゲート電力を越えないよう注意しなければならない。

4.2 トライアック (Triacs)

トライアックは双方向性 3 端子サイリスタ (Bidirectional Triode Thyristor) とも呼ばれる。トリガーは正負いずれのゲートパルスでも可能であり、トリガー回路はサイリスタの場合より簡単になる。

トライアックは、ランプの調光、温度調整、モータの速度制御、A.C. 静止リレーなどの全波交流制御に広く利用されている。その構造と記号を図 24 に示す。

図 24 トライアックの構造と記号

図 24 に示すように、主回路端子 1 (T_1)、2 (T_2) とゲート端子を有し、トライアックはサイリスタのように陽極、陰極という呼びかたをしない。ただ単に端子 1、端子 2 といふ端子 1、端子 2 に負荷が接続される。ゲート電圧の極性は端子 1 (T_1) に対して決められる。

図 24 で中心線によって分割し、右を Th_1 、左を Th_2 と見なすと、 Th_1 は NPNP 構造、 Th_2 は PNPN 構造になっている。トライアックの電圧－電流特性を図 25 に示す。トライアックを流れる電流は端子 1、2 間の電圧によって決まり、たとえば図 25 の横軸 $+V$ は端子 T_2 が正、 T_1 が負であり、そのときたて軸 $+I$ は電流が T_2 より T_1 に流れることを示す。

第 1 象限では、電圧は T_1 が負で T_2 が正、第 3 象限で

図 25 トライアックの V-I 特性

は、逆に電圧は T_1 が正で T_2 が負にバイアスされる。第 1 象限、第 3 象限の特性は対称になる。

端子電圧がブレークオーバー電圧 V_{BO} に達すると、トライアックは阻止状態からオン状態に移る。負荷が適当であり、主電流がラッチング電流を越える値であれば、トライアックはオン状態を持続する。ゲート電流が流れるとサイリスタの場合と同様にブレークオーバー電圧は大きく低下する。

ゲート入力信号は正、負いずれの場合でも T_1 - T_2 端子間双方向の制御ができる。したがってトライアックのオン動作機構はゲート－端子 1 間と主端子 1－2 間に加わる電圧の極性により四とおりのトリガモードがある。

- (1) 第 1 象限 $T_2^+-T_1^-$, $G^+-T_1^-$
- (2) 第 2 象限 $T_2^+-T_1^-$, $G^--T_1^+$
- (3) 第 3 象限 $T_2^--T_1^+$, $G^--T_1^+$
- (4) 第 4 象限 $T_2^--T_1^+$, $G^+-T_1^-$

図 26 トライアックのトリガモード

図 26 は各モードにおける動作を示す。

4.2.1 ゲート特性とトリガー方法

トライアックは、これまで述べたようにゲート入力信号が端子 T_1 に対し正、負いずれの極性でもターンオンできる。そのうち、第 1 象限モードと第 3 象限モードは最小ゲート電流でターンオンできる最も感度のよいモードであり、第 4 象限モードは最も感度の悪いモードである。

サイリスタとトライアックのトリガーの最も大きな違い

は、サイリスタでは交流電圧の正の半サイクル間だけターンオンするが、トライアックでは正、負いずれの半サイクルでもターンオンすることにある。

4.3 ゲートターンオフサイリスタ (GTO)

GTO (Gate Turn-off Thyristor) はサイリスタと同様、正のゲート電流によってターンオンすると同時に、負のゲート電流によってオン電流を遮断してオフ状態（ゲートターンオフ）にすることができるサイリスタである。オフ能力を有する点では、トランジスタと同じであるが、トランジスタではオン、オフ動作させるのに矩形波状ベース電流を必要とするのに対し、GTOではパルス状の正および負の電流でよい。その構造と記号は図 27 に示すように、基本的にはサイリスタと同じ PNP 4 層構造である。

図 27 ゲートターンオフサイリスタ (GTO) の構造と記号

ゲートに正の電流を流すとターンオンするが、オン状態においてゲートに負の電流を流すと接合 J_2 のホールをゲートに引き出し、これによって図 22 に示すトランジスタ NPN のベース電流を小さくして電流伝達率 α_1 を減少させている。その結果二つのトランジスタの電流伝達率 ($\alpha_1 + \alpha_2$) が 1 より小さくなるとターンオフする。GTO がサイリスタと構造的に異なる点は、ゲートへのホールの引き出しを容易にするために、ゲート電極をサイリスタのものより薄くするとともに、カソード電極の間に細く分散してゲート電極層の横方向抵抗を小さくしている点にある。ターンオフ、ターンオン時間が短く、高速スイッチング回路に利用されるが、トリガーに必要なゲート電流はサイリスタより大きい。

4.4 逆導通サイリスタ

逆導通サイリスタの構造と記号を図 28 に、動作を図 29 にそれぞれ示す。

図 28 逆導通サイリスタの構造記号等価回路

図 29 逆導通サイリスタの V-I 特性

逆導通サイリスタは 1 枚のウエハ内にサイリスタとダイオードを逆並列に構成した複合素子である。これはわが国で開発された素子である。順方向にはゲートによってオフ状態からオン状態へターンオンできる。負方向には逆阻止能力はなく、サイリスタの順方向オン電流と同程度の大きい電流を逆方向にも流すことができる。

これは、主に DC チョップ回路用に開発された素子である。これを使用すると、(1)高耐圧、高速化が容易、(2)回路は簡単になる、(3)転流回路の小型化が可能、などの利点がある。

4.6 ゲート補助ターンオフ・サイリスタ (GATT)

ゲート補助ターンオフ・サイリスタ (Gate Assisted Turn-off Thyristor) は、高速サイリスタと GTO サイリスタの中間に位置するデバイスで、ターンオフ時に外部転流回路によって陽極 - 陰極間電圧を逆転して電流を遮断するとともに、オフ電圧を再印加することによってターンオフ時間を 1/2~1/3 に短くする機能を有するサイリスタである。GTO の場合、ターンオン時陽極電流が局部的に集中して流れ破壊しやすい欠点があったが、GATT はこの欠点を補っている。

このほか光サイリスタは、ゲートトリガ電流として光放射エネルギーを利用したもので、一般の 3 端子サイリスタと同様の構造を有し、PNPN 接合の中央 J_2 接合が逆バイアスされたフォトダイオードとして働くようになってい

(以下 4 月号へつづく)
(受付 1988 年 8 月 16 日)