部品内蔵技術と次世代実装材料：WLP&EWLP技術の変遷と今後の実装技術

若林 猛*

The Embedded Device Technologies and New Jisso Materials

Takeshi WAKABAYASHI*

* カシオ計算機株式会社APプロジェクト（〒198-0022 東京都青梅市藤橋3-3-2）

* Advanced Packaging Project, Casio Computer Co., Ltd. (3-3-2 Fujihashi, Ohme-shi, Tokyo 198-0022)

1. はじめに

エレクトロニクスの急速な技術革新に伴って、革新的な多くの製品が開発されている。これらは、特に半導体技術の進歩に依存して実現されてきた。携帯電話に搭載される機能の進化や性能の向上により、情報ネットワークとユーザの関係は、さらに緊密になっており、高度な無線機能の実現が要求されている。

さて実装技術の領域では、半導体パッケージそのものの小型化や集積化（さらに三次元化も含む）、実装基板の微細化、その他の電子部品の小型化、そして主に、はんだリフローを主体にした、表面実装での高密度実装技術の発展が、重要な役割を担ってきた。半導体パッケージの進化における、重要なWLPの位置づけと、その技術の概要、新技術として注目されている基板内蔵技術への展開、そして、従来のはんだリフロー方式による表面実装ではない、次世代実装技術展開の可能性とその材料技術への期待について述べる。

2. パッケージの進化とWLP

最初に、昨年10月に米国のサンノゼで開催されたIWLPC2008（ウエハレベルパッケージに関する国際会議）のワークショップのセッションにて、Joe Fjelstad氏が解説した資料の中から、パッケージの進化について述べた部分を図1に示す。

ここでは、半導体パッケージの進化が説明されており、インターコネクションの手法として、フリップチップボンディング、リードボンディング、ワイヤーボンディングの3種類の技術系統に分類して、技術の進化の変遷が示されている。そして、注目すべき進化の最終段階には、WLP（WL-CSPと表記）が位置づけられており、現在、そして近未来におけるパッケージの集約された技術としての重要性があると説明されている。それでは、WLPのインターコネ

クションの手法としては、前述した3種類の技術の中の何に相当するのか、それとも第4の手法なのであろうか。

WLPの現在の構造や技術は、大きく2種類に分類される（図2）。

第1の種類は、フリップチップ型とも呼ばれ、リパッシベーション（Re-Passivation：ポリイミド、PBO、BCBなどが使用される）、UBM（Under Bump Metal：めっき用電極、再配線、バリヤなどの機能）と実装用のはんだボールが主

図1. パッケージの進化

図2. 2種類のWLP構造

な構造材料となっている。第2の種類は、リパッシベーション、UBM、銅ポスト（バンプ、ピラーなどとも呼ばれる）、厚い保護層（ $50\mu\text{m}\sim 100\mu\text{m}$ ）とはんだボールから構成されている。これは、特徴的に銅ポスト型とも呼ばれている。

最初のフリップチップ型のWLPについては、フリップチップ技術との違いとして、リパッシベーション材料の選択、および厚さ（フリップチップなどに利用されるよりも、通常は、より厚く構成される）、比較的大きなはんだボールを端子として搭載することなどが特徴となる。ただし、構造、プロセス技術から、利用されるリパッシベーション材料は、感光性のポリマー材料に限定されている。したがって、その素性から、光に対しては、ほとんど遮蔽性はなく、また通常は、シリコンより比較的热膨張係数が大きい材料であり、保護層としてより厚く形成するには、そのストレス増大が障害になり、したがってパッケージとしての機械的な保護機能としては、必ずしも十分ではない。また、その耐湿性能に注目されて、従来から特に海外で広く利用されてきたBCB（ベンゾサイクロブテン）については、機械的な衝撃に対して脆い性質が課題とされており、最近では、パッケージのアンダーフィルなしで、携帯電話の落下衝撃などの要求を満たすには、強度が不十分であると指摘されている。

一方、銅ポスト型と呼ばれているWLPの構造の重要な部分は、 $50\mu\text{m}\sim 100\mu\text{m}$ の厚みの封止構造であり、この材料はシリカのフィラーを含んだエポキシ材料であり、他のパッケージなどで使用されている封止保護材料と同じ系統の材料である。本来、半導体パッケージとして要求される保護性能として、水分、化学物質、光、機械的外力（衝撃、ストレス）などが想定されており、これらから保護することが可能な構造が前提条件として開発されてきた。

あまり詳細が公開されていないことであるが、WLPのこの機械的保護性能の差は、製品の落下衝撃耐性の違いだけでなく、電子機器の実装工程でのストレス、例えば、マウンタでの部品実装時の衝撃、場合によっては実装用のアンダーフィル材料からのストレスなどでも顕著に見られる場合がある。基板実装温度サイクルなどの信頼性面での差異についても違いがある。最近注目されている内容として、機械的ストレスからの保護機能の差が、半導体のプロセス（配線構造の強度…Low-k材料）の差によって顕在化することも指摘されている。WLPの種類によっては、実装時や、その後の衝撃、ストレスが起因で半導体内部配線層が破壊され故障する。

アンダーフィルが施されている場合は、そのストレスで内部にクラックが入っても外部からは、全く見えない場合もある。

さて、パッケージ進化の内容に戻るが、フリップチップ型のWLPは、その技術の基本が、フリップチップから引き継がれていると解釈できる。そして、銅ポスト型のWLP

図3. ビアフィル型とビアポスト型技術

の場合は、その構造から、ビアポスト型の接合技術と分類されフリップチップ型とは違う構造概念を持っている。プリント配線板において、上下配線の接続は、ビアホールを介して実施されるが、その接続手法の1つとして、ビアポストを形成してから層間絶縁を形成する手法があり、基本形態として類似の技術分類となる（図3）。

この技術の違いから、ビアポスト型では、非感光性の不透明な封止材料を使用するのが容易であることがわかる。このように、図1において、パッケージ内部端子の接続手法として、フリップチップ、ワイヤーそして最後にビアポストというインターコネクション技術が存在していると考ええると、理解しやすいのではないだろうか。

3. 部品内蔵技術

部品内蔵については、受動部品と能動部品が想定されるが、ここでは、特に能動部品としての半導体の、基板内蔵技術に注目する。

一般的に、部品内蔵としては、部品として存在しているものを基板に内蔵する技術と、基板を形成するプロセス中で、同時に受動部品などを作り込む技術がある。また半導体の場合は、半導体デバイスとして製造された部品を内蔵に容易な形態にして、基板に内蔵することになる（図4）。

多くの場合、半導体の端子部分については、何らかのバンプ加工を施し、また、半導体表面は、リパッシベーション（ポリイミド、PBO、BCBなどが使用される）により保護される。この端子と基板の配線との接続については、はんだ接続や導電性樹脂（接着剤）を利用した手法と、基板配線の銅めっきとの直接接続を利用する方法がある。はんだでの接続を利用する場合については、部品をいったん、はんだリフローの表面実装で処理した後に、基板間に挟み込み埋めるという形態なので、結果としては内蔵されているが、技術的には表面実装に追加加工するという意味で、接続技術の基本は、はんだ接続である。

現在、業界各社が開発に注力している手法は、主に、半導体側の端子にはんだ接続を実施せずに、直接、基板のビ

図4. 部品内蔵技術の種類

アめっき領域と接続する技術である。そして、この場合の開発の課題は、半導体チップのバンプ領域の材料、構造と半導体表面の保護材料および構造、そして内蔵する場合の基板材料、加工プロセスである。EWLP (Embedded WLP) と呼ばれている手法では、内蔵する半導体部品をあらかじめ銅ポストタイプのWLPに加工し、ただし、通常の表面実装用のはんだボール搭載を実施せずに、薄型加工しておき、これを基板のビルドアップ加工前に内蔵（ラミネート加工）し、この後、絶縁材料にビアを開けて配線めっきと、この銅ポスト面とを直接接続して、ビルドアップ配線を行う（図5）。

この手法のメリットとしては、半導体の保護（パッケージ化）がWLPで実現されており、その後の基板内蔵プロセスでは、半導体ベアチップの信頼性確保という厄介な課題を考慮する必要がないということが注目すべき点である。特に、単に耐湿性だけでなく、機械的なストレスからの保護という領域が重要であり、封止加工されたWLPの利用により、内蔵するためのビルドアップ材料や、基板の製造プロセスが、ほとんど、既存の技術で対応可能となっている。したがって、材料やプロセス技術の面での実現の容易性、そして、低コスト化の実現という意味において、非常に魅力のある技術手法と言える。容易性が高いということは、プロセスマージンが広く、量産化への適用が広範囲に行える点で優れている。ただし、注意すべきことは、半導体を基板内部にラミネートした後での配線加工を実施するので、このビルドアッププロセスでの歩留まりが極めて重要であり、特殊な材料やプロセスを適用することにより、加工の難易度上昇、歩留まり低下によって、半導体は無駄にしてしまうことは、最も避けなければならないということである。EWLPについては、すでに一部の量産事例があり、すでに携帯電話内のモジュール実装にも適用されてきた。しかし、いまだ業界での定常的なインフラ、あるいは事業関係の定着が十分とは言えない状況であり、本格的な利用拡大は、今年後半以降になるかと思われる。EWLPの利用形態は、大きく3分野が想定される（図6）。

図5. EWLPの概念

1. 単体パッケージ用途

- ・小型チップ
- ・多ピン高性能デバイス

2. SiP、PoP用途

3. モジュール用途

図6. EWLPの用途形態

第一に、単体パッケージ用途である。これは、WLP単体では、チップ(=WLP)サイズと端子（はんだボール）数のバランスで、端子ピッチが狭くなり（例えば0.3mmや0.2mm）、表面実装でのデザインルールに合わず、ファンアウトが必要になる場合で、EWLPを適用することにより、適正なサイズに調整が可能になる。インターコネクションが、ビアポスト型のFBGAパッケージという用途である。フリップチップやワイヤーボンディング方式と比較して、より大きな電流容量の実現や、設計にも依存するが、アナログやRFなどでの伝送特性を向上することなどが期待されている。比較的、小さなチップサイズが想定される一方で、高性能なプロセッサについても、WLP化による銅の再配線での電源、グラウンド端子数の削減や、基板構造における、放熱性向上を含めることも可能になるので、用途は広範囲である。

第二としては、SiPやPoPの領域への適用である。WLPの利用により、高歩留まりで安全に基板内蔵が可能のために、複数のWLP内蔵も実現性が高い。この場合にも、各チップ間のインターコネクションは、はんだなどを使用せずに、銅の直接配線が可能で、高性能なSiPの実現に貢献する。また、携帯電話のアプリケーションプロセッサとメモリのPoP用途のように、下段にプロセッサを内蔵したEWLPを配置して、上段に、単体メモリやMCPメモリを搭載する形態の用途も検討されている（図7）。

これらのプロセッサは、高性能で低消費電力なデバイスであり、ほとんどの場合、最先端の半導体プロセスで製造されており、多層微細銅配線と低誘電率の絶縁材料で構成されており、半導体表面は機械的なストレスに対して弱く、

EWLP® POP Prototype Sample

ご協力：株式会社ルネサス テクノロジ 伊ビデン株式会社

POP

•Size : 9.0×11.0mm
•I/O : 281pin
•Pad Pitch : 0.5mm

EWLP Substrate

•Thickness : 0.55mm
•L/S : 30/30um

WLP (SMT Assembly)

WLP (SMT Assembly)

•Size : 5.42×4.80mm
•Thickness : (0.22mm(body))
•I/O : 90pin
•Pad Pitch : 0.5mm

Embedded WLP

Embedded WLP

•Size : 4.46×5.21mm
•Thickness : 0.15mm
•I/O : 270pin
•Pad Pitch : 0.25-0.30mm

EWLP® POP 信頼性結果 :DaisyChain Pattern

ご協力：株式会社ルネサス テクノロジ 伊ビデン株式会社

試験項目 Test Item	試験条件 Condition	結果 Results
耐リフロー性 Moisture/Reflow sensitivity	JEDEC Level3, Reflow 10 times Reflow Profile : Pb-Free	10 times Pass
温度サイクルテスト TCT	-55℃ to 125℃ (15-5-15min)	1000 cycles Pass
高温高湿テスト THS	85℃ 85%RH	1000 hrs Pass
高温保存テスト HTS	150℃	1000 hrs Pass

図7. PoP用途の検討例

基板内蔵する際にも、適切な保護が必須となる。すでに述べたように、WLPがこの機能を十分に果たすので、このようなデリケートなデバイスでも、安全に内蔵処理が実施できる。

第三には、モジュール実装の用途がある。複数の半導体や受動部品を集積して機能モジュールとして構成する場合に、小型化や薄型化を可能にするために、半導体をモジュール基板へ内蔵して、その他の部品を表面実装する形態である。無線機能モジュールや電源モジュールなどが想定される。この場合は、半導体の内蔵や受動部品の実装を含めたモジュール全体の設計、製造、販売の主体は、通常モジュールメーカであり、第一や第二の形態の場合が、半導体メーカ主体である場合とは異なっている。ただし、いずれの場合においても、半導体を内蔵用のWLPとして完成させる領域までは、半導体メーカ側で責任を持てる内容となるので、標準化やビジネス関係の構築は、比較的容易だと考えられている。

4. 今後の実装技術

パッケージとしての技術の進化があり、その究極にWLPが位置づけられていることを述べた。WLPが構造として簡素、その製造プロセスが、基本的にウエハプロセス技術に準じるものであるために、コスト構造に、デバイスコストとの矛盾がなく、かつ低コストと高性能、高信頼性が両立

できる内容となっている。最小限の材料で構成されることから、材料消費という面での、環境負荷の低減にも寄与すると考えられる。そして、EWLP技術のように、WLPをはんだリフローなしで、直接基板へ内蔵することも可能になり、単にパッケージそのものでなく、実装システム変革の核になることも想定されてきた。現在のエレクトロニクス実装の基本技術である、はんだリフローによる表面実装に対して、「はんだレス実装」という可能性が生まれたと考えられる。この概念は、一昨年前（2007年）から、冒頭に述べたJoe Fjellstad氏が、業界に向けて積極的に発信を始めていることで、すでに各国で話題となっている。詳細は、氏の解説資料を参照していただきたいが、すべての部品の端子を、基板配線技術（ビルドアップ銅配線）で接続し、はんだリフローによる実装接続を撤廃しようという概念である。

5. 鉛フリーからはんだフリーへ

この概念の基本は、エレクトロニクスの小型、軽量、薄型化のための技術の方向性という、わかりやすい、従来からあるアプローチではなく、地球環境負荷低減のための、実装分野からの変革提言となっている。はんだリフローという、常温から比べて高温な状態での端子間のはんだ溶融、溶接という製造を止めようという大胆な考え方である。すでに、従来から、はんだレスという意味では、一部の用途で、導電性接着剤での実装などは利用されているが、実装

の基本としてはんだの利用を止めるという考え方は、地球温暖化が非常に深刻な問題になっている状況で、真剣に検討すべき施策と思われる。はんだリフロー炉でのエネルギー消費が不要になり、はんだリフローに関わる材料も不要、さらに従来は必須であった、部品の耐リフロー性も不要になり、部品を構成する材料の低温化、製造プロセスの低温化も可能になる（主にパッケージ化工程）。これらのすべてのシステムの簡素化によって、莫大なエネルギー消費の低減が実現できると想定されている。この削減エネルギー量については、すでに試算され始めている。氏によれば、この考え方に対して、世界各国で賛否両論を含めたさまざまな反応があり、今後さらに業界で活発に議論されて欲しいとのことである。

6. 実装材料の大きな変化

はんだレス実装には、基本的にパッケージ加工された部品が使用される（図8）。

これは、ビルドアップの接続の容易性（端子の標準化、材料は特に銅を想定）および部品の不良混入を避ける意味で重要な考え方である。しかし、旧来の半導体パッケージを利用するとなると、そのサイズや厚さなどの課題もあり、今までの、小型高性能化に伴って発展してきた技術に逆行し、製品そのものの実現が、困難になる。また、従来のパッケージは、リフロー実装で使用される前提で作られているので、過剰品質または仕様となっている部分がある。ここで利用されるべきパッケージとしては、単体パッケージの進化の究極であるWLPが最も適していると考えられる。WLPにしても、封止には、より低温対応材料が利用可能になるなど、さらに簡素化、低コスト化の技術革新が進められる。半導体パッケージ材料として、はんだ耐熱性不要が条件となると、非常に広範囲な新材料適用の可能性が想定される。ただし、信頼性技術面からの観点として、従来実装では、はんだリフローによる実質的なスクリーニングの効果という、耐熱性のハードルが存在しており、この基準が信頼性確保の最低条件を確保していた部分もある。したがって、リフロー温度の洗礼を受けないプロセスで、実用的な信頼性を確保するための、新たな信頼性評価基準、評価手法が必須となる。また、実使用信頼性との関連データの蓄積を含めて、新たな実装システムの構築に取り組まなくてはならない。ここで、新材料が非常に重要であり、特に半導体、エレクトロニクス材料分野で大きなシェアを担っている日本の材料メーカーの積極的な取り組みが期待される。

7. まとめ

振り返ってみると、WLPの開発を始めた1997年頃には、やはり、業界で賛否両論があり、開発や量産化の推進にも苦労が多かったが、12年後の現在、携帯電話の内部には、

Joseph (Joe) Fjelstad 氏によるプロセスの概念
Verdant Electronics founder and President
(参照) <http://www.verdantelectronics.com/>

図8. はんだレス実装の手法例

図9. パッケージと実装技術の進化

WLPが多数利用されており、今後もその領域が広がっていく状況になった。また、最近では、「鉛フリーはんだ材料」を超えてさらに「はんだレス実装」という概念が議論され始めており、WLPの進化も伴って、はんだリフローによる表面実装そのものに替わる、次世代の実装技術への挑戦も、その姿が見えてきたように思われる。はんだレス実装では、大きな実装材料の革命が起こる。技術の変革によって、事業構造の変化も必要になるが、これらの変化を前向きにとらえて、新たなビジネスチャンスとしていくか、あるいは、その変化から逃避するか、各業界での今後の動きが注目される（図9）。

(2009.1.29-受理)