化学的ウェットエッチングによる樹脂フィルム上へのSrTiO₃ 薄膜容量形成プロセス技術

山田 宏治*, 岡部 寛*, 山下 喜市*,**

Chemical Wet Etching Process Technology for Fabricating SrTiO₃ Thin Film Capacitors on Core Resin Films

Hiroji YAMADA*, Hiroshi OKABE* and Kiichi YAMASHITA***

*株式会社日立製作所中央研究所 (〒185-8601 東京都国分寺市東恋ヶ窪1-280)

**鹿児島大学工学部電気電子工学科 (〒890-0065 鹿児島県鹿児島市郡元1-21-40)

*Central Research Laboratory, Hitachi, Ltd., (1-280 Higashi-koigakubo, Kokubunji-shi, Tokyo 185-8601)

**Department of Electrical and Electronics Engineering, Kagoshima University (1-21-40 Korimoto, Kagoshima-shi, Kagoshima 890-0065)

概要 低コスト化の観点より、STO (SrTiO₃) 薄膜容量の形成が可能な基板材料、電極構成、パターン加工プロセス技術の検討ならびに試作したSTO 薄膜容量の高周波特性の評価を行った。その結果、(1) ポリイミドおよびガラスエポキシ樹脂へのSTO 薄膜容量の形成が可能である、(2) Ru/STO/Cr-Cu 3層膜構成が有望である、(3) 全化学エッチング技術によるSTO 薄膜容量(膜厚300 nm)の一括パターン加工形成が可能であることを明らかにした。また、試作したSTO 薄膜容量が、容量値10 pF、比誘電率17 および容量密度500 pF/mm²で、10 GHzまで平坦な周波数特性を示すことを確認した。

Abstract

The core resin film, electrode configuration and processing technology of a SrTiO₃ (STO) thin-film capacitor, which is expected to be suitable for fabrication at reduced costs, were examined. The high-frequency characteristics of the capacitor fabricated using this processing technology were also investigated. The following results were obtained. (1) Fabrication of an STO thin-film capacitor on a polyimide or glass-epoxy film is possible. (2) A Ru/STO/Cr-Cu three-layer-film configuration is highly promising. (3) Batch processing of the pattern formation of the 300-nm-thick STO thin-film capacitor by all chemical-etching techniques is possible. In addition, it was confirmed that the STO thin-film capacitor has a flat-frequency response up to 10 GHz, a relative dielectric constant of 17 and a capacitor density of 500 pF/mm².

Key Words: STO Thin-Film Capacitor, Polyimide Film, Glass Epoxy Substrate, Ru/STO/Cr-Cu Tri-Layers, Chemical-Etching

1. 緒 言

近年、携帯電話端末やパソコンを利用したブロードバンドインターネットサービスの爆発的な普及により、ネットワークのトラフィック量は以前に比べて桁違いな伸びを続けている¹⁾。このトラフィック量の増大やユーザのさまざまなニーズに応えるためには、電子機器の高速・高周波化や高機能・多機能化を実現するための高密度実装技術の開発が必須となってきた。特に、携帯電話端末には高密度化に伴って生じるさまざまな高周波性能の劣化や部品の高さ、占有面積の制約などの克服に加えて低コスト化が求められている。ここ数年、これら諸課題を克服するための手段として、モジュール基板に部品を内蔵する技術開発が活発に進められてきた。容量の基板内蔵化手法としては、低温焼成ガラスセラミック基板内に多層構造を利用した厚さ1 μm以上の高誘電率積層平板厚膜コンデンサを形成する手法が試みられている^{2),3)}。また、樹脂基板に厚膜コンデンサを形成する手法も検討されている^{4),5)}。しかし、これらの手法で

は誘電体の膜厚を薄くできないため、大きな容量を形成することが難しかった。一方、これらの制約を克服する新しいアプローチとして、セラミック基板より低コストで、フレキシブル化が可能な樹脂基板に厚さ1 μm以下の薄膜容量を形成する手法も検討されている^{6)~10)}。筆者らは、これまで樹脂基板への薄膜容量内蔵化を目指し、実装やプロセス技術の開発を進めてきた。すでに、薄膜容量の基材として、薄膜容量の低温形成が可能で高い比誘電率が得られるSrTiO₃ (STO)を用い、ポリイミド膜およびベンゾシクロブテン (Benzocyclobutene: BCB) 膜上に薄膜容量を形成できることを実証してきた^{11),12)}。

本論文は、低コスト化の観点より、樹脂基板材料としてポリイミドフィルムおよびガラスエポキシ基板を取り上げ、STO 薄膜容量のそれらフィルム上への形成を可能とする化学的ウェットエッチングプロセス技術およびそのプロセス技術のフィージビリティを検証するために試作したSTO 薄膜容量の高周波特性について述べる。第2章では容量薄膜形成に要求される仕様とこの仕様を満たす薄膜容量の材料

選択について、また、第3章では薄膜容量形成プロセス条件について議論する。第4章、第5章では、プロセス技術の検討結果と試作したSTO薄膜容量の高周波特性について述べ、化学的ウェットエッチングプロセス技術により樹脂フィルム上へSTO薄膜容量を直接形成できることを明らかにする。

2. STO薄膜容量内蔵樹脂回路板の構造および樹脂選定

2.1 STO薄膜容量内蔵樹脂回路板の構造

Fig. 1にSTO薄膜容量内蔵樹脂回路板の断面構造イメージを示す。まず、Fig. 1の□で示すSTO薄膜容量が形成されたコア基材（ガラスエポキシ基板やポリイミドフィルム）に別の絶縁樹脂（ガラスエポキシ基板やポリイミドフィルム）を熱圧着（約170℃）によって接着する。その後、レーザやドリルによって絶縁樹脂層の所望部分への配線やICチップ放熱用のビアホールを設けた後に、この部分へCuめっきやCuペーストを埋戻して接続を取る。最後にICチップや受動部品（抵抗、インダクタ）を搭載してSTO薄膜容量内蔵樹脂回路板が構築される。

ここで、STO薄膜容量はコア基材上に下部電極膜、STO薄膜、上部電極膜を順に連続スパッタ法によって成膜された後にホトリソグラフィとパターン加工を繰り返すことによって形成される。これらの工程は、すべて半導体プロセスの一括処理法と同じ処理法を適用できるので、高いスループットが得られる利点がある。それゆえ、使用するスパッタ装置やパターン加工装置も新たに設備投資する必要がなく、従来装置によって十分対応が可能なため、ドライエッチング法に比べて1/2程度の低コスト化が期待できる。

なお、近年非真空中で薄膜容量の形成が可能なエアロゾル

Fig. 1 Cross sectional view of STO thin-film capacitor in resin circuit board

Table 1. Major specifications of resin circuit substrate

Material	Tg (°C)	Coefficient of thermal expansion	Dielectric constant	$\tan \delta$
Polyimide film	500	12 ppm	3.5	0.0013
Glass epoxy film	175	13 ppm	4.7	0.013

デポジション法が注目されている¹³⁾。本研究で開発した化学的ウェットエッチングプロセス技術との比較検討は今後の課題としたい。

2.2 樹脂基板の選定

薄膜容量形成用の樹脂基板材料（フィルム）に要求される主な条件として、次の3項目が挙げられる。(1)樹脂フィルムと下部電極膜の接着性、(2)下部電極膜と薄膜容量との接着性、(3)容量の電気的特性の確保である。(1)(2)の接着性は基板温度、樹脂の表面形状および粗さに大きく依存する。特に、薄膜容量のスパッタ時における樹脂フィルムの反りは電極膜およびSTO膜との剥離、膨れなどを引き起こす重大な要因となる。一方、容量素子材料は薄膜化することによって高周波動作に不可欠な容量密度、 $\tan \delta$ 、リーク電流密度などの電気的特性が劣化する。それゆえ、樹脂基板の接着性と電気的特性双方の条件を満たす材料選定が大きな鍵になる。Table 1に、検討対象としたポリイミドフィルムとガラスエポキシ基板の主な仕様を示す。この中で、ガラス転移温度Tgと成膜時に生じる基板の反りの直接起因となる熱膨張率を考慮し、成膜温度を250℃以下に抑えることを目標とした。また、高周波特性の面からは、比誘電率や $\tan \delta$ も考慮した。

3. STO薄膜容量の目標仕様と形成プロセス

3.1 目標仕様

Table 2に目標としたSTO薄膜容量の仕様を示す。容量密度およびリーク電流密度の目標値設定に当たっては電力増幅器モジュールを参考にした。容量密度250 pF/mm²はモジュール基板の面積を50 mm²、直流遮断およびバイパス容量の総量を8,000 pF、薄膜容量に使用可能な面積を32 mm²として算出した。また、リーク電流密度<1 μ A/cm²は電力増幅器モジュールのオフ時のリーク電流が数 μ A程度であることから、電源電圧3.5 Vの3倍の10 V、総容量面積32 mm²においてリーク電流を0.3 μ A以下に抑えることを目標として設定した。

3.2 形成プロセス

Fig. 2にSTO薄膜容量の形成フローを示す。従来、電極材料にはPtが使われていたが高価であるため、ここでは低コスト化が期待できるRuを取り上げた。また、容量のパターン加工にはドライエッチングに比べて安価にできる化学エッチング加工法を考案して用いた。工程No. 1では、樹

Table 2. Target specifications of STO thin-film capacitor

Items	Specifications
Capacitance density	>250 pF/mm ²
Leak current density	<1.0×10 ⁻⁶ A/cm ² (@10 V)
Capacitor area	0.2~0.3 mm ²
Operating frequency range	>4 GHz

No.	Processing	Technology
1		Sputtering
2		Wet etching
3		Wet etching
4		Wet etching
5		Wet etching
6		Wet etching

Fig. 2 Process flow in STO thin-film capacitor fabrication

脂フィルム（膜厚 $50\sim 200\mu\text{m}$ ）上に下部電極となるRu電極膜，STO薄膜，上部電極となるCr-Cu電極膜を順にスパッタして三層膜をインラインで形成する。工程No. 2~4では，ホトリソグラフィと化学エッチングによって上部電極膜，STO薄膜，下部電極膜の順にパターン加工を行い，MIM (Metal-Insulator-Metal)型STO薄膜容量を形成する。工程No. 5では，両電極の上部にBCB層間絶縁膜を介してビアホールを設ける。最後の工程No. 6では，Cuめっきにより上部電極および下部電極に配線用電極を形成する。下部電極にはSTO膜の結晶配向と耐酸化性を考慮してRuを，上部電極にはSTO膜との強い接着性を得るためにCr-Cu薄膜を用いた。下部電極と上部電極の膜厚はそれぞれ， $\text{Ru}=200\text{nm}$ ， $\text{Cr-Cu}=0.05\mu\text{m}/0.45\mu\text{m}$ とし，基板温度を下部電極成膜時では $150\sim 250^\circ\text{C}$ ，上部電極成膜時では $25\sim 30^\circ\text{C}$ とした。また，STO薄膜のスパッタ時における基板温度を $150\sim 250^\circ\text{C}$ ，膜厚を 300nm とした。なお，Cu配線の膜厚は $4.5\mu\text{m}$ とし，電気めっきにより形成した。

4. プロセス低コスト化の検討

低コスト化を図るには，安価で容易に入手可能な樹脂や電極などの材料選択とSTO薄膜容量，電極，配線などのパターン加工プロセスの簡略化が不可欠である。前者に関して従来からSTOやBST薄膜容量の電極材料として用いられてきたPtに代わる材料選択が，後者に関してはイオン

エッチングに代わる全化学エッチングによるパターン加工プロセス技術の確立が必須となる。

4.1 電極材料の選定

電極材料の選定ポイントは化学エッチングによる加工性の可否，膜表面の不酸化性，薄膜容量との密着性，結晶配向や製造コストなどである。Ru，Cr膜は赤血塩系エッチング液で，Cu膜はリン酸系エッチング液でパターン加工ができるが，Cr膜については大気中にさらすと容易に膜表面が酸化するために単独では使用できず，主に接着材料としてCuの下地膜として用いる。一方，Pt，Au，MoやTiなどの薄膜は通常化学エッチング液に対する耐性があるため，パターン加工が困難であることから，ドライエッチングが主流となっている。しかし，Pt，Ru膜は膜表面が酸化されにくい性質があり，STO薄膜容量を高温形成しても電気的特性を安定に確保できるメリットがある。さらに，Ru膜はSTOの結晶配向とも整合性がよいため，Pt膜の代替が可能なおうえ，製造コストをPt膜の約1/3以下にできる点を考慮し電極材料として選定した。これらの検討結果から，STO薄膜容量の試作では下部電極をRu膜，上部電極をCr-Cuの2層膜とした。

4.2 パターン加工

本節では，Ru膜下部電極，STO薄膜，Cr-Cu膜上部電極の化学エッチングによるそれぞれの単層，あるいは，多層膜のパターン加工法について述べる。化学エッチング液

として、Ru膜とCr膜については赤血塩系を、STO薄膜については弗酸系を、Cu薄膜についてはリン酸系をそれぞれベースエッチング液として用い、それぞれのパターン加工が可能であることを示す。

4.2.1 化学エッチング液

STO薄膜容量を構成する三層膜すべてを化学エッチングによってパターン形成する際のポイントは、①エッチング液およびレジスト材料の選択、②樹脂基材との接着性、③サイドエッチングの抑制、④レジスト材の剥離を防止するためのエッチング後における表面の残渣除去などである。特に、Ru膜のパターン形成を可能とするエッチング液の開発が最大の課題であった。これらの観点より、最初にRu膜のエッチング液として酸（硝酸、塩酸、フッ酸、リン酸）系を試したが、ほとんどアタックされずエッチングができなかった。プラズマアッシャーで表面の清浄化処理を行っても効果はなかった。そこで、アルカリ系エッチング液の探索を行った。最初は赤血塩（フェリシアン化カリウム）の塊のみを水に溶解し濃度、温度を変えてエッチングを試みたが、エッチングが難しいことがわかった。次に、この赤血塩液中へ水酸化ナトリウム（苛性ソーダ）を少しずつ添加してエッチングを試みた結果、Ru膜の表面変化（膜べり）があることを α -STEP（段差計）で確認でき、パターン形成が可能なる見通しを得た。これらの経緯を踏まえて行った詳細な検討により得られたRu膜のエッチング諸条件を以下にまとめて示す。

- ①エッチング前にプラズマアッシャーによる表面処理が必須である。
- ②液温度は50°C前後が適している。
- ③超音波の印加補助は必要不可欠である。
- ④バージン液のみがエッチング可能である。
- ⑤液組成比は赤血塩：水酸化ナトリウム：水=30 g:20 g:100 ccが最適である。
- ⑥最後の樹脂上にはわずかに残渣が残るので水洗時に軽く綿棒でブラッシングする必要がある（この時、レジストが乗っているためRu膜自体のダメージなし）。
- ⑦エッチング速度は100 nm/分が推奨速度である。

なお、上部電極Cu (450 nm)の接着材Cr (5 nm)も赤血塩系エッチング液でパターン加工ができることがわかった。

4.2.2 Ru膜パターン

Fig. 3に赤血塩系エッチング液を用いた膜厚200 nmのRu膜下部電極パターンの加工例を示す。Ru膜の形成にはスパッタ法を適用し、成膜時の温度を200°Cとした。また、パターン加工条件として、エッチング温度を50°C、パターン加工速度を100 nm/分とした。同図から、パターン端部ではRu膜の凹凸や段差なども見られず、Line/Space=25 μ m/20 μ mのパターンが良好に加工できることがわかった。この時、エッチングマスクとして耐性のあるゴム系ネガレジストを用いた。レジスト除去後のRu膜パターン上

Fig. 3 An example of Ru film pattern processing (Line/Space=25 μ m/20 μ m)

には残渣がほとんど見られず良好な面が得られた。

4.2.3 STO薄膜パターン

STO薄膜のパターン加工には、弗酸系エッチング液を用いた。この時の成膜温度は200°Cで、スパッタ法を用いて膜厚300 nmのSTO薄膜容量を形成した。パターンの加工条件はエッチング温度を24°C、加工速度を60 nm/分に設定した。Ru膜と同様にLine/Space=25 μ m/20 μ mのSTO薄膜パターンが良好に加工され、レジスト除去後のパターン上にも残渣がほとんど見られなかった。これはSTO薄膜のエッチングマスクが酸性の弗酸系エッチング液のため、アセトンによって容易に溶解できるポジレジストの適用が可能であることによる。

4.2.4 Cr-Cu膜パターン

上部電極となるCr-Cu膜のパターン加工では、接着材となるCrの膜厚を50 nm、電極材となるCuの膜厚を450 nmとし、ともに室温でスパッタリングにより成膜した。Cr膜のエッチング液はRu膜と同じ赤血塩系エッチング液を、また、Cu膜はリン酸系エッチング液を用いた。エッチング温度はCr膜、Cu膜ともに24°Cとし、それぞれの場合のパターン加工速度をCr膜で50 nm/分、Cu膜で300 nm/分とした。パターン加工は、最初にCu膜上にポジレジストマスクを形成し、パターン以外のCu膜をすべてエッチングする。次に、Cu膜パターン上のレジストを除去した後、Cu膜パターンをマスクにして下層のCr膜パターンを除くCr膜をすべてエッチングし、Cr-Cu膜上部電極を形成した。Ru膜およびSTO薄膜パターンと同様に、Line/Space=25 μ m/20 μ mのCr-Cu膜パターンが良好に加工され、Cu膜上には残渣がほとんど見られなかった。

4.2.5 STO薄膜容量パターンの加工例

Fig. 4に樹脂基板上に形成したSTO薄膜容量のパターン加工例を示す。同図(a)はポリイミドフィルム（厚さ：50 μ m）、(b)はガラスエポキシ基板（同：100 μ m）、(c)は基板材料評価の基準として用いたBCB膜塗布（同：4.5 μ m）Cu基板の場合である。ここで、Ru、STO、Cr-Cuの成膜には、上述した方法を適用した。Ru膜電極とSTO薄膜容量

Fig. 4 Photographic patterns of STO thin-film capacitor fabricated on the three kinds of resin films

形成時の成膜温度は175°C、Cr-Cu膜電極の成膜温度は室温とし、スパッタ法にて膜形成を行った。これらの3層膜は真空を破ることなく連続スパッタによって積層し、それぞれの膜厚をRu膜で200 nm、STO薄膜で300 nm、Cr-Cu膜で50 nm/450 nmとした。同図からわかるように、パターン加工後の3層膜のパターン形状はいずれも良好であるが、ガラスエポキシ基板上的STO薄膜容量にのみ、濃淡の模様が観察された。これは、ガラスエポキシ基板内のガラス繊維によって生じる基板表面のうねりが透けて見えることによるが、後述のように高周波特性やリーク電流密度、耐圧などは他の2試料と大差ない結果が得られている。以上の結果から、化学エッチングによりSTO薄膜容量のパターン加工が可能であることがわかった。

なお、Ru膜電極やSTO薄膜の成膜温度が高くなると樹脂フィルムとの熱膨張係数との差によって生じるストレスの影響により、クラックの発生が見られた。このクラックの発生頻度は、200°C以上で高い確率で発生する傾向が見られた。したがって、樹脂基板の選定には成膜温度の観点も考慮することも必要となる。

5. 試作結果および考察

5.1 樹脂フィルムの評価結果

樹脂フィルムの表面粗さやピンホールはSTO薄膜容量の被覆性を低下させ、下部と上部電極間の短絡やリーク電流の増加、回路動作の不良などを生ずる要因となる。本節では、樹脂フィルムの表面粗さやピンホールなどに起因する欠陥の評価結果について述べる。

Fig. 5(a)および(b)に、ポリイミドフィルム、ガラスエポキシ基板、Cu基板上に塗布したBCB膜のうねり(a)と表面粗さ(b)の測定結果を示す。測定は触針計の α ステップを用いて行った。同図から、うねりの幅(目標 $>300\mu\text{m}$)はBCB膜塗布Cu基板 $>$ ポリイミドフィルム $>$ ガラスエポキシ基板の順で狭くなり、BCB膜塗布Cu基板では $1,220\sim 1,340\mu\text{m}$ 、ポリイミドフィルムでは $780\sim 900\mu\text{m}$ 、ガラスエポキシ基板では $380\sim 600\mu\text{m}$ であった。うねり幅は広ければ広いほど、樹脂フィルムが滑らかで平坦性が良いことを意味するので、ポリイミドフィルムはBCB膜より劣るものの、ガラスエポキシ基板に比べ、優れていることがわかる。一方、表面粗さについてはいずれも $0.14\mu\text{m}$ 以下が得られており、目標値 $0.3\mu\text{m}$ 以下を十分満たしている。したがっ

Fig. 5 Swell width (a) and surface flatness (b) of the three kinds of resin films

Fig. 6 Sharing strength of STO thin film capacitors fabricated on polyimide and glass/epoxy films

て、平坦性および表面粗さ両方の観点からは、STO薄膜容量の破損などが非常に少ないと考えることができる。膜厚に関しては、ポリイミドフィルムで $50\mu\text{m}$ 、ガラスエポキシ基板で $100\mu\text{m}$ 以上あれば、十分にSTO薄膜容量の基板材料として適用が可能であることがわかった。

Fig. 6にポリイミドフィルムおよびガラスエポキシ基板上に形成したSTO薄膜容量のせん断強度を示す。せん断強度試験用のサンプルはベース樹脂、STO薄膜容量が形成されたコア樹脂およびせん断力印加用の樹脂を接着剤でそれぞれ貼り合わせるにより作成されている。せん断強度はポリイミドフィルムで 28 kgf/5 mm^2 、ガラスエポキシ基板で 15.5 kgf/5 mm^2 であったが、これは樹脂間の貼り合わせに使用した接着剤部分が剥離したため、STO薄膜容量とコア樹脂間の剥離限界を確認できなかった。今後は、STO薄膜容量とコア樹脂間の剥離限界を明らかにするための測定方法を考えていく。

なお、ポリイミドフィルムやガラスエポキシ基板は塗布やプレス成形によって製造されるので、材料が接する面にある部分的なキズや凹凸がそのまま転写され、キズやピンホールとなってSTO薄膜容量の製造歩留まりの低下につながりやすい。試作に用いたフィルムの欠陥サイズは $5\sim 10\mu\text{m}\phi$ (目標 $<1\sim 2\mu\text{m}\phi$)、欠陥密度は 15 個/mm^2 以下であった。現状では、この種の欠陥は深さも数 μm もあるので、STO薄膜容量の破損や下部-上部電極間での短絡などが発生する確率が高いため、それぞれにBCB膜などを塗布するような対策も考慮する必要がある。

5.2 試作STO薄膜容量の諸特性

5.2.1 静特性

前節の結果を基にSTO薄膜容量を試作した。STOの成

膜は、スパッタ中の酸素分圧を一定にし、温度150~250°Cの範囲で行った。Fig. 7に試作したSTO薄膜容量の外観および断面構造例を、Fig. 8に容量密度の成膜温度依存性を示す。同図から、基板材料がポリイミドフィルムの場合、BCB膜塗布Cu基板と同様、容量密度が225°C~250°Cの成膜温度範囲で急激に変化する傾向が見られる。一方、225°Cよりも低温では容量密度の変化は小さく、480~530 pF/mm²であった。これから、成膜時における温度変化に対して安定した容量密度を得るには、STO成膜温度を225°C以下にすればよいことがわかった。ガラスエポキシ基板の場合は、成膜温度を225°C以上にするると樹脂基板にクラックが発生し、容量を形成できなかった。なお、STOの成膜温度を200°C以下にすると基板材料の種類による容量密度の有意差は見られなかった。そこで、STO薄膜容量のリーク電流密度と耐圧を評価するために、面積が70 μm×70 μm, 100 μm×100 μm, 140 μm×140 μm, 200 μm×200 μm, 300 μm×300 μm, 500 μm×500 μmの6種類のサンプルを試作した。Fig. 9に面積が200 μm×200 μmのSTO容量におけるリーク電流密度と成膜温度との関係を示す。175°C以上のサンプルでは、基板材料がポリイミドフィルムとBCB膜塗布Cu基板の場合は、目標としたリーク電流密度

($<1.0 \times 10^{-6}$ A/cm²)を満たせることがわかった。一方、ガラスエポキシ基板の場合、成膜温度を175°C以上にするるとリーク電流が大きくなり、目標を達成できなかった。この原因として、使用したガラスエポキシ基板のガラス転移温度T_gが170~175°C程度であり、他の2つの基板材料に比べて低く、成膜中の温度の影響によりクラックの発生によってSTO膜が破損したものと推察される。

次に、STO薄膜容量の耐圧を成膜温度に対する観点より評価した。成膜温度は175°C~250°C、容量面積は200 μm×200 μmである。評価したサンプル数はポリイミドフィルムおよびBCB膜塗布Cu基板で各36個、ガラスエポキシ基板で20個である。BCB膜塗布Cu基板では、225°Cと250°Cで成膜したサンプル各8個がすべて40 V以上の耐圧を示した。しかし、ポリイミドフィルムやガラスエポキシ基板では、いずれの温度においても40 V以上の耐圧を示すサンプルは少なく、60%以下であった。

5.2.2 高周波特性

本研究では、ポリイミドフィルムやガラスエポキシ基板上にSTO薄膜容量を直接形成するため、形成温度を高くすることが難しく、STO薄膜容量自体の劣化の有無を確認する必要がある、試作容量の高周波特性の観点からその有無

Fig. 7 Top (a) and cross sectional (b) view photographs of STO thin-film capacitor (SG type)

Fig. 8 Dependence of STO capacitance density on its processing temperature

Fig. 9 Dependence of STO leak current density on its processing temperature

Fig. 10 Photograph of STO thin-film capacitor (GSG type)

を検証した。また、目標とする面積 $0.2 \sim 0.3 \text{ mm}^2$ をもつ STO 薄膜容量の形成可否を確認する。

STO 薄膜容量の値は上部電極の面積で規定される。容量の測定法には、on wafer 測定が可能な高周波プローブヘッドを用いる方法がある。この時、引き出し電極の形状はプローブヘッドの構造により SG (Signal-Ground) 型と GSG 型 (Ground-Signal-Ground) とに分かれる。SG 型ではサンプルの上部電極と下部電極のそれぞれに直接プローブヘッドを当てられるため、寄生インダクタンスを小さくできる利点があり、サンプル自体の高周波特性を測定するのに適している。一方、GSG 型ではサンプルの上部電極の中心から電極を引き出せる利点があり、容量面積の大きなキャパシタの測定に適している。ただし、容量面積の増加に伴い引き出し線が長くなり、寄生インダクタンスが増加しやすく自己共振により容量自体の周波数特性を知るには寄生素子の影響を補正する必要がある。以上のことを踏まえ、本研究では、STO 薄膜容量自体の周波数特性を調べるサンプル ($< 200 \mu\text{m} \times 200 \mu\text{m}$) には Fig. 7 に示すような SG 型を、目標面積 ($0.2 \sim 0.3 \text{ mm}^2$) を満たす STO 薄膜容量の形成可否を調べる $300 \mu\text{m} \times 300 \mu\text{m}$ や $500 \mu\text{m} \times 500 \mu\text{m}$ のサンプルには Fig. 10 に示すような GSG 型を適用した。サンプルは、SG 型では BCB 膜塗布 Cu 基板を、GSG 型では BCB 膜塗布 Cu 基板、ポリイミドフィルム、ガラスエポキシ基板を用いた。また、サンプルの容量密度は 500 pF/mm^2 、比誘電率は 17、STO 薄膜の厚さは 300 nm とした。Fig. 11 に測定した STO 薄膜容量の高周波特性をまとめて示す。基板の相異により若干容量値に差があるが、ほぼ同様の特性が得られた。容量値の相異は STO 膜厚の差および誘電率のばらつきによるものと考えられる。STO 薄膜容量自体の高周波特性を調べるために試作した $200 \mu\text{m} \times 200 \mu\text{m}$ 以下のサンプルでは 10 GHz まで容量値はほぼ平坦であり、試作した STO 薄膜の誘電率が少なくとも 10 GHz までは一定であると考えられる。また、 $300 \mu\text{m} \times 300 \mu\text{m}$ 、 $500 \mu\text{m} \times 500 \mu\text{m}$ のサンプルでは基板によって若干差があるものの正常な周波数特性が得られており、目標値を満たす面積の STO 薄膜容量を形成できること

Fig. 11 Frequency characteristics of fabricated STO thin-film capacitor

Fig. 12 Equivalent circuit of fabricated STO thin-film capacitor

がわかった。なお、 200 MHz 以上で容量値が大きくなる現象は引き出し電極やコンタクト部のバイアホールなどに寄生するインダクタとの間で生じる自己共振による。Fig. 12 に試作した STO 薄膜の等価回路を示す。ここで、寄生インダクタの影響をリアクタンス分として容量成分に組み込んだ容量値 C の計算式は同図中の式 (1) で与えられる。式 (1) において、正負の符号が反転する周波数は容量の自己共振周波数 f_r と呼ばれ、式 (2) で表される。測定結果と Fig. 12 の等価回路より試算した試作サンプルの寄生インダクタンスは SG 型で約 10 pH 、GSG 型で約 300 pH であった。Fig. 13 に STO 薄膜容量に寄生する直列抵抗の周波数依存性を示す。 1 GHz での直列抵抗は SG 型で約 1Ω 、GSG 型 BCB 膜塗布 Cu 基板で約 2Ω 、それ以外の基板では $4 \sim 5 \Omega$ であった。

Fig. 13 Parasitic serial resistance of fabricated STO thin-film capacitor

STO 薄膜容量の寄生抵抗は引き出し電極や STO 薄膜容量の上部および下部電極の抵抗によって生じる。同じ Cu 基板を用いた BCB 膜の場合に SG 型と GSG 型で値が異なるのは引き出し電極の抵抗分の差による。また、同じ GSG 型でも基板材料が異なると直列抵抗値に差が出るのは、基板材料に直接積層される下部電極の状態の相異、すなわち、基材の表面粗さの相異や基板との反応による下部電極の導電率の劣化などによる。

6. 結 言

基板材料として、ポリイミドフィルム、ガラスエポキシ基板および容量の性能基準として BCB 膜を塗布した Cu 基板を取り上げ、低コスト化の観点より STO 薄膜容量を樹脂フィルム上に直接形成することに適した基板材料や電極材料の選定、パターン加工プロセス技術、基板材料評価および試作した STO 薄膜容量の高周波特性について検討した。その結果、基板材料としては成膜温度が約 175°C であればポリイミドフィルムおよびガラスエポキシ基板上に STO 薄膜容量を形成できること、電極材料としては Ru/STO/Cr-Cu の 3 層膜構造を実現できることがわかった。また、ドライエッチング技術に比べ、低コストな化学的ウェットエッチング技術による STO 薄膜容量の一括パターン加工形成が可能であることを示した。試作した STO 薄膜容量の最大容量面積は 0.25 mm^2 ($500 \mu\text{m} \times 500 \mu\text{m}$)、容量密度は 500 pF/mm^2 、リーク電流密度は $1.0 \times 10^{-6} \text{ A/cm}^2$ 以下であり、10 GHz まで容量値 (@10 pF) および比誘電率がほぼ一定であることを確認した。以上の結果から、開発した化学的ウェットエッチングプロセス技術が STO 薄膜容量を樹脂フィルム上に直接形成できるプロセス技術として有望であることを明らかにした。

(2008.9.25-受理)

文 献

- 1) “国内のインターネット・トラフィック”，日経マーケッ

ト・アクセス，Web ニュース 2008 年 3 月 7 日

- 2) J. Savic, R. T. Croswell, A. Tungare, G. Dunn, T. Tang, R. Lempkowski, M. Zhang and T. Lee: “Embedded Passives Technology Implementation in RF Applications”, Proceedings of IPC Printed Circuit EXPO2002, p. 1, S09-31, 2002
- 3) 島田 靖, 大塚和久, 平田善毅: “RF モジュール向けキャパシタ内蔵配線板の開発”, エレクトロニクス実装学会誌, Vol. 5, No. 7, pp. 636–640, 2002
- 4) 秋元 豊, 古屋明彦, 石岡 卓, 中村博文: “部品内蔵ビルドアップ基板の RF モジュールへの適用”, 第 20 回エレクトロニクス実装学会講演大会 24B-01, 2006
- 5) 野村浩功, 古屋明彦, 河本憲治, 秋元 豊: “部品内蔵基板用印刷素子のサイズと特性”, 第 20 回エレクトロニクス実装学会講演大会, 第 24B-02, 2006
- 6) A. I. Kingone, T. Kim, P. Vilarinho, J. P. Maria and R. T. Croswell: “Thin Film Capacitors Embedded into Printed Wiring Boards”, 2001 IMAPS Conference, 2001
- 7) D. Balaraman, J. Choi, V. Patel, P. M. Raj, I. R. Abothu, S. Bhattacharya, L. Wan, M. Swaminathan and R. Tummala: “Simultaneous Switching Noise Suppression Using Hydrothermal Barium Titanate Thin Film Capacitors”, Proceedings of 54th Electronic Components & Technology Conference, Vol. 1, pp. 282–288, 2004
- 8) 山道新太郎, 渋谷明信: “ポリイミドフィルム上 SrTiO₃ デカップリングキャパシタ”, 第 19 回エレクトロニクス実装学会講演大会 18 A-10, 2005
- 9) A. Okubora, T. Ogawa, T. Hirabayashi, T. Kosemura, T. Ogino, H. Nakayama, Y. Oya, Y. Nishitani and Y. Asami: “A Novel Integrated Passive Substrate Fabricated Directly on an Organic Laminate for RF Applications”, Proceedings of 52nd Electronic Components & Technology Conference, pp. 672–675, 2002
- 10) S. H. Sohn, Y. K. Jung, S. T. Lim, H. M. Jung, Y. N. Shin, J. S. Moon, S. Bae, J. W. Lee, S. E. Lee, W. C. Kim and Y. S. Oh: “低温薄膜キャパシタを内蔵した基板の開発”, 第 21 回エレクトロニクス実装学会講演大会 15C-09, 2007
- 11) S. Sugii, H. Yamada, O. Kagaya, M. Yamasaki, K. Sekine, K. Yamashita, M. Watanabe and S. Murakami: “High-Frequency Properties of SrTiO₃ Thin-Film Capacitors Fabricated on Polymer-Coated Alloy Substrates”, Appl. Phys. Lett., Vol. 72, No. 2, pp. 261–263, 1998
- 12) 山田宏治, 山下喜市: “樹脂埋込み型高周波 MCM への STO 薄膜容量内蔵プロセス技術の検討および周波数特性”, エレクトロニクス実装学会誌, Vol. 4, No. 7, pp. 590–596, 2001
- 13) 今中佳彦, 明渡 純: “エアロゾルデポジションによる高周波受動素子集積化技術”, セラミックス, Vol. 39, No. 8, pp. 584–589, 2004