協調設計・協調シミュレーションによる I/O 同時スイッチングノイズの低減

高橋 成正*

Co-Design and Co-Simulation Approach to Reduce I/O Simultaneous Switching Noise

Narimasa TAKAHASHI*

* 日本アイ・ビー・エム株式会社マイクロエレクトロニクス事業実装技術ソリューション開発 (〒604-8175 京都府京都市中京区室町通御池下ル円福寺町338)

* Packaging Technology Solution Development, Microelectronics Japan, IBM Japan Ltd. (338 Enpukuji-cho, Muromachi-dori Oike Sagaru, Nakagyo-ku, Kyoto-shi, Kyoto 604-8175)

1. はじめに

電子機器で発生するノイズは、反射やクロストークノイズ、電源ノイズ、不要電磁放射などがあげられ、マイクロプロセッサのクロック周波数上昇にともない、その対策が困難になってきている。そのために、各ノイズを対策するための協調設計・協調モデリング手法が製品開発において特に重要となってくる^{1),2)}。回路間インターフェースの主流がパラレルバスから高速シリアルリンクに移行している一方で、SSTL-2などの高速バスインターフェースが依然、幅広く活用されている。その場合、I/O 同時スイッチングノイズ対策は最も重要かつ困難な設計課題の1つである。LSI パッケージやプリント配線板の設計におけるシグナルインテグリティ (SI) 評価では、伝送線路シミュレータや3次元電磁界シミュレータが用いられることが多い。

しかしこれらのツールでは、

- ①解析時に電源プレーンを理想的な状態として扱う。
- ②基板全てにわたる大規模な電源供給系をモデル化することができない。

といったパワーインテグリティ (PI) 解析上の制約がある。高速バスインターフェースに関しては、SIだけでなくPIも非常に重要な性能指標の1つである。

最近ではアートワーク設計に付帯サービスとしてシミュレーション業務を提供するところが増えてきたが、設計納期の短縮でなかなかシミュレーションまで手が回らないという現実がある。基板レイアウト設計部門と解析部門が机を並べて共同デザインできる体制でないと、シミュレーションによる効果が見いだせない³⁾。

そこで、本稿ではモデリング評価用に作成した LSI パッケージ (PKG) とプリント配線板 (PCB) のプロトタイプデザインをもとに、IBIS モデルと FDTD 法ベースの2次元解析ソルバ⁴⁾を使用し、I/O 同時スイッチングノイズの評価方法と低減手法に関して解説する。

2. I/O 同時スイッチングノイズ

同時スイッチングノイズは、出力バッファが同時に切り換わる際に発生する誘導性のノイズである。Fig. 1 に、電源供給系における充放電電流経路を示す。ここでは、終端をもたない CMOS 回路を仮定する。電源供給系のインダクタンスにより生じる電圧変動は、式 (1) および式 (2) で表される。Chip 端子、BGA ボール、電源プレーン、そして信号配線から構成される電流ループの実効的なインダクタンスが適用される。

$$V_{\text{gnd_noise}} \cong n \cdot (L_s + L_g - 2M_{s-g}) \cdot \frac{dl_{\text{gnd}}}{dt} \quad (1)$$

グラウンドを含む電流ループでの電圧変動 (以下グラウンドノイズ) に相当する式 (1) において n , L_s , $L_g (=L_{\text{PCB_G}} + L_{\text{PKG_G1}})$, および M_{s-g} はそれぞれ、同時スイッチング動作の数、信号配線の自己インダクタンス、グラウンドドリファレンスの自己インダクタンス、そして信号配線とグラウンドドリファレンス間の相互インダクタンスを示す。

$$V_{\text{power_noise}} \cong n \cdot (L_s + L_p - 2M_{s-p}) \cdot \frac{dl_{\text{power}}}{dt} \quad (2)$$

同様に電源を含む電流ループでの電圧変動 (以下電源ノイズ) に相当する式 (2) において n , L_s , $L_p (=L_{\text{PCB_V}} + L_{\text{PKG_V1}})$,

Fig. 1 The current paths at simultaneous switching events

Fig. 2 Simulation model on a LSI PKG and PCB for 64 simultaneous switching outputs (SSOs)

Fig. 3 PCB layout design at top layer

および $M_{s,p}$ はそれぞれ、同時スイッチング動作の数、信号配線の自己インダクタンス、電源リファレンスの自己インダクタンス、そして信号配線と電源リファレンス間の相互インダクタンスを示す。実際の同時スイッチングノイズ電圧は、あるノイズ電圧に達すると、ドライバの電流駆動能力が下がり、その結果として同時スイッチングノイズ電圧は飽和する。

3. 同時スイッチング動作のモデル化

64ビットの同時スイッチング動作をシミュレーションするためのLSIパッケージ、BGAボール、プリント配線板で構成されたモデルをFig. 2、プリント配線板のレイアウトをFig. 3に示す。

ワイヤボンディング方式パッケージでは、ボンディングワイヤ自身で数nHのインダクタンスをもち、十分な数の電源/グラウンド端子数がとれないため、フリップチップ実装タイプでビルドアップ基板のパッケージを採用した。PCBは通常のFR4基板で、層数はパッケージ/プリント配線板共に4層とした。

すべての信号は最上層に配線し、その下層のグラウンドプレーンをリファレンスとするマイクロストリップラインで構成した。回路システムはDDR SDRAMインターフェー

Fig. 4 Bus signaling techniques

スであり、ソースシンクロナスタイミングのため8本のデータごとにストロブ信号を割り当てた。DC電源電圧2.5Vがプリント配線板上の供給点から印加し、オフチップドライバは出力インピーダンスが50Ω、波形スルーレートを500ps/Vとし、ACおよびDC特性がプルアップ、プルダウンともに同等となるIBISモデルを作成した。ストロブ信号をlow固定あるいはhigh固定とし、グラウンドノイズと電源ノイズは、静止ドライバを経由して観測した。信号配線の特特性インピーダンスは、LSIパッケージ内およびプリント配線板内共に50Ωに制御した。

8本のデータ信号と1本のストロブ信号間で遅延時間を調整させ、ソースシンクロナスタイミングを仮定した⁵⁾。ストロブ信号はクロック源からではなくドライバチップ自体から送信されるため、システムの動作マージンはデータとストロブからなる各グループ間の遅延時間差に依存するが、これはFig. 4に示す共通クロックバスより簡単な設計手法である。

システム機能における動作マージンを確保するには、各データ間のスキューをできるだけ少なく抑え、ストロブ信号の遅延時間が8本のデータの各遅延の平均値となるよう制御する必要がある。

本シミュレーションモデルにおける各データグループごとの配線遅延時間をFig. 5に示すとおり、各信号間の遅延を適用可能な限りそろえた。

4. リファレンスプレーンの検討

LSIパッケージとプリント配線板におけるリファレンスプレーンが同時スイッチングノイズに及ぼす影響について考察する。Fig. 6は、パッケージ、プリント配線板ともにグラウンドをマイクロストリップラインのリファレンスプレーンとしたモデルで、64ビットの同時スイッチング動作を行った場合のシミュレーション波形である。パッケージ、プリント配線板にバイパスキャパシタは搭載していない。遅延時間やスキューはよく制御しているが、大きな電源ノイズが発生しており、システム機能上の障害になる可能性がある。同時スイッチング動作の数とグラウンドおよび電源ノイズ振幅値の関係をFig. 7に示す。電源ノイズがグラ

Fig. 5 Calculated delay time from driver to receiver for data and strobe signal on each group

Fig. 6 Simulated waveform for 64 SSOs with ground-referenced microstrip for both PKG and PCB without bypass capacitor

ウンドノイズの振幅を上回っているが、これは信号配線と電源プレーンを含む電流経路のループインダクタンスがグラウンド側より上回っているためと考える。

パッケージ、プリント配線板の各リファレンスプレーンでグラウンドと電源を他の組み合わせでモデル化し、同様のシミュレーションを行った。結果をFig. 7, Fig. 8, Fig. 9にまとめた。すべてのケースにおいて、電源ノイズの振幅がグラウンドノイズの振幅を上回っていることから、BGAボールの数（グラウンドピン408個、電源ピン216個）が自己インダクタンスに影響し、ノイズ振幅の差異をもたらしていると考えられる。Fig. 8のようにパッケージとプリント配線板でリファレンスプレーンが異なる場合、リターン電流の経路がBGAボールのところで交差することとなり、ループインダクタンスの増加につながる。

Fig. 7 Simultaneous switching noise (SSN) simulation results with ground-referenced microstrip for both PKG and PCB

Fig. 8 SSN simulation results with power-referenced microstrip for PKG and ground-referenced microstrip for PCB

Fig. 9 SSN simulation results with power-referenced microstrip for both PKG and PCB

グラウンドノイズはコモンモードノイズの原因となるため、できるだけ小さくする必要がある。LSIパッケージとプリント配線板のリファレンスプレーンをともにグラウンドとした場合が最もグラウンドノイズの低減効果が大きいため、次章以降ではFig. 2の構造をベースにシミュレーションを行うこととする。

Fig. 10 Location of bypass capacitors

Fig. 11 Loop inductance between flip chip joint pad and SMT pads of bypass capacitors (mounting inductance)

5. バイパスキャパシタの効果

容量0.1 uFで低等価直列インダクタンス10 pFをもつキャパシタを仮定し、その等価回路モデルとLSIパッケージおよびプリント配線板上の配置をFig. 10に示す。フリップチップ接続端子用パッドとキャパシタ搭載箇所間のループインダクタンスをシミュレーションで求めた。

キャパシタを、

- プリント配線板上に搭載した場合
- パッケージ上に搭載した場合
- パッケージサブストレート内層埋め込みで形成した場合

Table 1. SSN simulation results for each capacitor's location

Bypass Capacitor	Power Noise	Delta
none	616 mV	(base)
(a) with Cpcb1_4	500 mV	-100 mV
(b) with Cpkg1_4	343 mV	-273 mV
(c) with Cemb1_4	50 mV	-566 mV

のそれぞれについて結果をFig. 11に示す。また、各条件での電源ノイズのシミュレーション結果をTable 1に示す。ここで、Deltaはキャパシタを搭載していない場合のノイズ値に対する差である。プリント配線板上の4箇所を搭載した場合のループインダクタンスは600 pFにも及び、これはキャパシタ自体の等価直列インダクタンスの60倍に相当する。この場合の64ビット同時スイッチング動作シミュレーションでは電源ノイズが500 mVであり、キャパシタを搭載しない場合の616 mVに比べ約100 mVしか低減できていない。これは上述のループインダクタンスが影響している。

キャパシタをLSIパッケージの最上層に搭載した場合のループインダクタンスは200 pFであり、電源ノイズは343 mV (電源電圧の14%) まで抑制される。さらにパッケージサブストレートの内層にキャパシタを埋め込みLSIチップに近づけると、ループインダクタンスは6 pFまで抑制されることがわかる。ただし、モデルでは単純にパッケージの第2層と3層との間に、等価回路に示すキャパシタを置いた。これはキャパシタ自体の等価直列インダクタンスよりも小さい値であり、この場合の電源ノイズは50 mV (電源電圧の2%) に低減することができる。ただし、この方法では、製造コストと信頼性を検討する必要がある。

6. チップ回路設計上の対策

同時スイッチングノイズ低減方法の1つとしてオンチップキャパシタが考えられるが、 di/dt が非常に大きいアプリケーションになると、必要とされる容量をチップ内に確保できないこともあり得る。回路技術上の対策としては、出力ドライバのスルーレートやスキューを制御する手法が適用される。

Fig. 12は、スルーレートを可変した際の電源ノイズ振幅値を、先に述べたキャパシタ搭載箇所別にプロットしたものである。仮に、ノイズ許容電圧を電源電圧の5% (125 mV) に設定し⁶⁾、パッケージ上にキャパシタを搭載した場合、ノイズを許容範囲内に収めるにはドライバのスルーレートを1周期の50%以上に制御しなくてはならない。ただし、半導体の製造プロセスや電源電圧、温度条件も考慮する必要がある。パッケージサブストレートにキャパシタを埋め込んだケースでは、スルーレート制御の必要性はない。

Fig. 13に示すように、スキュー制御回路をチップ内に設けることも、同時スイッチングノイズの低減を図る有用な方法である。オフチップドライバにスキュー制御回路を、

Fig. 12 SSN simulation results for each bypass capacitor's location and slew rate of driver

Fig. 14 Simulation results with skew control on chip and with various slew rates of driver

Fig. 13 Schematics for skew controlled circuit

オフチップレシーバにスキュー調整回路を付加し、パッケージやプリント配線板上ではなくチップ内のデータラッチで同時スイッチング動作を発生させる考え方であり、ノイズ抑制に効果的である。

本稿のプロトタイプデザインでは8ビットソースシンクロナスタイミングの64ビットバスインターフェースへの適用を想定しているので、各データバスごとに8ステージのスキュー制御回路をもたせることで、最大64本の同時スイッチング動作を8本まで低減できることになる。

Fig. 14はパッケージにキャパシタを搭載したモデルをベースに、スキュー幅とスルーレートを変えた場合の電源ノイズシミュレーション結果をまとめたものである。例えば200psのスキュー制御を与えた場合、ノイズ目標値内に収めるためにはサイクル時間20%以上のスルーレートが要求される。一方、300psのスキューでは10%程度のスルーレート制御で充分ということになる。これらのチップ回路技術は、パッケージやプリント配線板上の対策に比べ、コスト的に有利なノイズ対策である。

Fig. 15に示されるようなドライバ出力波形のオーバーシュートが問題となるケースでは、スルーレート制御によ

Fig. 15 Waveforms of 64 SSOs with 300-ps skews, 10 percent of slew-rate control by circuit on chip and capacitors on package

Fig. 16 Waveforms of 64 SSOs with 200-ps skews, 20 percent of slew-rate control by circuit on chip and capacitors on package

りこれを改善することができる。402mVのオーバーシュートを、220mVまで低減した例をFig. 16のシミュレーション波形で示す。

7. おわりに

LSIパッケージとプリント配線板ともに4層で構成される実装システムを題材とし、IBISモデルを用いて64ビット同時スイッチングノイズのモデル化を実施し、シミュレーションで特性評価をおこなった。各パラメータがノイズ特性に及ぼす影響を正しく理解するには、チップ、パッケージ、プリント配線板間の全体にわたってのモデル化が必須となってくる。

協調モデリングにおける重要パラメータの1つとして、信号配線のリファレンスプレーン割り当てを検討した。パッケージ、プリント配線板ともにグラウンドをリファレンスプレーンとして用いることが、ノイズ低減に有効である。パッケージとプリント配線板で異なるリファレンスプレーンを使った場合、BGAボールでリターン電流経路が入れ替わることから、ループインダクタンスの増大を招くことになる。

パッケージ基板内層へのキャパシタ埋め込みは、端子までのループインダクタンスを低く抑え、同時スイッチングノイズの低減に有効であることを確認した。また、チップ自身が同時スイッチングをさせないためのスキュー制御回路が、ノイズ低減に有効であることを確認した。

今回は、I/OモデルにIBISモデルを使用したのが、より正確な同時スイッチングノイズ電圧値を求めるにはHSPICE

モデルを使用する必要がある。IBISモデルと比べてモデル規模が大きくなるため、解析に必要なコンピュータリソースも増大する。また、同時スイッチングノイズ電圧と遅延時間との関係を把握することが動作保証において特に重要になってくる。

(2010.4.12-受理)

文 献

- 1) N. Takahashi, M. Nose, S. Kaneko, and Y. Takahashi: "Analysis of Complete Power-Distribution Network and Co-Design Optimization," Transactions of The Japan Institute of Electronics Packaging, Vol. 2, pp. 69-74, November 2009
- 2) 佐藤敏郎: "LSI, PCB 協調解析技術," 信学技法 IEICE Technical Report CPM2008-94, pp. 19-24, November 2008
- 3) 高橋成正: "アートワーク設計者によるシミュレーションの実践とノイズ低減の実現," 2008年度IBMプロフェッショナル論文, 論文番号: 08PAP5254, November 2008
- 4) <http://www.sigritty.com/products/speed2000/spd2k.htm>
- 5) S. H. Hall.: "High Speed Digital System Design—A Handbook of Interconnect Theory and Design Practices," pp. 183-193, 2000, Yuzhe Chen
- 6) E. Bogatin: "Signal and Power Integrity—SIMPLIFIED Second Edition," p. 615, July 2009