SMD キャパシタの技術動向と将来展望

藤原 正樹*

Technical Trend and Future Observation of SMD Capacitor

Masaki FUJIWARA*

*NEC トーキン株式会社キャパシタ事業部事業企画部 (〒101-8362 東京都千代田区西神田3-8-1)

*Business Planning Department, Capacitor Division, NEC TOKIN Corporation (3-8-1 Nishi-Kanda, Chiyoda-ku, Tokyo 101-8362)

1. 緒 言

近年の携帯用電子機器の小型軽量化、高機能化、低消費電力化、環境対応などの目覚ましい進展に呼応して、SMD キャパシタには小型大容量、低ESR (Equivalent Series Resistance 等価直列抵抗)、低ESL (Equivalent Series Inductance 等価直列インダクタンス)などの性能向上はもとより、RoHS, REACHなど環境規制への対応が求められるようになった。

本稿では携帯用電子機器に用いられる主要なSMD キャパシタとして、積層セラミックキャパシタ (Multi Layer Ceramic Capacitor 以下 MLCC)、タンタル (Ta) キャパシタ、アルミ (AL) キャパシタの3つを取りあげ、個々の技術動向を概説した上で、これらの性能を十分に発揮させるため、実装技術的な観点から各キャパシタを使用するに際して留意すべき事項を説明する。また今後のスイッチング電源の高速化を見据えてSMD キャパシタの将来動向を展望する。

2. SMD キャパシタの特徴と技術動向

キャパシタは誘電体材料の両端に2枚の電極を対向配置させた基本構造を有する受動部品である。各キャパシタの特徴は主に用いる誘電体材料の性質によって決まる。SMD キャパシタに限定すると、市場に流通している主要製品はMLCC、Ta キャパシタ、AL キャパシタの3種類である。それらの特徴と技術動向を以下に概説する。

2.1 MLCC

MLCCは図1に示すごとく、チタン酸バリウムや酸化チタンなどの誘電体セラミックス材料と、電極材料であるNiなどの金属をそれぞれ微粉末化して薄いシート状態に塗工したものを交互に数百~数千層積層して外部電極を取り付けた構造を有する。近年の携帯用通信機器のコンパクト化と高機能化を牽引力として、MLCCは2012サイズ→1608サイズ→1005サイズへと主流チップサイズの小型化が急速に進展している。また誘電体層と内部電極層ともに厚みを

1.0 μm 以下まで薄くして、多積層化しての大容量化が精力的に進められている¹⁾。

2.2 Ta キャパシタ

Ta キャパシタの構造を図2に示す。粒径1 μm 以下に微細化されたTa粉末を多孔質状に成型して焼結したものを

MLCCの内部構造
図1. MLCCの内部構造

図2. Ta キャパシタの内部構造

陽極とし、その表面を電気化学的に酸化（陽極酸化）して誘電体である Ta_2O_5 を形成し、その多孔質内部に対向電極（陰極）である二酸化マンガンをポリピロロールなどの導電性高分子を含浸せしめ、さらに導電性の高いグラファイト、銀ペーストを順次塗布したものをキャパシタ素子とする。そのものに陰・陽極端子を取り付けて樹脂モールドを施す。

Taキャパシタは、モバイルPCやポータブルゲーム機など携帯用情報処理端末の高性能化に起因する消費電力増大を主な牽引力として、静電容量 $100\mu F$ 超、ESR $20m\Omega$ 以下の製品のニーズが拡大している¹⁾。

2.3 ALキャパシタ

ALキャパシタの構造を図3に示す。エッチング処理を施して拡面化させ、その表面を電気化学的に酸化（陽極酸化）して誘電体である Al_2O_3 を形成した陽極箔に、セパレータを介して陰極アルミニウム箔を対向配置させて捲回

図3. ALキャパシタの内部構造

した素子に電解液を含浸して缶ケースに封入した従来の製品とは異なり、SMDタイプでは陽極箔にポリピロロールなどの導電性高分子を含浸し、グラファイト、銀ペーストを順次塗布したものをキャパシタ素子とし、陰・陽極端子を取り付けて樹脂モールドを施す。

2.4 低ESL化について

種々SMDキャパシタの技術動向、市場動向、および実装技術的な観点から最も注目すべきトピックとして低ESL化が挙げられるので以下に説明する。

携帯用電子機器に搭載される各種半導体と、それらを安定して駆動させるためのスイッチング電源の間の給電経路には、電圧変動を抑制し、種々の外来ノイズ（サージやスパイクなど急峻な電流電圧変動）を除去するためのデカップリングキャパシタ（パスコン）を多数搭載する必要がある。

ここで許容される電源電圧変動を ΔV 、電流を i 、電流の単位時間当たりの変化量を di/dt 、デカップリングキャパシタの静電容量を C とし、ESR、ESLも加味すると、電源電圧変動 ΔV は式(1)で与えられる。

$$\Delta V = 1/C \int i dt + i \times ESR + ESL \times (di/dt) \quad (1)$$

各種半導体の駆動電圧は低下の一途にある。他方、スイッチング電源の動作は高速化と大電流化の一途をたどっている。すなわち、式(1)左辺の電源電圧変動 ΔV の値は小さくなり、右辺第三項 di/dt の値は年々増大しているため、これまであまり問題視されることがなかったESLの値が電源電圧変動 ΔV に与える影響が大きくなってきた。

なお、ESLはキャパシタの自己共振周波数を超えた数百kHzからGHz帯で出現するものであり、測定によって正確な値を得ることは難しい。キャパシタ業界では汎用的な測

ESLの実測方法

(被験サンプルを4層プリント配線板に実装してネットワークアナライザにて測定)

(注：得られたESL値は測定用プリント配線板のESL値を含む。)

端子取り出し構造が異なるキャパシタのESL実測例

図4. ESL実測方法と実測データの例

定方法として、一般的なテストフィクスチャとインピーダンスゲインフェイズアナライザを用いたESL測定方法ガイドラインを定めている²⁾。ただし、高周波領域でのノイズ減衰量算出など実用に資するESL値を得ようとするならば、ユーザ側の実装方法（プリント配線板の配線パターン、VIA配置、実装用はんだの厚みなど）も考慮した測定方法が好ましい。一例として、被験キャパシタを測定用のプリント配線板に搭載し、ネットワークアナライザを用いてGHz帯まで周波数をスイープさせESLを測定する方法を前ページ図4に紹介する。

キャパシタ自体の有するESLの低減に向けては、各サプライヤが精力的に取り組んでいる。TaキャパシタやALキャパシタにおいては、主に端子材の変更（磁性体である42合金から非磁性体である銅材へ変更）や、キャパシタ内部で電流経路が描くループの面積を小さくするような端子取り出し構造が有効であることが確認されている^{3),4)}。参考までに端子取り出し構造を変えた2種類のTaキャパシタの周波数vs. ESL特性を図4に比較して示す。電流経路のループの大きさに応じて、ESLが異なる挙動を示す様子が理解できる。

MLCCにおいては、外部電極の縦横比を反転させて電流経路のループを小さく、かつ幅を広くした製品、さらには多端子構造としてプラス・マイナスを交互に取り出して、電流の流れによって発生する寄生インダクタンスを相殺してESLを大幅に低減させた製品が普及し始めている。

3. SMD キャパシタを使用する際に留意すべき事項

各種キャパシタの性能を十分に発揮させるため、実装技術的な観点から留意すべき事項を以下に説明する。

3.1 MLCCのクラック発生について

MLCCは小型でノイズ除去性能に優れているため、携帯用電子機器には不可欠である。しかし、小型大容量化を進めるため誘電体層、内部電極層を薄膜化して多積層化しているため、実装時に留意すべきポイントがいくつかある。ここではクラック発生について説明する。

MLCCを落下させたり、機械的衝撃を加えたり、実装時に左右の外部電極にはんだ塗布量の偏りがある場合には、図5に示したメカニズムによって製品内部にクラックが発生して絶縁抵抗が低下し故障に至る可能性がある。実装時に限らず、MLCCには機械的な衝撃を極力加えないような配慮が必要である。

3.2 MLCCの音鳴り

携帯用情報処理端末やLCDテレビなどの省エネ対策として待機時の消費電力低減が進んでいる。多くの場合、図6に示すようにスイッチング電源（DC/DCコンバータ）の入力側にはMLCCが搭載されており、待機モード時に負荷の基本周波数が数百Hz～数kHzの可聴周波数帯域にかかる場合にMLCCの音鳴りが問題視されるケースが増えている。

図5. MLCCのクラック発生メカニズム

図6. DC/DCコンバータ入力側でのMLCC使用例

MLCCの音鳴りとは、誘電体として用いられているセラミックス材料の電歪効果により、電圧を印加するとMLCCの積層方向に伸縮が起これ、この結果としてMLCCの搭載されているプリント配線板が面方向に振動して音が発生する現象である。音鳴りの抑制策として、従来の誘電体セラミックス材料よりも低誘電率の材料を用いた製品や、プリント配線板からMLCC本体を浮かせるための金属端子を具備した製品が市販されており、これらを用いることが推奨できる。

さらに効果的な対策は電歪効果のないTaキャパシタやALキャパシタをMLCCの代わりに用いることである。音鳴り対策として入力側のMLCCをSMD型ALキャパシタに置き換えた例を図7に示す。音圧最大となる10MHzのピークが9.1dB軽減され、大きな効果を示している。

上記のクラック発生と音鳴り以外にも、MLCCには実装時のさまざまな注意事項がある。詳細は他書⁵⁾に解説されているので参照されたい。

MLCC搭載時の周波数 vs. 音圧レベル

MLCCを,
SMD型AL-cap.へ変更

SMD型ALキャパシタ搭載時の周波数 vs. 音圧レベル

図7. DC/DCコンバータ入力側をMLCCからSMD型ALキャパシタに置き換えた音鳴り防止例

3.3 TaキャパシタおよびALキャパシタの無鉛はんだ対応リフロー

TaキャパシタおよびALキャパシタでは、MLCCと異なり強固な樹脂モールドが施されているため、機械的に破壊する要素は少ない。ただし、樹脂モールド構造特有の課題として、無鉛はんだ対応リフローへの耐性が挙げられる。

ここ数年のRoHS, REACHなど環境規制への対応により、電子部品および電子機器業界では実装用はんだの無鉛化が広範に普及した。実装時に部品に加えられる熱履歴は、被加熱物であるプリント配線板の寸法、能動部品、受動部品、その他の接続部品など搭載される被加熱物全体の熱容量によって決定される。はんだ実装の温度は年々高くなっており、本加熱は約220℃以上でさらに時間90~120秒、ピーク温度は250~260℃の2~3回通しが行われる。また、モジュールに組み込まれて出荷されたキャパシタには、累積で5回もの熱履歴が加わることも珍しくない。無鉛はんだ対応の代表的なリフロー実装プロファイルを図8に示す。

熱ストレス増大に伴う問題点は実装後の通電試験で特性不良がまれに顕在化することである。サプライヤ側ではこれを回避すべく製品設計を日々強化し、潜在的な不良を除去するためのスクリーニングを適宜実施している。

さらに問題視されるのが、実装前の吸湿と実装時の熱ストレスとがあいまって、実装後にパッケージクラックの発生頻度が高くなることである。こうした事態に対処し、パッケージクラックを防止すべく、業界規格^{6),7)}に準拠した

図8. リフローはんだ実装プロファイルの例

吸湿管理と梱包が行われている。それゆえ、ユーザ側でもパッケージクラックを防止してこれら製品の性能を十分に発揮させるためには、サプライヤの指定した吸湿管理方法を遵守することが重要である。

4. SMDキャパシタの将来展望

近い将来の超高速スイッチング電源対応に必要とされるキャパシタを見据えると、図9のようになると考えられる。超高性能CPUと、それを駆動する超高速スイッチング電源(Voltage Regulation Module, 以下VRM)の給電経路を想定すると、VRM側から順に、①大容量低ESRキャパシタ→②CPU直下の薄型低ESLキャパシタ→③インターポーザ直下の薄型超低ESLキャパシタが求められるものと考えられる。

①大容量低ESRキャパシタは、スイッチング動作に伴ってインダクタから出力されるリップルを含む出力波から、リップル成分および比較的周波数の低いノイズ成分を除去して出力を平滑化する役割を担う。ALキャパシタを薄型化し、低ESR化することによって、従来設計の缶タイプALキャパシタとMLCCの組み合わせを置き換えることが可能になる。

一例として図9の写真に示した静電容量1,000μF, ESR 1mΩ以下のALキャパシタはすでに実用化されている。

②CPU直下の薄型低ESLキャパシタは、給電経路であるプリント配線板が有する多くの浮遊容量や寄生インダクタンスに起因する中周波数領域のノイズ成分を除去して電圧変動を抑制する役割を担う。現在は小型小容量でESLの低いMLCCを数百個並べて使用しているが、前述した端子取り出し構造の改善や、多端子化によってESLを低減することにより、少ない数量でのノイズ除去が可能になる。

③インターポーザ直下の薄型超低ESLキャパシタは、CPUパッケージ自体が有するさまざまな寄生容量と寄生インダクタンスに起因する高周波領域のノイズを除去して電圧変動を抑制する役割を担う。これに用いられるキャパシタのESL成分が高いと、パッケージの有する微小な寄生容量との間でLC共振回路を構成して反共振を起こす。これに加えてESRが低すぎると、反共振のピークを持ち上げてノイズ吸収性能をさらに悪化させてしまうため注意が必要

図9. 超高速スイッチング電源対応を見据えたキャパシタの将来動向

である。

この反共振を抑制するためには、当該キャパシタのESLを著しく低くする、あるいは意図的に高いESRを当該キャパシタに賦与して反共振をダンブする方法が有効である。以上の事情を鑑みると、インターポザ直下の薄型超低ESLキャパシタには、さまざまな端子取り出し構造を実現でき、かつESRを任意に制御できるような設計自由度の高いキャパシタが好適であると考えられる。

5. おわりに

キャパシタへのニーズはますます多様化しており、それぞれのニーズに応えるキャパシタが今後も開発されるであろう。まずは従来の路線に沿った小型大容量化に加え、高周波駆動の超高性能LSIに対応した低ESR化、低ESL化が進展することは必定である。また携帯用電子機器の小型化と高性能化の帰結としてキャパシタの搭載数が激増している実情を鑑みると、部品コスト、実装コスト、それらの管理コスト削減のために、複数のキャパシタの機能を単一キャパシタで実現して部品集約を進めるインテグレーション化、アレイ化が加速されるものと考えられる。

一方で、薄型化を徹底的に推進することでプリント配線板にデカップリングキャパシタを埋め込む新しい方向性が開拓されることも大いに期待される。

(2011.5.16-受理)

文 献

- 1) 電子情報技術産業協会：“2020年までの電子部品技術ロードマップ（世界の主要機器に対応する電子部品の技術動向）,” 平成23年2月
- 2) 電子情報技術産業協会レポートJEITA RCR-2002, “表面実装(SMD)端子形コンデンサの低ESR/ESL測定方法の技術報告書,” 2006年3月制定
- 3) J. Prymak, P. Blais, and B. Long: “Facedown Terminations Improve Ripple Current Capability,” CART 2007 Symposium Proceedings, March 2007
- 4) 藤原正樹：“導電性高分子タンタルコンデンサNeoCapacitorの開発動向と今後の課題,” 工業材料, Vol. 56, No. 11, pp. 56-62, 2008年11月
- 5) 電子情報技術産業協会規格レポートJEITA RCR-2365B, “電子機器用固定磁器コンデンサの使用上の注意事項ガイドライン（固定磁器コンデンサの安全アプリケーションガイド）,” 2009年8月改訂
- 6) IPC/JEDEC J-STD-033B.1 Includes Amendment 1, “Handling, Packing, Shipping and Use of Moisture/Reflow Sensitive Surface Mount Devices,” January 2007
- 7) IPC/JEDEC J-STD-020D.01, “Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices,” March 2008