高速流めっき法による短時間Cu貫通電極形成 および電極の微細組織

門田 裕行^{*,**}, 菅野 龍一^{**}, 伊藤 雅彦^{*}, 大貫 仁^{*}

Reduction of Plating Time for Through Silicon Via (TSV) by High-Speed Solution Flow Plating Method and Texture Investigation of the TSV

Hiroyuki KADOTA^{*,**}, Ryuichi KANNO^{**}, Masahiko ITO^{*}, and Jin ONUKI^{*}

* 茨城大学大学院理工学研究科 (〒316-8511 茨城県日立市中成沢町4-12-1)

** 日立協和エンジニアリング株式会社デバイスシステムセンター (〒312-0034 茨城県ひたちなか市堀口832-2)

*Graduate School of Science and Engineering, Ibaraki University (4-12-1 Nakanarusawa, Hitachi-shi, Ibaraki 316-8511)

**Device Systems Center, Hitachi Kyowa Engineering Co., Ltd. (832-2 Horiguchi, Hitachinaka-shi, Ibaraki 312-0034)

Abstract

We have established a plating condition which shortens the plating time for through-electrode silicon vias with 10 μm diameters and 70 μm depths within an 8-inch wafer from 90 min to 60 min. We evaluated the microstructures after annealing as a function of plating conditions. It is found that the grain size of the plating films formed with conventional, i.e., high-pulse current density and low-duty cycle pulse conditions, are smaller than those for high-speed solution flow plating films. We also showed clearly that the diamond pyramid hardness number (H_v) of through-electrode Cu plating films is proportional to the square of the reciprocal of the grain size (d).

Key Words: Cu Electro-Plating, Through-Electrode, Three Dimensional Packaging, High-Speed Solution Flow

1. 緒 論

LSIは近代化に伴いその高機能・高速度化の要求を受けて配線微細化および高集積化が進んでいるが、微細化に伴う物理的限界などの要因によりその開発速度の維持が疑問視されている¹⁾。これに伴い、エレクトロニクス実装技術の重要性に注目が集まっている^{2),3)}。その中でも特に配線長が短く電気伝導性や放熱性に優れたCu貫通電極が脚光を浴びている^{4)~8)}。一般的に貫通電極はCuめっきにより形成されるが、アスペクト比の大きなViaホールを充填するにはパルスめっきやPRめっきプロセスが多く用いられる^{9),10)}。しかしこれらは通電休止時間を設けるため、めっき時間が長くなる難点がある。めっき時間の短縮は三次元実装の量産化に不可欠な課題である。

そこで著者らは、めっき液の積極的攪拌による高速流めっき方式によりめっき時間の短縮を検討してきた。前報¹¹⁾では、開口部にひさし状のオーバーハングを有する10 μm ×10 μm 角（以下、 $\square 10 \mu\text{m}$ と表す）・アスペクト比7.0のViaホールに5.0 m/sのめっき液流速でパルス電流密度10 mA/cm²、パルス周期1秒、デューティ比0.3のめっき条件を用い、90分で完全充填を可能とした。しかし最近では加工時間15分以内といった要求も聞かれるようになって

いる³⁾。また加工精度の向上からオーバーハングのないViaホールが可能となったことから、めっき時間短縮研究の一環として、めっき時間に及ぼすViaホール形状の影響について検討した。

さらにめっきにより形成された貫通電極の微細組織は性能や信頼性等にとって重要であるが、LSI微細配線での検討例^{12)~15)}が多いのに対し貫通電極ではほとんど見られない¹⁶⁾ことから、これについても検討した。Cuめっき膜は、松田ら¹⁷⁾も述べているようにめっき後に歪みが徐々に緩和されるセルフアニーリング現象が知られており、LSIのCu配線では抵抗率および信頼性に影響を及ぼすため、対策としてめっき直後に水素雰囲気中において573~673 Kの温度でのアニール処理を施すことにより、その後は組織および抵抗率が変化しないことが一般的に知られている^{18)~20)}。またLinら²¹⁾は、貫通電極の微細組織について検討し、アニールの必要性を述べている。これらのことから本報における微細組織の評価は、めっき後60分以内にアニール処理(H₂雰囲気, 573 K, 30分)した後に実施した。

2. 実験方法

2.1 試験片

試験片は $\square 10 \mu\text{m}$ ・アスペクト比7.0のViaホールが形成

Plating condition

	(a)	(b)
Flow rate(m/s)	3.2	5.0
Pulse current density(mA/cm ²)	5	10
Plating time(min)	75	60
Duty ratio	0.50	0.30
Total electricity (C/cm ²)	11.3	10.8

Fig. 1 SEM images of Via cross section of (a) with overhang, (b) without overhang

Table 1. Pulse plating conditions for reduction of plating time

Pulse current density (mA/cm ²)	On time (ms)	Off time (ms)
10	450	550
12.5	360	640
15	300	700

*Fixed condition: Flow rate=5 m/s, Pulse cycle=1 s, Average current density=4.5 mA/cm², Plating time=60 min

され、その開口部に片側0.6~0.8μm程度のひさし状のオーバーハングがあるものおよびないものの2種類の8インチウェハを用いた。Fig. 1(a), (b)にオーバーハング有無のめっき途中のViaホール断面SEM写真を示す。オーバーハングは、Fig. 1(a)に示すように開口部に0.6~0.8μm程度のひさし状に存在する。一方、Fig. 1(b)にはオーバーハングは存在しない。ViaホールにはTiNバリア膜10nm、Cuシード膜150nmが製膜されている。実験はこの8インチSiウェハを、20×20mmに切断して使用した。

2.2 めっき条件

めっきは、試験片を8インチベタウェハにCu導電性テープで任意の場所に貼り付けた後、8インチウェハ対応高速流めっき装置¹¹⁾で行った。

めっき液は200 g/dm³ CuSO₄·5H₂O, 50 g/dm³ H₂SO₄, 50 mg/dm³ Cl⁻の基本浴に、市販の3液系添加剤を加えた硫酸Cu浴60 dm³を用いた。まためっき前処理は前報¹¹⁾のUVオゾンアッシングに加え、市販のウェットクリーナによる親水化処理を行い、Viaホール内まで十分に親水化させた。

Table 1はめっき条件を示す。めっき液流速は、前報¹¹⁾と同じ高流速めっき槽を用い、装置の許容最高流速5.0 m/sとした。めっきは通電量を前報¹¹⁾と同じ16.2 C/cm²にするため、めっき時間を60分とし、パルス周期1秒、平均電流密度4.5 mA/cm²となるようにデューティー比とパルス電流密度を変化させた。

Table 2. Plating condition of Cu plating in the TSV for EBSP using

Plating condition	Flow rate (m/s)	Pulse current density (mA/cm ²)	Duty ratio	Plating time (min)
①	5.0	12.5	0.36	60
②	5.0	10.0	0.30	90
③	0.78	40.0	0.03	240

*Fixed condition: Pulse cycle=1 s

また電子後方散乱回折像 (Electron Backscatter Diffraction Pattern, EBSP, TSL社製 OIM ver4.6) による結晶粒径分布の評価に供する貫通電極は、Table 2に示す条件により作製した。表において流速5.0 m/sの場合、オーバーハングなしを①、ありを②および流速0.78 m/s (縦型浸漬方式)のオーバーハングありを③と表示する。またパルス周期は、いずれの条件においても1秒に固定し、パルス電流密度およびデューティー比を変化させた。

2.3 評価方法

めっき後のサンプルは、Viaホールのごく近傍を劈開した後、化学的機械的研磨 (Chemical Mechanical Polishing, CMP) により断面を研磨してVia中央部付近を露出させ、その面を走査型電子顕微鏡 (Scanning Electron Microscope, SEM, 日立製 S4500) によりボイドなどの欠陥の有無を観察し、断面積に対するボイド面積の比をボイド率として求めた。

貫通電極内部の微細組織は、EBSPにより粒径分布や結晶性の評価およびマイクロビッカースによる硬度測定を行った。硬度測定はビッカース硬さ試験器 (松沢精機製作所製 DMH-2形) を用い、試験荷重0.098 Nにて実施した。

3. 結果と検討

3.1 めっき時間に及ぼすViaホール形状の影響

前報¹¹⁾ではViaホールの開口部近傍にひさし状のオーバーハングがある場合において、めっき液流速を5.0 m/sに高速化することにより、めっき時間が約63%短縮されることを述べた。しかしオーバーハングはViaホールへのCu充填へ悪影響²²⁾を及ぼすとされており、最近ではエッチング手法が改善されてオーバーハングのないVia形成^{23),24)}が可能となった。そこで、オーバーハングがめっき時間に及ぼす影響を調べた。

Table 1に示すパルス条件でめっきした場合のViaホール中のボイド率をFig. 2およびFig. 3に示す。Fig. 2はオーバーハングがない場合およびFig. 3はひさし状のオーバーハングがある場合の結果である。10~15 mA/cm²のパルス電流密度範囲において、いずれのViaホールにおいてもボイド率は12.5 mA/cm²の電流密度で極小値を示す。しかしオーバーハングがある場合のボイド率が0.04であり完全充填で

Fig. 2 Effect of current density on incidence of voids without overhang

(Plating condition depend on Table 2)

Fig. 3 Effect of current density on incidence of voids with overhang

(Plating condition depend on Table 2)

きなかったのに対しオーバーハングがないViaホールではデューティー比0.36の条件でボイド率が0.00と完全充填が得られた。この結果、オーバーハングはViaホールを充填するためのめっき時間に悪影響を及ぼし、オーバーハングをなくすことでめっき時間をさらに33%短縮し、60分でViaホールに欠陥なくCuを充填できることがわかった。

以上の結果、片側約0.6 μmのオーバーハングをなくすことで、実質的なViaホール開口面積が約23%大きくなり、Viaホール内部へのめっき液成分の供給が促進された。さらに実質的な開口面積が増えたことでVia開口部近傍の液流速が大きくなり添加剤中の抑制成分の吸着が促進された。その結果、この部分の製膜速度が低下してViaホール底部との製膜速度差が大きくなってボトムアップ成長が促進され、完全充填に必要なめっき時間が短縮されたものと推察される。

以上のように、オーバーハングはめっき時間の短縮に影響し、これをなくした形状のViaホールでは、パルス電流密度を10から12.5 mA/cm²に、またパルスめっきのデューティー比を0.3から0.36とすることで、めっき時間を60分とさらに33%短縮できた。

Fig. 4 Observed EBSP distribution of the grain size (60 min)

(Plating condition: Flow rate=5.0 m/s, Current density=12.5 mA/cm², Duty ratio=0.36)

Fig. 5 Observed EBSP distribution of the grain size (90 min)

(Plating condition: Flow rate=5.0 m/s, Current density=10 mA/cm², Duty ratio=0.30)

3.2 めっき膜の微細組織

3.2.1 EBSPによるめっき膜評価

めっき液流を高速化してめっき時間を短縮した場合、高アスペクト比Viaホール内のCuめっき膜の微細組織をTable 2に示す条件でめっきし、次いでめっき後60分以内にアニール処理 (H₂雰囲気, 573 K, 30分) したCu貫通電極断面をEBSPにより調べた。

Fig. 4~6に各条件におけるViaホール内の結晶分布図およびViaホール内上中下の3点の結晶粒径分布を示す。高速流めっき方式による60分および90分めっき膜において

Fig. 6 Observed EBSD distribution of the grain size (240 min)

(Plating condition: Flow rate=0.78 m/s, Current density=40 mA/cm², Duty ratio=0.03)

は、Via ホール開口部近傍の平均粒径が60分で0.39 μm 、90分で0.30 μm と極端に小さい。この傾向は、Vereechenら¹⁶⁾のVia ホール内で添加剤中のレベラーに応じて結晶粒径が変化し、再結晶化の速度が純Cuより遅くなるという報告とほぼ一致し、本報においてもVia ホール開口部近傍にレベラーが十分に供給されたためと考えられる。結晶粒径はVia ホール開口部から内部にいくほど大きくなり、底部では再び小さくなる傾向を示す。Via ホール中央部の粒径はめっき時間90分で0.85 μm および60分で0.91 μm であるのに対して、底部では各々0.75 μm および0.62 μm である。大貫ら^{1),25)}はLSIの微細配線のCu結晶粒は配線溝底部から表面にいくに従って大きくなると述べているように、本報でもVia ホール底部では底面および側壁による拘束により結晶粒径が小さくなったと考えられる。また、高速流めっき方式における結晶粒径に及ぼすめっき時間の影響は認められない。

一方、縦型浸漬めっき方式の③の場合、平均粒径は①および②に比べて相対的に小さく、場所による大きな差は認められない。Fig. 7は①～③の条件で得られた平均結晶粒径をまとめたものである。Via ホール上部は①および②の平均粒径が小さくなっているのに対し内部の結晶粒径は③に比べていずれも大きい。また結晶方位は、今回の検討範囲ではいずれもランダムであり有意差は見られなかった。

Cu結晶粒径と抵抗率の関係はLSI微細配線において検討され、結晶粒径が大きいほど抵抗率が小さいと報告²⁵⁾されている。本報の条件①、②で得られた貫通電極は開口部近傍の小さな結晶粒は後工程のCMPにより除去されることから中央部の結晶粒径が大きく抵抗率の面で有利であると考えられる。今後さらに貫通電極が微細かつ高アスペクト比

Fig. 7 Average grain size as a function of measuring point for 60, 90, and 240 min of Cu TSV specimens after annealing at 573 K for 30 min in H₂

Fig. 8 Hall-Petch relationship between Diamond pyramid hardness number and average grain size that Cu electroplated films in the via holes

になった場合、微細粒の比率が小さく結晶粒界の少ない電極を得ることが可能な高速流めっき方式は、耐EM(Electro Migration)信頼性の面から有利になると考えられる²⁵⁾。

3.2.2 Via ホール内Cuめっき膜の硬度

次にTable 2に示す①、②および③の条件で得ためっき膜を3.2.1項と同様に、めっき後60分以内にH₂雰囲気、573 K、30分でアニール処理し、その後に研磨してVia ホール断面を露出させ、上中下の3点についてマイクロビッカース硬さを調べた。さらに3.2.1項にて得られた各々の結晶粒径についてその逆数の2乗をとり、硬度測定結果との関数として整理したものをFig. 8に示す。通常、多結晶金属は金属材料の強度(σ)と結晶粒径(d)との関係をHall-Petchの関係式 $\sigma = \sigma_0 + k d^{-1/2}$ (σ_0 , k は定数)で表せることが広く知られている²⁶⁾。しかしめっき皮膜は膜厚が薄く、引張試験を簡単に行うことが難しいため、一般的にめっき皮膜の機械的特性評価としては硬さ測定が行われる。そのため本報では強度(σ)を硬度(H_v)として示す。図からVia ホール内のCuめっき膜は H_v と $d^{-1/2}$ はほぼ直線関係にある。このことから、Hall-Petchの関係式がH₂雰囲気、573 K、30分の

アニールを行ったViaホール内のCuめっき膜にも適用できるものと考えられる。

この結果からH₂雰囲気, 573 K, 30分のアニールを行った高速流めっきで得られためっき膜は, Viaホール開口部近傍においては緻密で硬く, Viaホール内では粗大化した結晶粒となり, Cu貫通電極の信頼性を考えるうえで重要な意味をもつ。貫通電極はCuめっき後にCMPによりウェハ表面のCuめっき膜を除いて平坦化するが, Viaホール開口部近傍のCu結晶粒径が大きすぎると, CMP負荷により結晶粒界に沿って結晶粒ごと脱離するブリストア不良(部分的剥離)が発生する可能性がある²⁷⁾。このため配線抵抗のばらつき要因およびバンプ接合時の信頼性低下の要因になることが懸念されることから, Viaホール中央部の粒径を大きくし開口部近傍は緻密で硬い方が望ましいと考えられる。

4. 結 論

本研究では, 三次元実装技術においてキーププロセスの1つである電解Cuめっきによる貫通電極形成時間の短縮, および得られたCu膜の特性評価を行った。

(1) 高速流めっき方式においてめっき時間に及ぼすVia形状の影響を検討し, 開口部にオーバーハングがない□10 μm ×70 μm 深さのViaをめっき時間60分で完全充填でき, 前報¹¹⁾の90分からさらに33%短縮した。

(2) Cuめっき膜の結晶粒径は, 従来の縦型浸漬めっき方式ではViaホールの底部<中央部<開口部であった。それに対して高速流めっき方式ではViaホールの開口部<底部<Viaホール中央部であった。開口部近傍が小さな結晶粒となる高速流めっき方式は, 実装プロセスにおけるCMP時の結晶粒脱落の危険性を小さくする利点があるものと考えられる。またViaホール中央部の結晶粒径が大きいため, 抵抗率の面で有利であると考えられる。

(3) アニール処理(H₂雰囲気, 573 K, 30分)後のViaホール内のCuめっき膜は, 結晶粒径 d の逆数の2乗 $d^{-1/2}$ と皮膜硬度 H_v の間にはほぼ直線関係が成立し, Viaホール内のCuめっき膜にもHall-Petchの関係が認められる。

(2010.12.9-受理)

文 献

- 1) 大貫 仁, 田代 優, Khoo Khyou Pin: “Cu配線の現状と将来,” 金属, Vol. **77**, No. 8, pp. 5–9, 2007
- 2) 塚田 裕: “次世代エレクトロニクス実装技術への期待と課題,” エレクトロニクス実装学会誌, Vol. **13**, No. 5, pp. 319–326, 2010
- 3) 傳田精一: “三次元実装のためのTSV技術,” 工業調査会, 2009
- 4) J. Fjellstad: “3次元配線が上昇気流に,” Semiconductor Inter-

national, July 2008

- 5) J. Vardaman: “3-D Through-Silicon Vias Become a Reality,” Semiconductor International, Vol. **30**, No. 6, p. 36, June 2007
- 6) A. Keigler, K. O'Donnell, Z. Liu, and B. Wu: “Enabling 3-D Design,” Semiconductor International, Vol. **30**, No. 9, p. 36, August 2007
- 7) P. Garrou: “Perspective from the Leading Edge: 3D Practitioners Assemble at FtMcDowell,” Semiconductor International, March 23, 2008
- 8) P. Garrou: “Future ICs Go Vertical,” Semiconductor International, Vol. **28**, No. 11, p. SP-10, February 2005
- 9) K. Kondo, T. Yonezawa, D. Mikami, T. Okubo, Y. Taguchi, K. Takahashi, and D. P. Barkey: “High-Aspect-Ratio Copper-Via-Filling for Three-Dimensional Chip Stacking,” J. Electrochem. Soc., Vol. **152**, No. 11, H173, 2005
- 10) J.-J. Sun, K. Kondo, T. Okamura, S. J. Oh, M. Tomisaka, H. Yonemura, M. Hoshino, and K. Takahashi: “High-Aspect-Ratio Copper Via Filling Used for Three-Dimensional Chip Stacking,” J. Electrochem. Soc., Vol. **150**, No. 6, G355, 2003
- 11) 門田裕行, 菅野龍一, 伊藤雅彦, 大貫 仁: “三次元実装用貫通電極の高速めっき技術,” エレクトロニクス実装学会誌, Vol. **13**, No. 3, pp. 213–219, 2010
- 12) K. P. Khoo, J. Onuki, T. Nagano, Y. Chonan, H. Akahoshi, T. Tobita, M. Chiba, T. Saito, and K. Ishikawa: “Controlling Resistivity of Fine Line Cu Interconnects,” Proc. of ADMETA Conference 2006, Tokyo, pp. 117–121
- 13) K. P. Khoo, J. Onuki, T. Nagano, Y. Chonan, H. Akahoshi, T. Tobita, M. Chiba, T. Saito, and K. Ishikawa: “Influence of Grain Size Distribution on the Resistivity of 80 nm Wide Cu Interconnects,” Mater. Trans., Vol. **48**, No. 3, pp. 622–624, 2007
- 14) M. Wada, M. Yamada, K. Higashi, A. Kajita, and H. Shibata: “A Study of the Electrical Resistivity Increase in Narrow and Thin Copper Interconnects,” AMC2007, pp. 245–251
- 15) K. P. Khoo, S. Tashiro, and J. Onuki: “Influence on the Electro-Migration Resistance by Line Width and Average Grain Size along the Longitudinal Direction of Very Narrow Cu Wires,” Mater. Trans., Vol. **51**, No. 7, pp. 1183–1187, 2010
- 16) P. M. Vereecken and W. Ruythooren: “Mechanistic Insights of Copper Damascene Plating in Small and Large Features,” in Proc. of 218th Electrochemical Society Meeting, Oct 2010, Las Vegas, Abstract #1994
- 17) 松田光由, 吉原佐知雄, 土橋 誠: “電気銅めっき皮膜の物性経時変化の抑制,” 表面技術, Vol. **59**, No. 10, pp. 696–700, 2008
- 18) L. Graham, T. Ritzdorf, D. Clarke, and R. Thakur: “Thermally Driven Recrystallisation of Electroplated Copper,” Semiconductor Fabtech. 11th Edition, ICG Publishing, pp. 279–282, 2000

- 19) J. Onuki, K. Tamahashi, T. Namekawa, and Y. Sasajima: "Impact of High Heating Rate, Low Temperature, and Short Time Annealing on the Realization of Low Resistivity Cu Wire," Mater. Trans., Vol. **51**, No. 9, pp. 1715–1717, 2010
- 20) Y. Sasajima, J. Kageyama, K. P. Khoo, and J. Onuki: "Grain Coarsening Mechanism of Cu Thin Films by Rapid Annealing," Thin Solid Films, Vol. **518**, No. 23, pp. 6883–6890, 2010
- 21) J. C. Lin, W. C. Chiou, K. F. Yang, H. B. Chang, Y. C. Lin, E. B. Liao, J. P. Hung, Y. L. Lin, P. H. Tsai, Y. C. Shih, T. J. Wu, W. J. Wu, F. W. Tsai, Y. H. Huang, T. Y. Wang, C. L. Yu, C. H. Chang, M. F. Chen, S. Y. Hou, C. H. Tung, S. P. Jeng, and C. H. Yu: "High Density 3D Integration Using CMOS Foundry Technologies for 28 nm Node and Beyond," 2010 IEDM Technical Program Session 2, 2.1, 2010
- 22) 近藤和夫, 岡村拓治, 呉 承真, 米澤稔浩, 富坂 学, 米村 均, 星野雅孝, 田口裕一, 高橋健司: "3次元実装に用いる高アスペクト比貫通電極の銅穴埋めめっき," エレクトロニクス実装学会誌, Vol. **6**, No. 7, pp. 596–601, Nov. 2003
- 23) J. Ohara, K. Kano, Y. Takeuchi, N. Ohya, Y. Otsuka, and S. Akita: "A New Deep Reactive Ion Etching Process by Dual Sidewall Protection Layer," Proceeding MEMS 2000, Jan. 2000, Japan, pp. 277–282
- 24) J. Ohara, K. Kano, Y. Takeuchi, and Y. Otsuka: "Improvement of Si/SiO₂ Mask Etching Selectivity into the New D-RIE Process," Technical Digest MEMS 2001, Jan. 2001, Switzerland, pp. 76–77
- 25) J. Onuki, S. Tashiro, K. P. Khoo, N. Ishikawa, T. Kimura, Y. Chonan, and H. Akahoshi: "Effect of the Purity of Plating Materials on the Reduction of Resistivity of Cu Wires for Future LSIs," J. Electrochem. Soc., Vol. **157**, No. 9, pp. H857–H862, 2010
- 26) 森 正澄, 結城典夫: "銅および銅合金の強度・延性・導電性とナノ組織制御," 軽金属, Vol. **56**, No. 11, pp. 615–620, 2006
- 27) 松井嘉孝, 久保田 剛, 岩出健次, 間瀬康一: "半導体装置の製造方法," 特開2000-012544