ドリフト拡散デバイスシミュレーションを用いた1軸負荷に起因するnMOSFETの電気特性変動評価手法

小金丸 正明*, 吉田 圭佑**, 多田 直弘**, 池田 徹**, 宮崎 則幸**, 友景 肇***

An Evaluation Method for Electrical Characteristics Variations on nMOSFETs under Uniaxial Stress Using Drift-Diffusion Device Simulation

Masaaki KOGANEMARU*, Keisuke YOSHIDA**, Naohiro TADA**, Toru IKEDA**, Noriyuki MIYAZAKI**, and Hajime TOMOKAGE***

論文

* 福岡県工業技術センター機械電子研究所 (〒807-0831 福岡県北九州市八幡西区則松3-6-1)

** 京都大学大学院工学研究科 (〒606-8501 京都府京都市左京区吉田本町)

*** 福岡大学工学部電子情報工学科 (〒814-0180 福岡県福岡市城南区七隈8-19-1)

*Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, Fukuoka 807-0831)

**Department of Mechanical Engineering and Science, Graduate School of Engineering, Kyoto University (Yoshida-Honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

***Department of Electronics Engineering and Computer Science, Fukuoka University (8-19-1 Nanakuma, Jonan-ku, Fukuoka-shi, Fukuoka 814-0180)

Abstract

This paper presents a practical method of drift-diffusion device simulation in order to evaluate the effects of mechanical stress on n-type silicon semiconductor devices. The device simulation incorporates an electron mobility model for considering the effects of mechanical stress. In our previous study, the changes in relative populations and momentum relaxation times (intervalley scattering) of electrons in conduction-band valleys were modeled in the electron mobility model. In this study, we added modeling of the change in the effective mass of electrons as a means of considering the effects of uniaxial stress. Stress-induced variations of electrical characteristics on nMOSFETs are evaluated using a device simulation including the proposed electron mobility model. Then, the electron mobility model and the simulation method are verified by comparing them with experimental results. It is demonstrated that experimental results can be reasonably estimated using this simulation method. In other words, the device simulation including the proposed electron mobility model can determine the uniaxial-load-direction dependence of the stress sensitivity of the change in electrical characteristics. To improve the accuracy of our simulation method, necessary improvements in the electron mobility model are identified.

Key Words: Device Simulation, Electron Mobility, Effective Mass, Uniaxial Stress, nMOSFET

1. 緒言

実装工程で半導体チップ上に生じる残留応力は、チップ上に形成された半導体デバイスの電気的な応答を変動させる^{1)~3)}。この半導体デバイスの予期せぬ電気特性の変動は、デバイスの種類や用途によってはパッケージ製品になった段階で対応困難な不良を引き起こす。したがって、実装残留応力(機械的応力)とそれに起因する半導体デバイスの電気特性変動の関係を適切に見積もることが、デバイスおよびパッケージの設計・製造上必要とされる。これまで筆者らは、この機械的応力に起因した半導体デバイスの電気特性変動を評価するための汎用的な数値シミュレーション手法に関する研究を行ってきた^{3),4)}。N型半導体とP型半導体では、機械的応力に対する応答が定性的にも定量的にも異なることはよく知られている。これは、波数空間上で表される伝導帯と価電子帯のエネルギー描像、および応力(ひずみ)によるそれらの変化が異なることに起因する。筆者らは、まず応力効果を反映する電子移動度モデル

の構築を目指し、それによってN型半導体の評価を実施してきた。すなわち、n-type Metal Oxide Semiconductor Field Effect Transistor (nMOSFET) の実装応力に起因するDC特性変動を対象とし、機械的応力効果を反映する電子移動度モデルを用いてドリフト拡散デバイスシミュレーションによる評価を行った³⁾。具体的には、Quad Flat Package (QFP) の樹脂封止工程で生じるnMOSFETのDC特性変動を評価した。その際、EgleyとChidambarraoのモデル⁵⁾を用いて伝導帯バレー間の相対的な電子存在確率変化を、Dharらのモデル⁶⁾を基にして等価でないバレー間の電子散乱確率の変化を考慮した。その結果、Siチップ面内の等2軸応力状態と見なせるQFP樹脂封止工程で生じたnMOSFETのドレイン電流変化を再現することができた。また前報⁴⁾では、半導体デバイス内部の実装残留応力に対する有限要素法応力解析と応力効果のデバイスシミュレーションを連携させ、電気特性変動におけるnMOSFET内部の応力分布の影響を評価した。

近年、実装形態も三次元高密度集積化が進められてお

り、このようなパッケージでは半導体チップ上の応力状態が必ずしも上述したような単純な状態（チップ面内の等2軸応力状態）にはならないことが容易に予想される。Lightly Doped Silicon（バルクSi）において実験的に示されているピエゾ効果の関係⁷⁾がMOSデバイスでも成り立つとすれば、直交する3方向の1軸応力感度を用いて多軸応力状態下でのMOSデバイスの電気特性変動を予測できることになる。実際に、4点曲げ試験により実験的に求められたMOSデバイスの1軸応力感度を用いて、樹脂封止残留応力によるMOSデバイスの電気特性変動を評価した例が報告^{2),8)}されている。MOSデバイスの電気特性における1軸応力感度の大きさには、電流方向に対する1軸負荷（応力）方向依存性があることが知られている。例えば⁹⁾、nMOSFETの場合、電流方向と1軸負荷方向が平行な場合の応力感度が垂直な場合の応力感度に比べて大きくなる。したがって、より複雑な構造を有するパッケージ中のデバイスに対して高精度の高いシミュレーションを実施するためには、シミュレーションモデルが1軸応力状態下での電気特性変動を妥当に評価できる必要がある。

本研究では、n型MOSデバイスの1軸負荷（応力）下での電気特性変動をシミュレーションするための電子移動度モデルを検討する。上述のこれまで用いたモデルでは、Si結晶にせん断ひずみが生じるような1軸負荷下での電気特性変動量における電流方向に対する1軸負荷方向依存性を定性的に再現できない⁹⁾。内田らは、経験的擬ポテンシャル法による計算からこの異方性が電子有効質量の異方的変化に起因すると報告している¹⁰⁾。そこで本研究では、Ungersboeckらが示したSi結晶のせん断ひずみと電子の有効質量変化の関係¹¹⁾を上述のモデルに加えて考慮し、デバイスシミュレーションで用いる電子移動度モデルを新たに定式化する。これによって、Si結晶にせん断ひずみが生じるような1軸負荷下でのn型MOSデバイスの電気特性変動をシミュレーション可能にすることを目的とする。本論文では、新たな電子移動度モデルを用いてnMOSFETの1軸負荷下での電気特性変動をシミュレーションし、シミュレーション結果を4点曲げ負荷（1軸負荷）による実験結果およびピエゾ効果の関係から見積もられる結果と比較・検証する。それによって、シミュレーションモデルの妥当性および精度向上に必要な改良点を明らかにする。

2. 実験結果

筆者らのグループでは、4点曲げ試験システムを用いて1軸負荷下でのMOSFETの電気特性を計測してきた。本論文では、デバイスシミュレーション結果と比較するために必要な計測条件および結果のみを示す。試験システムおよび試験方法については、筆者らの既報論文⁹⁾に詳しい。

本研究では、ゲート長さ12 μm 、ゲート幅24 μm 、Si(001)結晶面に形成されたSi<110>方向に電流方向を有す

Fig. 1 Schematic cross-section of evaluated nMOSFET

Fig. 2 Specimen preparation for four-point bending measurements

るnMOSFETを評価対象とした。ゲート長さが短いデバイスでは応力感度におけるゲート長さ依存性の存在が指摘されており、その原因としてソース・ドレイン部分の寄生抵抗の影響が挙げられる⁹⁾。本研究では、応力効果を反映する電子移動度モデル、シミュレーション手法検証の第1段階として、この寄生抵抗の影響（応力感度のゲート長さ依存性）を考慮する必要がないゲート長さが大きな試験デバイスを評価対象とした。評価対象としたnMOSFETの断面模式図をFig. 1に示す。また、Fig. 2には4点曲げ負荷試験片を示す。Fig. 2中の破線に囲まれた領域は、4点曲げ試験片上でnMOSFETが形成されている領域を模式的に表している。Fig. 2に示すとおり、短冊状試験片の長手方向（1軸負荷方向）がnMOSFETの電流方向と平行（Longitudinal）または垂直（Transverse）になるように2種類の試験片を作製した。この試験片を用いてnMOSFETの電流方向に対して平行または垂直に4点曲げ1軸負荷を行い、負荷を行った状態でnMOSFETの電極パッドに直接プロービングしてドレイン電流を計測した。nMOSFETへ負荷した応力値は、0MPa（無負荷）、引張りで60MPaおよび120MPa、圧縮で60MPaおよび120MPaの5通りである。電気特性変動と対応させるこれらの（公称）応力値は、はりの曲げ理論から算出された試験片表面に生じる最大曲げ応力である。ソース・ドレイン間電圧を0.1Vに固定し、ゲート・バックゲート間電圧を0Vから5Vまで掃引してドレイン電流値を計測した。この駆動条件は、筆者らが用いたnMOSFETの製造メーカが設定した標準的な駆動条件である。この条件を用いることによって、筆者らが作製した（4点曲げ）電気特性計測システムを用いた無負荷の計測結果と製造メーカより提供を受けた計測結果を比

Fig. 3 Experimental results of drain current variations under uniaxial stress
(a) Longitudinal, (b) Transverse.

較・検証することができ、筆者らの試験システム、試験条件および基準となる無負荷での計測結果の妥当性を担保した。

ドレイン電流計測結果として、Fig. 3(a) に負荷方向と電流方向が平行な場合 (Longitudinal), Fig. 3(b) に負荷方向と電流方向が垂直な場合 (Transverse) の結果をそれぞれ示す。いずれも、しきい値電圧の顕著な変動は見られず、引張り負荷で電流値が増加し、圧縮負荷で電流値が減少した。Fig. 4には、無負荷での値を基準（変化率ゼロ）として得られる相互コンダクタンス (G_m) の変化率 ($\Delta G_m / G_m$, %) を負荷応力に対してプロットする。ここでの G_m 値は、Fig. 3に示したドレイン電流曲線におけるゲート電圧2.0Vでの接線の傾きと定義した。Fig. 4に示すとおり、1軸負荷方向に依存して応力に対する電気特性変動量に差が生じている。すなわち、電流方向と1軸負荷方向が平行な場合の変化率が、垂直な場合の変化率に比べて大きくなる。以上の実験結果は、これまで報告されている実験結果と定性的に一致している。

Fig. 4 Experimental results of transconductance changes ($\Delta G_m / G_m$) under uniaxial stress

3. 応力依存電子移動度モデル

本研究で用いたデバイスシミュレーションコードでは、ドリフト拡散モデルの基本方程式を有限体積法により離散化して自己無撞着に解く。したがって、機械的応力効果はキャリア移動度の変化のみへ反映されるとし、以下に示す応力依存移動度モデルで算出される移動度をデバイスシミュレーション実行時に用いる。本研究ではnMOSFETを評価対象とするため、nMOSFET電流に寄与する主要なキャリアである電子の移動度変化のみを考える。すなわち、本研究で用いる応力依存電子移動度モデルでは、応力効果の物理現象として①伝導帯バレー間の相対的な電子存在確率の変化、②等価でないバレー間の電子散乱確率（運動量緩和時間）の変化、および③電子有効質量の変化を考慮する。このうち①および②を考慮した電子移動度モデルは筆者らの既報論文³⁾に定式化の過程を示しており、本文中ではシミュレーションに必要な式のみ示す。

3.1 電子存在確率と散乱確率の変化モデル³⁾

Fig. 5に模式的に示すように、波数空間上で表されるSiの伝導帯エネルギーの極小値（伝導帯バレー）は無負荷の状態では6重に縮退している。このとき、電子はそれぞれの伝導帯バレーにおいて、Si結晶の主軸方向に有効質量 m^*_l 、移動度 μ_l 、それと垂直方向に有効質量 m^*_t 、移動度 μ_t を有している。外力によってSiの結晶（実空間）が歪むと伝導帯のバンド構造（波数空間）にも歪みが生じ、縮退していた伝導帯バレーがSi結晶の歪み（ひずみ）と相関して分岐する。このSi結晶のひずみによる*i*軸上（*i*はSi結晶の主軸、*i*=1, 2, 3）の伝導帯バレーのエネルギー変化 $\Delta E_c^{(i)}$ は、以下式(1)で示す変形ポテンシャルモデル¹²⁾で近似される。

$$\Delta E_c^{(i)} = \Xi_d(\epsilon_{11} + \epsilon_{22} + \epsilon_{33}) + \Xi_u \epsilon_{ii} \quad (1)$$

Ξ_d, Ξ_u は変形ポテンシャル定数 ($\Xi_d=1.1\text{eV}$, $\Xi_u=10.5\text{eV}^{13)}$, ϵ_{ii} はSi結晶主軸方向のひずみである。本研究では、①電子

Fig. 5 Schematic diagram of many-valley model in k -space for conduction-band in silicon

存在確率の変化および②電子散乱確率の変化は、この伝導帯バレーのエネルギー変化 $\Delta E_c^{(i)}$ に対応させて算出している。

まず、①電子存在確率の変化を、EgleyとChidambarraoのモデル⁵⁾を簡略化して考慮した。すなわち、 i 軸上の伝導帯バレーの電子存在確率 $\nu^{(i)}$ を、次式(2)で与えた。

$$\nu^{(i)} = \frac{\exp\left(-\frac{\Delta E_c^{(i)}}{k_B T}\right)}{\sum_{j=1}^3 \exp\left(-\frac{\Delta E_c^{(j)}}{k_B T}\right)} \quad (2)$$

k_B はボルツマン定数であり、 T は格子温度で $T=300\text{K}$ とした。この $\nu^{(i)}$ は、ひずみ(応力)による変化を反映するとともに、各軸上の電子存在確率(各軸間での相対的な存在割合)そのものを表しており、無負荷の場合は各軸(3つの軸)でいずれも等しく3分の1となる。

次に、Dharらのモデル⁶⁾を基にして②電子散乱確率の変化(運動量緩和時間の変化)を考慮した。すなわち、 i 軸上の伝導帯バレーにおける緩和時間の変化係数 $f_\tau^{(i)}$ を次式(3)で与えた。

$$f_\tau^{(i)} = \frac{1 + \frac{\tau_{0g}}{\tau_{0f}}}{1 + \frac{\tau_{0g}}{\tau_{0f}} \cdot p^{(i)}} \quad (3)$$

τ_{0g} は等価なバレー間の散乱(g 過程)による緩和時間、 τ_{0f} は等価でないバレー間の散乱(f 過程)による緩和時間を表す。 g 過程と f 過程の比である τ_{0g}/τ_{0f} の値は、飽和移動度に関する考察から0.25とした³⁾。 f 過程の緩和時間のみがひずみによって変化するとし、このひずみによる変化率 P_i が次式で与えられる。

$$P_i = \frac{\left[g\left(\frac{\Delta E_{i \rightarrow j}^{emi}}{k_B T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{emi}}{k_B T}\right) + \exp\left(\frac{\hbar \omega_{opt}}{k_B T}\right) \left\{ g\left(\frac{\Delta E_{i \rightarrow j}^{abs}}{k_B T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{abs}}{k_B T}\right) \right\} \right]}{2 \left\{ g\left(\frac{-\hbar \omega_{opt}}{k_B T}\right) + \Gamma\left(\frac{3}{2}\right) \right\}} \quad (4)$$

$$\Delta E_{i \rightarrow j}^{emi} = \Delta E_c^{(j)} - \Delta E_c^{(i)} - \hbar \omega_{opt} \quad (5)$$

$$\Delta E_{i \rightarrow j}^{abs} = \Delta E_c^{(j)} - \Delta E_c^{(i)} + \hbar \omega_{opt} \quad (6)$$

$$g(s) = \begin{cases} \exp(-s) \cdot \Gamma\left(\frac{3}{2}\right) & (\forall s > 0) \\ \exp(-s) \cdot \Gamma\left(\frac{3}{2}, -s\right) & (\forall s < 0) \end{cases} \quad (7)$$

$\hbar \omega_{opt}$ はフォノンエネルギーであり、 61.2meV とした¹³⁾。 $\Gamma(a)$, $\Gamma(a, -s)$ は、それぞれガンマ関数および不完全ガンマ関数である。 $f_\tau^{(i)}$ は無負荷の場合を基準とした変化係数を与え、それゆえ無負荷の場合は1となる。

3.2 電子有効質量の変化モデル

本節では、本研究で新たに考慮した③電子有効質量の変化を与えるモデルを示す。緒言で言及したとおり、3.1節に示したモデルのみでは2章のFig. 4で示した1軸負荷下での電気特性変動量における異方性を定性的に再現できない⁹⁾。Si伝導帯エネルギーバンドの最もエネルギーが低い方から2つのバンドは、Siの逆格子空間におけるブリルアンゾーン境界のX点において縮退している。しかし、 $\text{Si}\langle 110 \rangle$ 方向の1軸性ひずみを作用させた場合などに生じる結晶座標系で定義されるせん断応力(ひずみ)はこの縮退を解き、(せん断ひずみが定義される面内に対して)面外方向バレーのエネルギーシフト、有効質量の変化、および伝導帯バレーの位置変化を引き起こす。Ungersboeckらは、Si伝導帯エネルギーバンドの最もエネルギーが低い方から2つのバンドに $k \cdot p$ 摂動法を適用して、せん断ひずみに起因した伝導帯エネルギー変化および電子有効質量変化を取り扱うための理論式を示している¹¹⁾。そこで本研究では、このUngersboeckらが示したSi結晶のせん断ひずみと電子の有効質量変化の関係を、3.1節のモデルに加えて考慮した。本研究では、ドレイン電流に対する有効質量変化の影響が最も大きいと考えられるゲート面外方向($i=3$ 軸方向とする)バレーの電流方向($\text{Si}\langle 110 \rangle$ 方向)有効質量 $m_{t, (3), [110]}^*$ の変化のみ考慮した。すなわち、ゲート面内(1-2面内)のせん断ひずみ ε_{12} から、有効質量 $m_{t, (3), [110]}^*$ の変化係数 h を次式(8)で与えた。

$$h = \frac{m_{t, (3), [110]}^*}{m_t^*} = \begin{cases} (1 - \eta \varepsilon_{12} / \kappa)^{-1}, & |\varepsilon_{12}| < \kappa \\ (1 - \text{sgn}(\varepsilon_{12}) \eta)^{-1}, & |\varepsilon_{12}| > \kappa \end{cases} \quad (8)$$

η , κ の各パラメータの値には、それぞれ経験的擬ポテンシャル法によって求められた値($\eta = -0.809$, $\kappa = 0.0189$)¹¹⁾を用いた。なお本研究では、せん断ひずみに起因した伝導帯エネルギー変化は、垂直ひずみに起因する変化量(式(1))に比較して非常に小さいため考慮していない。無負荷の状態では、Fig. 6(a)に示すとおり3軸上バレーにおいて3軸

Fig. 6 Effects of shear strain on effective mass of electron in [001] valley

(a) Unstrained state, (b) under shear strain ε_{12} .

と垂直な方向（1-2面内）の有効質量はいずれも m^*_t であるが、Si[110] 方向に1軸負荷を与えた場合、Fig. 6(b) に示すように負荷方向の有効質量 $m^*_{t,(3),[110]}$ と負荷方向と垂直な方向（1-2面内）の有効質量に差が生じる。式 (8) では、せん断ひずみ ε_{12} の符号に対応して有効質量が増減することになり、電流方向（Si[110] 方向）と1軸負荷方向が平行な場合と垂直な場合で移動度に差が生じることになる。 h は無負荷の場合を基準とした変化係数を与えており、それゆえ無負荷の場合は $h=1$ となる。

3.3 移動度変化係数

筆者らが用いたドリフト拡散デバイスシミュレータでは、電流方向のスカラ移動度を用いてシミュレーションが実施される。一方で、3.1節および3.2節で示した電子存在確率 $\nu^{(i)}$ 、散乱確率および有効質量の変化係数 ($f^{(i)}_{\tau}$ および h) は、Si結晶の主軸に沿った方向で定義される。そこで本研究では、応力効果を反映した電流方向の移動度変化係数 f_{stress} を次式 (9) で定義した。

$$f_{\text{stress}} = c^{(1)} \nu^{(1)} f^{(1)}_{\tau} + c^{(2)} \nu^{(2)} f^{(2)}_{\tau} + c^{(3)} \nu^{(3)} f^{(3)}_{\tau} \cdot \frac{1}{h} \quad (9)$$

式 (9) は、テンソル移動度から電流方向のスカラ移動度変化係数を定義する式であり、電子擬フェルミポテンシャルの勾配の向きと電流の向きを同じと見なしている。この式 (9) の導出過程は、筆者らの既報論文³⁾ に詳しい。なお、文献3では1軸応力効果は考慮していないため式 (9) 中の $1/h$ は現れないが、スカラ移動度変化係数を定義する過程は同じである。式 (9) 中の $c^{(i)}$ は、電流方向の移動度変化に対する i 軸上伝導帯バレーの寄与を表す。本研究の評価対象である Si(001) デバイスであれば、1軸方向 ([100] 方向) と電流方向のなす角を θ として $c^{(i)}$ が以下で定義される³⁾。

$$c^{(1)} = R_l \cos^2 \theta + R_t \sin^2 \theta \quad (10)$$

$$c^{(2)} = R_l \cos^2 \theta + R_l \sin^2 \theta \quad (11)$$

$$c^{(3)} = R_l \quad (12)$$

$$R_l = \frac{\mu_l}{\mu} = \frac{\mu_l}{(\mu_l + 2\mu_t)/3} = \frac{3}{1+2(m^*_l/m^*_t)} \quad (13)$$

$$R_t = \frac{\mu_t}{\mu} = \frac{\mu_t}{(\mu_l + 2\mu_t)/3} = \frac{3(m^*_t/m^*_l)}{1+2(m^*_l/m^*_t)} \quad (14)$$

以上から、最終的にデバイスシミュレーション上で用いられる応力効果を考慮した電流方向スカラ移動度 μ_{stress} が、次式 (15) で算出されることになる。

$$\mu_{\text{stress}} = \mu_{\text{un}} \cdot f_{\text{stress}} \quad (15)$$

ここで、 μ_{un} は応力効果を考慮する前の電子移動度である。

4. デバイスシミュレーション

本研究で実施したシミュレーションの流れは次のとおりである。まず、評価対象 nMOSFET の4点曲げ負荷に対応する有限要素法応力解析を行う。すなわち、4点曲げ試験片に与えた公称応力値を境界条件とし、nMOSFET 内部の応力分布（値）を評価する。この nMOSFET 内部の応力分布を評価するための有限要素法応力解析では、素子分離酸化膜 (LOCOS) 端での応力集中を考慮するため、LOCOS の一部を含む領域をモデル化している。デバイス内部の応力分布解析手法については、著者らの既報論文⁴⁾ に詳しい。次に、応力解析によって得られたデバイスシミュレーションモデル各節点（基板領域）での応力値から、式 (15) を用いて各節点での応力効果を考慮した移動度 μ_{stress} を算出し、デバイスシミュレーション実行時に用いる。このとき、応力効果を考慮する前の電子移動度 μ_{un} には、格子温度依存¹⁴⁾、不純物濃度依存¹⁵⁾、垂直電界依存¹⁶⁾ の影響をそれぞれ考慮している。以上の手順は、筆者らの既報論文³⁾ に詳しい。なお本研究では、nMOSFET（バルク Si ではない）の無負荷の状態での電気特性を特性変動ゼロの基準としている。すなわち、nMOSFET のプロセス時に生じる真性応力や反転層における電子の二次元量子効果¹⁷⁾ による電気特性変動後を評価の基準としており、以下では4点曲げ負荷応力（外力）のみを nMOSFET の電気特性変動に対応させて評価を行う。

本研究では、モデルの作製、シミュレーションの実行に汎用のコードを用いた。具体的には、応力解析モデルの作製には三次元 CAD である SolidWorks、有限要素法コードとして MSC.MARC、デバイスシミュレーションコードとして HyENEXSS を用いた。

4.1 シミュレーションモデル

Fig. 7 に、本研究で用いた三次元デバイスシミュレーションモデルの断面模式図を示す。デバイスの幅方向（紙面に垂直な方向）の構造および不純物濃度分布は一定とした。この不純物濃度分布は、プロセスシミュレーションに

Fig. 7 Schematic configuration of nMOSFET model for device simulation

より得られており、実験で用いたnMOSFETの製造メーカより提供を受けた。

応力解析結果から、式 (9) を用いて Fig. 7 に示す基板領域内各節点での電子移動度変化を算出し、式 (15) によって得られる電子移動度をデバイスシミュレーション実行時に用いた。なお、1軸負荷方向と電流方向が平行な場合の応力解析の結果、nMOSFETの電気特性を特徴付けるチャネル領域の電流方向応力値（垂直応力）が、4点曲げ負荷で与えた公称応力値（応力解析の境界条件）よりも最大で17%程度小さくなった。したがって、公称応力値から算出される移動度変化と応力解析結果から算出される移動度変化が異なることになり、デバイスシミュレーション結果にも差が生じることになる。本研究では、nMOSFET内部の応力解析結果を用いることによって、nMOSFETの内部微細構造によって生じる応力分布の影響を考慮したデバイスシミュレーションを実施した。

デバイスシミュレーション実行時の電氣的境界条件は、2章に示した実験条件と同様である。すなわち、ソース・ドレイン間電圧を0.1Vに固定し、ゲート・バックゲート間電圧を0Vから5Vまで掃引してドレイン電流値をシミュレーションした。

4.2 シミュレーション結果と考察

ドレイン電流のデバイスシミュレーション結果として、Fig. 8(a) に1軸負荷方向と電流方向が平行な場合 (Longitudinal), Fig. 8(b) に1軸負荷方向と電流方向が垂直 (Transverse) な場合の結果をそれぞれ示す。いずれも、引張り負荷で電流値が増加し、圧縮負荷で電流値が減少した。この電流値変化における定性的な傾向は、3.1節に示した電子存在確率の変化を反映している。すなわち、ゲート水平面内（1-2面, Fig. 7においてx-y面）に引張り応力を与えた場合には、電流方向に大きな移動度（小さな有効質量）を有するゲート水平面外方向（3軸方向, Fig. 7においてz方向）バレーの電子数が相対的に増加し、結果的に電流方向の移動度増加をもたらす。逆に、ゲート水平面内に圧縮応力を加えた場合には、大きな移動度を有する電子数が相対的に減少し、電流方向の移動度が減少する。また、Fig. 8(a), (b) に示すとおり、しきい値電圧の顕著な変

Fig. 8 Simulation results of drain current variations under uniaxial stress

(a) Longitudinal, (b) transverse.

動は見られなかった。以上の結果は、実験結果と定性的によく一致している。

Fig. 9には、Fig. 8(a), (b) から得られる G_m 変化率 ($\Delta G_m / G_m$) を負荷応力に対してプロットする。なお、 G_m 変化率の定義は2章で示した実験と同様である。Fig. 9に示すとおり、負荷応力に対する変動量は、電流方向と1軸負荷方向が平行な場合の方が垂直な場合に比べて大きくなった。これは、Fig. 4の実験結果と定性的に一致している。3章で述べたとおり、この電気特性変動量の電流方向に対する1軸負荷方向依存性は、電子移動度モデルにおける有効質量変化に起因する。すなわち、本研究で行った電流方向 (Si[110] 方向) および電流方向と垂直方向への1軸負荷では、Si結晶主軸方向の垂直ひずみ成分 (ϵ_{11} , ϵ_{22} , ϵ_{33}) が同じになるため、式 (1) で算出される伝導帯バレーのエネルギー変化が両方の負荷条件で等しくなる。したがって、この伝導帯バレーのエネルギー変化から算出される電子存在確率 (式 (2)) および散乱確率 (式 (3)) の変化も両方の負荷条件で等しくなる。一方、有効質量の変化モデル (式

(8) では、考慮されるせん断ひずみ (ϵ_{12}) の符号が両方の負荷条件で異なるため、両者の移動度変化に差が生じることになる。以上から、式 (8) の有効質量変化モデルにより、1軸負荷時に特有な電気特性変動量の電流方向に対する負荷方向依存性をデバイスシミュレーションで再現することができた。

次に、デバイスシミュレーション結果と実験結果を定量的に比較すると、シミュレーション結果の電気特性変動量の方が小さくなることがわかった。そこで、ピエゾ効果の関係⁷⁾を用いて本研究の負荷応力値に対応する電気特性変化率（電流値変化率）を見積もり、デバイスシミュレーションによる解析結果と比較した。Table 1に、Lightly Doped Silicon（バルク n -Si）のピエゾ係数⁷⁾を示す。ここで本研究では、ピエゾ‘抵抗’係数により算出される抵抗変化率を電流値変化率に対応させた。そのため、1軸引張り応力負荷時に電流値変化率が正となるように、Table 1に示すピエゾ係数の符号を表記している。さらにTable 1には、他の研究者により計測されたnMOSFETのピエゾ係数^{18),19)}も示す。Fig. 10は、Table 1に示すピエゾ係数を用いて算出される電流値変化率を、電流方向と平行な1軸応力に対してプロットしている。Fig. 10には、デバイスシミュレーションによる解析結果、および2章で示した実験結果も合わせて示す。Fig. 10の結果から、デバイスシミュレーション（電子移動度モデル）による解析結果が、バルクSiのピエゾ係数を用いて見積もられる結果と定量的にもよく一致することがわかった。すなわち、本研究のデバイスシミュレーションは、（MOSデバイスではない）バル

Fig. 9 Simulation results of transconductance changes ($\Delta G_m / G_m$) under uniaxial stress

クSiの応力感度（電流値変化率）を定量的にもよく再現する。本研究では、電子移動度モデルを用いてひずみによる伝導帯バレーのエネルギー変化を算出する際（式 (1)）に、バルクSiに対して求められた変形ポテンシャル定数 ($\epsilon_u=10.5\text{eV}^{13)}$ ）を用いている。したがって、本研究の電子移動度モデルは、バルクSiの応力効果を精度良く見積もっていることになる。一方で、上述のとおり（バルクSiではない）nMOSFETの応力感度として報告されている実験結果とは定量的に差異がある。既報論文³⁾では、変形ポテンシャル定数 ϵ_u の値をフィッティングパラメータとし、実験結果との比較から決定した $\epsilon_u=21\text{eV}$ を用いて評価を行った。同様に、 $\epsilon_u=21\text{eV}$ として得られる解析結果もFig. 10に示している。 $\epsilon_u=21\text{eV}$ とした場合、デバイスシミュレーションによって筆者らの実験結果を定量的にもよく再現できることがわかった。なお、 $\epsilon_u=21\text{eV}$ はフィッティングパラメータとしての値であり、nMOSFETに対する変形ポテンシャル定数の真値が21eVと主張するものではない。

Fig. 10に示す比較結果から、nMOSFETの応力感度にはデバイスの種類ごとに違いがあり、かつ、バルクSiの応力感度より大きくなることが推察される。このことから、（バルクSiとは異なるという意味での）MOSデバイスに特有で応力感度に影響を与える要因が存在すると考えられるが、現在のところその物理的背景は明確ではない。 $\epsilon_u=21\text{eV}$ とした場合の結果は、この要因をフィッティン

Fig. 10 Stress-induced changes of drain current on nMOSFETs and lightly doped silicon

Table 1. Published values of the piezoresistive coefficient for nMOSFETs and lightly doped silicon

	Lightly Doped Silicon	nMOSFETs				
	Smith [7]	Bradley et al. (IBM) [18]	Bradley et al. (TI) [18]	Bradley et al. (LT) [18]	Gallon et al. (bulk) [19]	Gallon et al. (SOI) [19]
Piezoresistive Coefficient: $\Pi_{11} + \Pi_{12} + \Pi_{44} \text{ (TPa)}^{-1}$	624	900	640	1,000	969	1,160

グパラメータとしての変形ポテンシャル定数の値に集約させている。1つの可能性として筆者らが考える要因は、MOS反転層における電子の二次元量子化の影響である。nMOSFET反転層では、電子はバルクSi中の電子と異なり二次元量子化されていることが知られている¹⁷⁾。すなわち、無負荷の状態であっても電子の状態がバルクSiと異なり、応力に起因する電気特性変動に影響を及ぼすかもしれない。本研究で示した電子移動度モデルでは、この効果を考慮していない。シミュレーションの精度および汎用性をさらに向上させるためには、MOSデバイスに特有で応力感度に影響を与える物理現象を明らかにし、シミュレーションモデル上で考慮する必要がある。

5. 結 論

本論文では、ドリフト拡散デバイスシミュレーションで利用可能なSi結晶のせん断ひずみと電子の有効質量変化の関係を考慮した電子移動度モデルを示した。これを用いて、Si結晶にせん断ひずみが生じるような1軸負荷下でのnMOSFETの電気特性変動をシミュレーションした。その結果、実験で得られる電気特性変動量の電流方向に対する1軸負荷方向依存性を再現することができた。また、nMOSFETの応力感度に対する考察から、バルクn-Si (Lightly Doped Silicon) とnMOSFETで応力感度が異なることが推察された。定量的なシミュレーション精度向上のためには、このMOSデバイスに特有な物理現象を移動度モデル上で考慮する必要があると考えられる。筆者らの今後の研究課題としたい。

謝 辞

本研究を実施するにあたってご協力いただいた新日本無線 吉田誠一郎氏に感謝致します。本研究の一部は、福岡地域に対する文部科学省地域イノベーションクラスタープログラムの支援による。

(2012.2.10-受理)

文 献

- 1) 三浦英生, 西村朝雄: “パッケージング応力起因の半導体素子特性変動,” 日本機械学会論文集, A編, Vol. **61**, No. 589, pp. 1957–1964, 1995
- 2) H. Ali: “Stress-Induced Parametric Shift in Plastic Packaged Devices,” IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. **20**, Part B, No. 4, pp. 458–462, 1997
- 3) 小金丸正明, 池田 徹, 宮崎則幸, 友景 肇: “ドリフト拡散デバイスシミュレーションを用いた実装応力に起因するnMOSFETのDC特性変動評価手法,” エレクトロニクス実装学会誌, Vol. **12**, No. 3, pp. 208–220, 2009
- 4) 吉田圭佑, 小金丸正明, 池田 徹, 宮崎則幸, 友景 肇: “実装応力に起因する半導体デバイスの電気特性変動シミュレーション: デバイス内部の応力分布の影響評価,”

- エレクトロニクス実装学会誌, Vol. **14**, No. 1, pp. 45–54, 2011
- 5) J. L. Egley and D. Chidambarraro: “Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators,” Solid-State Electronics, Vol. **36**, No. 12, pp. 1653–1664, 1993
- 6) S. Dhar, H. Kosina, V. Palankovski, S. E. Ungersboeck, and S. Selberherr: “Electron Mobility Model for Strained-Si Devices,” IEEE Transactions on Electron Devices, Vol. **52**, No. 4, pp. 527–533, 2005
- 7) C. S. Smith: “Piezoresistance Effect in Germanium and Silicon,” Physical Review, Vol. **94**, No. 1, pp. 42–49, 1954
- 8) M. Koganemaru, T. Ikeda, N. Miyazaki, and H. Tomokage: “Evaluation of Stress Effects on Electrical Characteristics of N-Type MOSFETs: Variations of DC Characteristics during the Resin-Molding Process,” ASME Journal of Electronic Packaging, Vol. **132**, 011003, pp. 1–8, 2010
- 9) M. Koganemaru, T. Ikeda, N. Miyazaki, and H. Tomokage: “Experimental Study of Uniaxial-Stress Effects on DC Characteristics of nMOSFETs,” IEEE Transactions on Components and Packaging Technologies, Vol. **33**, No. 2, pp. 278–286, 2010
- 10) K. Uchida, T. Krishnamohan, K. C. Saraswat, and Y. Nishi: “Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime,” International Electron Devices Meeting, pp. 135–138, 2005
- 11) E. Ungersboeck, S. Dhar, G. Karlowatz, V. Sverdlov, H. Kosina, and S. Selberherr: “The Effect of General Strain on the Band Structure and Electron Mobility of Silicon,” IEEE Transactions on Electron Devices, Vol. **54**, No. 9, pp. 2183–2190, 2007
- 12) C. Herring and E. Vogt: “Transport and Deformation-Potential Theory for Many-Valley Semiconductors with Anisotropic Scattering,” Physical Review, Vol. **101**, No. 3, pp. 944–961, 1956
- 13) M. V. Fischetti and S. E. Laux: “Band Structure, Deformation Potential, and Carrier Mobility in Strained Si, Ge, and SiGe Alloys,” Journal of Applied Physics, Vol. **80**, No. 4, pp. 2234–2252, 1996
- 14) S. M. Sze: “Physics of Semiconductor Devices,” John Wiley & Sons, Inc., 2nd ed., 1981
- 15) S. A. Mujtaba: “Advanced Mobility Models for Design and Simulation of Deep Submicrometer MOSFETs,” Ph.D dissertation, Stanford University, 1995
- 16) H. Shin, A. F. Tasch, JR., C. M. Maziar, and S. K. Banerjee: “A New Approach to Verify and Derive a Transverse-Field-Dependent Mobility Model for Electrons in MOS Inversion Layers,” IEEE Transactions on Electron Devices, Vol. **36**, No. 6, pp. 1117–1124, 1989
- 17) 高木信一: “Si系高移動度MOSトランジスタ技術,” 応用物理, Vol. **74**, No. 9, pp. 1158–1170, 2005
- 18) A. T. Bradley, R. C. Jaeger, J. C. Suhling, and K. J. O'Connor: “Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon,” IEEE Transactions on Electron Devices, Vol. **48**, No. 9, pp. 2009–2015, 2001
- 19) C. Gallon, G. Reimbold, G. Ghibaudo, R. A. Bianchi, and R. Gwoziecki: “Electrical Analysis of External Mechanical Stress Effects in Short Channel MOSFETs on (001) Silicon,” Solid-State Electronics, Vol. **48**, pp. 561–566, 2004

著者紹介

小金丸正明（こがねまる まさあき）
1992 九大・応用原子核卒。1994 九大・総理工修士課程了。同年福岡県工業技術センター機械電子研究所入所。電子実装の信頼性に関する研究に従事。2008 京大博士（工学）。2009年度エレクトロニクス実装学会論文賞，MES2009ベストペーパー賞受賞。エレクトロニクス実装学会，日本機械学会，電子情報通信学会，応用物理学会各会員。

池田 徹（いけだ とおる）
1986 九大・化学機械卒，1992 九大化学機械博士課程了。博（工），1992 九大工学部助手，1996 同助教授，2004より京大工学研究科准教授。界面・接着の破壊力学，電子実装における信頼性評価の研究に従事。日本機械学会，日本材料学会，エレクトロニクス実装学会，日本計算工学会。

吉田圭佑（よしだ けいすけ）
2009 京大・機械理工学卒。2011 京大・機械理工学修士課程了。MES2009ベストペーパー賞受賞。

宮崎則幸（みやざき のりゆき）
1972 東大・原子力卒。1977 東大原子力博士課程了。1977 日本原子力研究所研究員。1983 九大助教授。1996 九大教授。2004 京大教授。電子/光学デバイス用単結晶の材料強度に関する研究，電子デバイス実装の強度信頼性評価に関する研究に従事。ICES WASHIZU MEDAL，JACM Award for Computational Mechanics，APACM Award for Computational Mechanics等受賞。

多田直弘（ただ なおひろ）
2011 京大・物理工学卒。京大・機械理工学修士課程在学中。シリコンデバイスの機械的応力効果のシミュレーション技術に関する研究に従事。

友景 肇（ともかげ はじめ）
77年九大電気卒，82年九大電気博士課程修了，工学博士。82年福岡大学講師，85年同大助教授，87年スタンフォード大学客員研究員，92年から福岡大学工学部電子情報工学科教授。シリコン，カーボン系材料などの評価とデバイス応用，高周波パッケージの設計・評価に従事。09～11年エレクトロニクス実装学会会長。