表面張力を利用した Si 薄ダイの セルフアライメントにおけるロバスト性評価

広島 満*, 有田 潔*, 土師 宏*, Christof LANDESBERGER**, Karlheinz BOCK**

A Robustness Study on Self-Alignment of Thin-Si Dies Using Surface Tension

Mitsuru HIROSHIMA*, Kiyoshi ARITA*, Hiroshi HAJI*, Christof LANDESBERGER**, and Karlheinz BOCK**

論文

* パナソニックファクトリーソリューションズ (株) (〒571-8502 大阪府門真市松葉町2番7号)

** Fraunhofer Research Institution for Modular Solid State Technologies EMFT (Hansastraße 27 d, 80686 Munich, Germany)

* Panasonic Factory Solutions Co., Ltd. (Matsuba-cho 2-7, Kadoma, Osaka 571-8502, Japan)

** Fraunhofer Research Institution for Modular Solid State Technologies EMFT (Hansastraße 27 d, 80686 Munich, Germany)

Abstract

We found that self-alignment accuracy was better than $\pm 2 \mu\text{m}$ in the case with an initial offset of up to 1 mm. This method, driven by the surface tension force of the liquid, offers new technical solutions for both high accuracy chip bonding and low cost placement manner. Some important points, such as wetting behaviour, die release offset, and the influence of defects on a die, were studied in order to suggest approaches to robustness in this new technique.

Key Words: Self-Alignment, Chip on Wafer, Thin-Si Die, Surface Tension

1. 緒言

CoW (Chip on Wafer) などのベアチップボンディングにおけるアライメント技術は、Si ダイとウエハの画像認識結果をもとに両者をメカニカルに位置合わせする方法が広く用いられており、今日のアライメント精度は $\pm$ 数 μm まで到達している。しかし、飽くなき精度向上への要求は装置の複雑化を招き、経済合理性の観点で高スループット化との両立が非常に困難になっている。

これを克服する新たなアプローチとして、水などの液体の表面張力を利用したセルフアライメント技術が装置への負荷軽減が期待できる点で注目を集めている。過去の報告では、10 mm 角、厚さ 100 μm の薄 Si ダイをウエハ上に仮固定する工程に本技術を適用してアライメント精度 $\pm 1 \mu\text{m}$ 以下を実現した例や、さらには複数ダイの一括アライメントを行い、スループットの大幅な向上が原理的に可能であることも示されている^{1),2)}。

さて、本技術の量産応用に必要な装置の機構や仕様を定める上で、ダイが表面張力により“泳ぐ”ために必要な液体の体積や、ダイを“おおよそその位置で”リリースする際に許容される精度、あるいは表面処理に関する制約事項などの必要条件を明らかにすることは非常に重要である。しかしながら、既往の研究においてこれらを主眼としたものは見当たらない。筆者らはこの点に注目し、本稿においてこれらを“ロバスト性”と位置づけ、種々の評価を行うことで本技術の可能性について検討した。

2. 実験方法および装置

2.1 CoW 仮固定工程への応用

Fig. 1 に本実験で用いたプロセスフローを示す。図中の 1) から 4) はアライメント精度に影響を与える因子を示している。基板には、Si ウエハ上にステッパーを用いたリソグラフィとドライエッチングにより Al メタルパッドを形成した。またパッド以外の領域はポリイミドで覆った。Al とポリイミドに濡れ性の差を与える表面処理として、CF₄/O₂ ダウンフロープラズマを照射し³⁾、それぞれの水の接触角を測定した。表面が親水性となった Al パッド部に水をディスペンサーで塗布し、その上に厚さ 50 μm 、外形 4×4 mm、7×7 mm、10×10 mm の正方形および 6×8 mm、5×9 mm の矩形の Si 薄ダイをリリースした。ディスペンサーおよびダイのピック・アンド・リリースはフリップチップボンダー (Panasonic, FCB3) を用いて行い、リリース時の基板からのダイの高さやパッドに対する相対位置を変化させた。なお、Si ダイの個片化は、リソグラフィおよびドライエッチングを用いたいわゆる“DbyT (dicing-by-thinning)”により行われ⁴⁾、その外形が基板のパッドと同じ大きさ・同等の精度で加工されている。ダイが表面張力により移動する様子をハイスピードカメラ (CASIO, EX-FC150) で撮影した。ダイが着地した後、赤外顕微鏡 (Olympus, BX51M) によりアライメント精度を測定した。Fig. 2 にアライメント後の概観と精度測定用のアライメントマークを示す。2 点のアライメントマークはダイ、パッドとも端部からそれぞれ 500 μm 離れた位置にある。

Fig. 1 Schematic of Self-Alignment Technique Applied to CoW Temporary Mounting Process

Fig. 2 Overview of Self-Aligned Chips (Left), Measurement Points and Alignment Marks (Right)

Fig. 3 Manner of Die Release

2.2 ダイのリリース方法

予備実験として、ダイのタッチダウン方法および高さ H_p を検討した。ダイを自由落下させると着地位置の精度悪化を招く恐れがあると考え、本実験ではディスペンスされた液体とダイの裏面が接触するまでダイをゆっくり下降させ、その後ダイをリリースする方法を採用した (Fig. 3)。なお、水平方向のリリース位置に与えたオフセット X , Y , θ について、 10×10 mm ダイのケースを概念図として示した。

リリース高さについては、位置が低過ぎる場合にダイが液体を押し出してしまうミスアライメントが発生する傾向にあったため、これを避ける $H_p = 0.35$ mm とした。

3. 実験結果

3.1 ディスペンス体積

まず、ダイが液体上で泳ぐために必要なディスペンス体積を 6×8 mm, $50 \mu\text{m}$ 厚みのダイで確認した。 X , Y 各方向のアライメント精度を Fig. 4 に示す。ダイ中心のパッド中心からのシフト (10 サンプルにおける平均値) を棒グラフで、またその際の 3σ をエラーバーで示している。なお既往の研究⁵⁾においてダイ体積の1~2倍程度が好ましいとの報告があり、比較のためディスペンス体積はダイ体積 V で規格化したもので表現した。図に示されるようにダイ体積 V の $1/2 \sim 2$ 倍の範囲が中心値、ばらつきとも好適であることがわかった。以降はダイ体積の1倍をディスペンス体積とした。

3.2 AI パッド部の濡れ性

次に、濡れ性とアライメント精度の関係を考察すべく、プラズマ処理条件を変えてAIパッド上の水の接触角に変化をつけ、アライメント精度を確認した (Fig. 5)。なお、パッドの外周部であるポリイミド上の接触角は $105 \sim 110^\circ$ で安定していた。図より、角度が 30° を超えたあたりから大きなミスアライメント発生率が増大することが分かる。これはAIパッドとポリイミドの濡れ性の差が縮まることでダイの駆動力が低下したためである。以降の評価では接触角を 25° 以下とした。

3.3 リリースオフセット

次に、リリースオフセット有無での比較を行った。オフセットは、 X , Y 方向ともに -1 mm, θ 方向に $+10^\circ$ であり、メカニカルアライメントで要求されるリリース位置の精度と比較して十分大きな値といえる。Fig. 6 に、リリースオフセットを与えない場合、Fig. 7 に与えた場合のアライメント精度 (7 サンプルの結果) を示す。

オフセットなしの場合、どのケースにおいても $\pm 2 \mu\text{m}/3\sigma$ 以内に瞬時に整合した。これに対しオフセットありの場合

でも、10×10 mm、5×9 mm、7×7 mm ダイではボンダーがもつ精度 ($\pm 3 \mu\text{m}/3\sigma$) と同等あるいはそれ以上の精度を示した。ミリメートル単位でのオフセットが許容できることは、装置の設計精度への大幅な負荷軽減が期待できることを意味する。

一方、4×4 mm ダイにおいては、大きなミスアライメントが発生した。理由として、Fig. 8 に示すようなパッドお

Fig. 4 Alignment Accuracy vs Doloplet Volume (N = 10)

Fig. 5 Misalignment vs Contact Angle on AI PAD

Fig. 6 Alignment Accuracy without Release Offset (N = 7)

よびダイの作製過程におけるウェット洗浄の残渣や、ダイシング時のドライエッチングにおいて残った SiO_2 マスクの端面に発生するクラックが影響したと考えられる。これらの現象はダイ駆動時の抵抗増加や外形精度の低下を招くが、特に小ダイの場合にその影響がより顕著になったためと推察する。

3.4 パッドの損傷

仮固定に使うウエハは繰り返しの利用が必要なことから、その寿命が重要である。最後に、パッド上に意図的にスクラッチを設けてアライメント精度を評価した。Fig. 9(a) にスクラッチの概観写真および (b) に精度測定の結果を示す。スクラッチがある場合に、大きなミスアライメントが発生した。分布図 (b) の丸で囲んだケースにおいて、パッド上のスクラッチの分布をもとにミスアライメント発生のメカニズムを考察した (c)。ダイのオフセット方向では、パッドの傷が大きい箇所でも水がパッド外に溢れ出した跡が観察されたが、これはダイがタッチダウンした際に発生したと考えられる。またオフセットとは反対の方向でも水のはみ出しが確認されたが、これはダイ移動時の慣性力による押し出しと推察され、これらが大きなミスアライメント

Fig. 7 Alignment Accuracy with Release Offset (N = 7)

Fig. 8 Residue after Wet Clean (Left) and Cracks Occurred on SiO_2 Mask (Right)

Fig. 9 Scratched PAD (a), Alignment Accuracy with the Scratched PAD (b) and Supposable Mechanism of Misalignment (c)

に繋がったと考えられる。ウエハの再利用においては、定期的な外観検査やパッド材料選定における耐摩耗性が重要であることを示唆する。

4. まとめ

リソグラフィー精度で同じ外形に加工された厚み $50\ \mu\text{m}$ の Si ダイと、Si ウエハ上のメタルパッドを用意し、パッド上にディスペンスされた液体の上にダイをリリースすることで、表面張力を用いてダイを自己整合させた。液体体積に対するアライメント精度依存性を確認し、ダイ体積の半分～2 倍のレンジが好適であることがわかった。液体体積をダイ体積と同一に固定し、種々の大きさのダイを用いたところ、いずれも $\pm 2\ \mu\text{m}/3\sigma$ 以内に整合した。リリースポイントに $1\ \text{mm}$ のオフセットを意図的に加えた場合も大きなダイサイズの場合は良好に整合したのに対し、小さなダイではミスアライメントが増加した。ダイの外形やメタルパッドに損傷がある場合、また水の接触角が 30° 以上の場合に、ミスアライメントの発生確率が上昇した。本評価により、セルフアライメント技術の CoW 仮固定応用において、ロバスト性を確保する上で重要ないくつかの点が明らかにされた。

(2012.11.19- 受理)

文 献

- 1) T. Fukushima et al.: "Evaluation of Alignment Accuracy on Chip-to-Wafer Self-Assembly and Mechanism on the Direct Chip Bonding at Room Temperature," 2010 IEEE International 3D Systems

Integration Conference (3DIC), Nov. 16–18, Munich, Germany, pp. 185–189, 2010

- 2) T. Fukushima et al.: "Self-Assembly Technology for Reconfigured Wafer-to-Wafer 3D Integration," 2010 Electronic Components and Technology Conference (ECTC), June 1–4, Las Vegas, USA, pp. 1050–1055, 2010
- 3) K. Bock et al.: "Selective One-step Plasma Patterning Process for Fluidic Self-assembly of Silicon Chips," Proceedings of 2008 Electronic Components and Technology Conference (ECTC), May 27–30, Florida, USA, pp. 1099–1104, 2008
- 4) Feil et al.: US Patent 6,756,288 B1, 2004
- 5) C. Landesberger et al.: "Self-assembly and Self-interconnection of Thin RFID Devices on Plasma-programmed Foil Substrates," Proceedings of Electronic System-Integration Technology Conference (ESTC), 2010, 3rd, September 13–16, Berlin, Germany, 2010

著者紹介

廣島 満 (ひろしま みつる)
パナソニック ファクトリーソリューションズ (株)
新規事業推進室
hiroshima.mitsuru@jp.panasonic.com

有田 潔 (ありた きよし)
パナソニック ファクトリーソリューションズ (株)
新規事業推進室
arita.kiyoshi@jp.panasonic.com
工学博士

土師 宏 (はじ ひろし)
パナソニック ファクトリーソリューションズ (株)
R&D センター
haji.h@jp.panasonic.com
工学博士

Christof LANDESBERGER
(クリストフ ランデスバーガー)
Fraunhofer Research Institution for
Modular Solid State Technologies EMFT
Christof.Landesberger@emft.fraunhofer.de

Karlheinz BOCK (カールハインツ ボック)
Fraunhofer Research Institution for
Modular Solid State Technologies EMFT
Karlheinz.Bock@emft.fraunhofer.de
工学博士