システムインパッケージの技術動向

塚田 裕*

Technology Trend of System in Package

Yutaka TSUKADA*

* 立命館大学大学院理工学研究科 (〒 525-8577 滋賀県草津市野路東1丁目1-1)

* Ritsumeikan University, Graduate School of Science and Engineering (1-1-1 Noji-higashi, Kusatsu, Shiga 525-8577)

1. はじめに

システムインパッケージ (System in Package あるいは System in a Package, 以降 SiP と略す) の最近の技術動向については, その形態, 性能, 搭載チップの Pin 数やチップ間接続数などが, アプリケーションの分野ごとに, 電子情報産業協会 (JEITA) 発行の“2013 年度版日本実装技術ロードマップ”において一節を割いて記述されている¹⁾。SiP に関する各種パラメータについては, この資料をご参照いただくのが良い。本文では, SiP の成り立ち, その特徴, 課題などから動向をまとめてみる。

そもそも SiP とはなんだろうか。SiP というパッケージングテクノロジーが存在するかと言うと, それは否であろう。SiP はテクノロジー的に言えば, マルチチップモジュール (Multi Chip Module : 以後 MCM) である。ただし, SiP の名の通り, システムが一つのパッケージの形態をなしていることから, 搭載されているチップの中にプロセッサが含まれていることが条件となる。たとえば, 図 1 は, 4 個の高速 SRAM を搭載したマルチチップモジュール (サイズは 38 mm 角) であるが, SiP とは呼ばれないであろう。

2. SiP の成り立ち

SiP が SoC (System on Chip あるいは System on a Chip) に対して出てきた言葉であることは, 読者諸氏をご存じのことと思う。Dr. Moore が 1960 年代半ばに, “半導体ビジネスはトランジスタの微細化によって一定の率の密度増加を達成し, その効果による低コスト化で成長する”と発表してから, 1970 年代, 1980 年代とその成長には陰りもなく隆盛期をむかえ, 日本でも“産業の米”と呼ばれ基幹産業の花形になった。それまでの半導体技術の初期から成長期の間, まだ幼生期であった半導体を使ってパッケージがシステムを実現していた。IBM の System/360 から System/370 などがその典型である。ところが, 成長著しい半導体は, 1990 年代前半にはチップの中に種々の機能を取り込み, もはやチップ一個でシステムが実現する勢いとなってきた。その勢いから半導体関係者の中には, チップの際限ない密度増加によりシステムの機能は将来にわたってチップ一個の中で実現でき, パッケージは必要なくなるとまで言う者も出てくるようになった。これが SoC という言葉が頻繁に使われ始めた時代である。

図 2 は, 中央上に Apple の Macintosh や IBM の RS/6000

図 1. メモリマルチチップモジュール

図 2. SoC と MCM

図 3. SoC と MCM の比較

などに使用された PowerPC601 の写真²⁾ (1992 年と表示がある), 同時代のエンジニアリングワークステーションの 64 mm 角 MCM (チップと基板は右の矢印部分), 中央下に System/3081 大型システム用の, チップを 100 個以上搭載する MCM である熱伝導モジュール (Thermal Conduction Module: TCM) および左側にその TCM を 9 個搭載する TCM ボードの写真を示す。64 mm MCM にはワークステーション一台分の機能, TCM ボードには大型コンピュータ一台分のプロセッサ機能が集約され, それぞれが一つのシステムを実現している。図 3 は, 図 2 に対応して, 601 のチップ内部の機能パーティションを図示したものと, 64 mm MCM と TCM ボードの同様の図である。601 の図にある IE (Integrated Execution) や BUFC (Buffer Control) などと, ワークステーション用 MCM と大型システム用 MCM の同様の名前 (一対一ではないが) を見比べてみると, 際限ない半導体の密度増加を前提とすると, ワークステーション用 MCM ひいては大型システム用 MCM も, 将来は一個のチップに集約されていくと言う考えが出てくるのも当然であったと思われる。SoC 万能の考えの頂点は 1995 年ころであった。

ところが, 1995 年を過ぎたころから, 将来 SoC に全てが帰結するという考え方には無理があり, やはり将来にわたってパッケージがシステムを実現する効果的な手段であるとの理解が出てきた。当初は SoC と対比した言い方で SoP (System on Package) と呼ばれた。表 1 は, 1997 年に筆者らが作成した SoC と SoP をある仮定の設計についてアセスした比較表である。機能は表の左上の枠の中ものをそれぞれ実現するとして, チップサイズやパッケージサイズは上段の図のようになり, 設計や試験, またコストや性能について比較してある。異種の機能を全て一個のチップに収納するため, SoC のサイズは大きく, 設計に非常に時間が

かかり, マスクが多数必要なので製造コストが高い。表には記載されていないが製造リードタイムも当然長くなる。また, 造ることはできたとしても試験をすることは極めて困難である。さらに, 本来チップに機能を統合して行くのは, 性能の向上を目指すために行うものであるが, チップの内部配線は微細で薄いため抵抗が大きい。したがって, チップ内配線の距離が長くなると, 配線抵抗のためレシーバでの信号振幅が減少するとともに遅れが発生し, 目的とした性能向上に逆行することになる。

一方, SoP では, サイズが全体に少し大きくなりクリティカル配線長も長くなる。また, チップ間接続の配線も発生するが, このチップ間接続配線はチップ内配線に比較して圧倒的に断面積が大きく抵抗の少ない配線板の配線であり, かつ, 絶縁層の厚さからキャパシタンスも少なく, 得られる性能は SoC よりもかえって良好になる。もちろん, 個々のチップの設計製造は低コストで, かつ, 製造リードタイムも短い。同じような結果が, 当時, 将来のテクノロジーとして, プリント配線板をベースとした有機材料基板と頻りに比較されたシリコン基板についての検討でも得られており, 半導体の配線は微細なトランジスタ間を接続する配線として最適化されており, その配線インフラストラクチャで長さが cm 単位になるような配線板を造ることは極めてコスト高になり, かつ, 性能向上には逆行すると解析されていた³⁾。ただし, このような比較に示した課題はあるものの, SoC 自体が否定されたわけではなく, その後も進化し続けて各種機能を内部に取り込み今日に至っている。今日の製品は SoC+SoP (SiP) で成り立っている。

当時, SoP に関する実践が広まるのに, もう一つ, 大きな要因があった。1991 年初頭に, 元 IBM 野洲研究所から発表された有機材料基板へのベアチップ実装である。フ

表 1. SoC と SoP の比較

パラメータ			システムオンチップ	システムオンパッケージ
ファンクション MPU, メモリ, グラフィックス コミュニケーション 無線, 有線 オーディオ・ビジュアル 1 GHz 動作
パッケージサイズ			mm	26 × 26
チップサイズ			mm	20 × 20
試験				非常に困難
設計	リードタイム	日	1,000	200
	ツール		有	有
コスト	チップ		高	低
	基板		低	中
	アセンブリ		低	低
電気特性	ライン抵抗	Ω/cm	42	1
	キャパシタンス	pF/cm	4.2	1.3
	インダクタンス	nH/cm	3	3.5
性能	クリティカルライン長	mm	40	48
	レシーバでの信号振幅	%	14	100
	信号伝搬			
	ドライバー遅延	psec	100	100
	信号トレース	psec	665	330

リップチップ接続により搭載されたチップと、エポキシをベースとした有機材料基板の間隙を樹脂アンダーフィルによって埋めることによって、チップと基板の熱膨張係数差 (3 ppm/°C 対 17 ppm/°C) によって生じるフリップチップ接続部の変形を極小化し、変形しても応力の低い鉛の多い (95% 以上) の高温はんだが常識であったフリップチップ接続部において、一般の実装において使用されるはんだの使用を可能にした。結果として、低コストで熱膨張係数の高い基板を使用してもフリップチップ接続部の寿命はセラミック基板に比較して長くなった。同時に、高密度のフリップチップ実装を可能にするプリント配線板としてビルドアップ配線板も発表された。この技術によって、アプリケーションのパッケージにおいて、それまで部品を搭載していたプリント配線板のボードの一部を独立させ、システムの性能上主体となる複数のチップを搭載したパッケージをだれでも造ることができるようになった。これが SoP の実行を加速することになった。図 2 に示したようなセラミック基板をベースとした SoP では、システムのダウンサイジング・低コスト化に向かって普及は望めなかったであろう。

1990 年代には、各社で多くのタイプの SoP が検討され、かつ製造され、各種エレクトロニクス製品の低コスト化に拍車をかけた。図 4 は、当時、筆者らによる SoP の例である。ポータブル PC のプロセッサ、キャッシュメモリ、メモリコントローラ、バッファコントローラを 35 mm 角のビルドアップ配線板に搭載した SoP である。アプリケーションボードへの搭載は BGA (Ball Grid Array) による。2000 年

図 4. SoP の例

あたりから、携帯電話を中心にプロセッサとメモリを一体化した SoP が実施されたが、いわゆる KGD (Known Good Die, 本文 2 節で説明) の問題が発生し、その解決ため POP (Package on Package) の形態とした。これが SoP とは区別され SiP と呼ばれるようになった。SiP は SoP より機能が限定されたもので、プロセッサとメモリだけが搭載されるようなパッケージの呼び方と言うことになるが、日本では SoP という呼称は 2003 年以降ほとんど聞かれなくなり、プロセッサとメモリの組み合わせ以外の MCM も SiP と呼ぶことが一般的になっている。本文ではこの状況にしたがって全てを SiP と記述する。海外では依然 SoP の呼称が使われている。

2. SiP の特性

SiP は、システムのアーキテクチャをパーティショニングし、性能向上が見込まれる部分を一つのパッケージとしたものである。したがって、アプリケーションと密接なつながりがあり、どこでどのような性能向上が見込めるか、あるいは見込みたいかを計画できないと SiP 自体も計画できないことになる。また、そのアーキテクチャの今後の性能向上や改良点を理解していないと、システムの性能向上のため設計変更をすると、SiP の根本的な設計変更を生じたり存在意義を喪失することもある。したがって、アプリケーションのオーナーでないと計画・実行することは難しい。また、テクノロジー的には MCM であるから、マルチチップ搭載によって発生する各種課題が存在する。図5は、MCM に絡む課題をまとめたものである。MCM の課題マップは非常に多くの要素が含まれるので、図では一般の実装の部分は省略して、マルチチップを実装する際の課題を示した。

まず、“性能”であるが、目的が性能向上のためであり、チップ間配線を処理する基板の構造・材料、接続部のピッチやサイズが電気特性に影響を与える。“試験”は MCM で常に大きな課題である。パッケージとしての試験以前に、KGD の呼称で知られるチップ自体の品質レベルが問題となる。一般的に DC 特性はウエーファレレベルで試験できるが、AC 特性はパッケージにしないと確認が難しい。典型的例は、図2に示した TCM である。100 個以上のチップを搭載するため、チップの“at speed”での歩留まりが 95% だとしたら一個の TCM の初回のチップアッセンブリ後には、概ね 5 個の不良チップが搭載されていることになる。これが、KGD ではないチップを搭載したことによる問題である。その不良チップを交換するには特定しなければいけない。また、接続部の不良なども有る程度発生する可能性がある。TCM では、初期は TCM のセラミック基板裏面の 1,000 本のピンを通してモジュール全体を試験する計画であった

が、試験ロジックが膨大になり実現できなかった。代わりに CiPT (Chip in Place Test) と言って、基板は前もって試験をして KGS (Known Good Substrate) としておき、基板上の全てのフリップチップ接続端子のそばに試験用端子を用意して、チップ搭載後にその試験端子にプループをあてて、接続部の健全性と一部の DC 特性試験を行った。AC 特性の試験はシステムそのものを利用したテストベッドにより行われた。この手法はどのような SiP でも応用することができる。全てのチップ入出力端子に対応する基板上試験端子を用意するかどうかは検討の余地がある。また、チップ内部にチップの入出力間を意図的に短絡できる試験用ロジックを入れておけば、複数のチップを搭載したのちに SiP の二次接続端子から大半のチップの接続は確認できるが、一部のチップ間配線では、専用の試験用端子を用意せざるを得ない場合がある。チップ内部に BiST (Built in Self Test) のロジックを入れることも行われるが、大規模になると設計に対する負荷が極めて大きな問題となる。

“チップ交換”は、チップの数が多い場合や高価なチップを使用する場合に必要となる。はんだを使用したフリップチップ実装では、アンダーフィルを入れる前に試験をし、不良チップがあればはんだを溶かして容易に交換できる。アンダーフィルを入れた後でもチップを交換することは可能である⁴⁾。ただし、チップを交換する際に近傍のチップ(パッセンジャーチップ：同乗者チップの意味)と基板の温度も上がり接続部のはんだも溶融するため、接続部や基板はマルチフローの耐性がなければならない。とくに、フリップチップ接続端子の境界金属層の拡散が信頼性上のキーとなる。

“信頼性”では、チップを複数搭載するための、チップや基板の内部、一次接続部・二次接続のチップや基板の端子近傍に複雑な応力が発生し阻害要因となるため、単体のチップ搭載のパッケージより問題発生率の確率は高くなる。単体のパッケージにおいても、基板とチップの熱膨張係数差から生じる接続部回りの応力が問題となっており CPI

図5. MCM の課題

(Chip Package Interaction) と呼ばれているが、その CPI がより複雑に発生するということである。“冷却”では、複数チップの反りが複雑に絡むため、TIM (Thermal Interface Material) の効率も落ちる。“構造”では、SiP 全体がどのような構造を取るかによって、信頼性に影響を与える応力の発生、あるいは集中が異なるため、単体のパッケージに比較して CPI 上の問題は大きくなる。最後に“コスト”であるが、これまで述べたように単体のパッケージに比較して課題が多い。アプリケーションのボードに全チップをベアチップ実装してしまえば別であるが、SiP の場合には一次接続部、二次接続部も存在し、かつ複数チップ搭載の課題が増えるため、極めて大量の生産を行う場合でなければ、コストは増加すると言わざるを得ない。

3. 最近の SiP

それでは最近の SiP はどのような形であろうか。図 6 は、APPLE の A5 プロセッサの断面写真である。今日の代表的な POP の形態の SiP が見える。プロセッサチップの BGA パッケージの上にメモリの BGA パッケージが乗っている。プロセッサチップはフリップチップ実装で、メモリはワイヤボンダ実装である。昔は、高速のシステムではオンチップのキャッシュのほかにプロセッサの近傍に外付けのキャッシュを持つのは当たり前であった。最近ではモバイル系のプロセッサも高速処理が要求されキャッシュを近傍

に置くことが必要になった。特に、プロセッサのマルチコア化により、並列処理をサポートするバス帯域の広い高速動作できるメモリを、コントローラとともにプロセッサの近傍に置くことは必須である。また、グラフィックプロセッサではフラッシュメモリが同様の位置づけになる。今日、システムが扱うデータ量は級数的に増加しており、今後もより多くのメモリがプロセッサの近傍に搭載される方向である。ただし、POP は、これまで述べてきたようなベアチップを複数個搭載する MCM 的 SiP とは異なり、技術的困難さはあまりない。プロセッサのパッケージ、メモリのパッケージはそれぞれ試験することができるので、KGD や試験プログラムの複雑性はない。POP は、それぞれのパッケージを造っておいて組み立てただけで、ボード上にそれぞれ搭載するのとあまり変わらないと表現しても過言ではないが、プロセッサとメモリを一体のパッケージとしてパティショニングし、それを一つのパッケージとして実装レベルを定義し性能を確認できるので、SiP と呼ぶこともまた正しいであろう。

4. 今後の SiP の形態

SiP の今後の方向としての大きなジャンプが、チップの TSV を用いた半導体チップ 3D 積層実装である。図 7 は、3D 積層実装の課題マップである。誌面の関係で詳細の説明は別途の機会にゆずるとして省略するが、全体の近年の進

図 6. 最近の SiP (提供 : PRISMARK)

図 7. 半導体チップ 3D 積層実装の課題

行状況をまとめてみる。10年前は世界中の各研究機関、メーカーでTSVの研究開発の最盛期であった。当時は、TSVが実現できれば、陰りつつある半導体の密度増加に大きな光を与える世界が開けるとして開発を行っていたが、ほとんどの組織ではTSV以外の課題には目が行っていなかった。2007年あたりでは、課題マップの(1)TSVからの銅拡散、(2)TSVからの銅の突出、などに示すTSVの開発に目処が付き、積層するチップごとに異なる電気特性を扱う(3)電気特性と設計ルール、(4)KGDも含めた(5)試験の課題解決に取り組む、という実用化に向けての設定が主課題であり、生産開始は目前であると言われていた。ところが、同じ時期、前述した通常の有機材料基板へのフリップチップ実装のCPIの問題が浮上した。結果として、3D積層においても、CPIが大きな問題であることが認識され、2010年あたりから、各組織はその解決に没頭することになった。課題マップでは、(6)チップ間接続、(7)基板、(8)第一次接続、(9)第二次接続などがそれにあたり、2D実装でも解決していない課題を3D積層実装で解決しなければならない状況にある。また、高性能ロジックチップの3D積層の実現は、増大する発熱を効果的に処理する冷却方法がなく、実用化の見込みは後退している。メモリチップの積層はもともと発熱の問題は大きくないのもっとも実現の可能性が高く、ロジックチップの2D実装とメモリ3D積層実装を混載する2.5Dも提唱されている。現時点では、3D積層実装の本格的生産開始は2014年と言う意見が多いが、2020年付近と言う観測もある。

3D積層実装で想定できるSiPの形態を図8に示す。3D積層されたメモリとプロセッサの組み合わせが一般的で、特に現在のPOPの進化型として、(a)に示すようなプロセッサの上にメモリの3D積層ブロックを搭載する形が普及するであろう。メモリブロックであればそれ単体で試験できるのでKGDの問題もなく、現在のPOPと同じインフラストラクチャで生産に入ることができる。ただし、(a)のタイプは、現在のPOPタイプのSiPと同様に、ヒートシンクなどを取りつけることはできないので、プロセッサの密度・性能は限定され、モバイル系が主たるアプリケーションであろう。(b)は(a)と逆にメモリが下でプロセッサが上の場合で、プロセッサにはヒートシンク装着が可能なので、(a)

図8. 今後のSiPの形態

よりは密度が高く高性能なプロセッサに適用できる。しかし、プロセッサチップのI/Oは全てメモリチップのTSVを通過しなければいけないため、TSVによる減衰が発生する。また、プロセッサチップのI/O数は、Wide I/Oメモリに定義されたI/O数に限定されるので、I/O数の多い高密度で高性能なプロセッサには使用できない。高密度・高性能のプロセッサは、(c)あるいは(d)の形態をとることになるであろう。当然、ヒートシンクも装着可能であり、冷却にも問題はない。また、3D積層は基本的にMCMの課題をほとんど引き継いでいることに留意する必要がある。

5. おわりに

SiPについて、その成り立ちからの特徴をもとに、パッケージングテクノロジーとしての形態の動向をまとめてみた。SiPは、名前の通りシステムをパッケージングしているわけであるから、個々の要素技術には、接続部の技術や基板の技術など実装技術のほとんどすべての項目が並ぶが、それらについてはまた別の機会に譲る。もっとも大きなSiPは、システムが完結するレベルと考えればアプリケーションのボードレベルと言うこともできる。その中身を機能単位で分割して、中心的役割を果たす部分を直結して一つのパッケージ形態としているのであるから、SiPの技術とはその形態そのものと言うことができる。アプリケーションの機能からパッケージの物理的設計の段階までを精査することによってのみ効果的なSiPの設計ができるであろう。

(2013.7.7- 受理)

文 献

- 1) “2013 年度版日本実装技術ロードマップ,” 電子情報技術産業協会, pp. 144–153, 2013
- 2) <http://ja.wikipedia.org/wiki/PowerPC>
- 3) Y. Tsukada, Y. Maeda, and K. Yamanaka: “A Novel Solution for MCM-L Utilizing Surface Laminar Circuit and Flip Chip Attach Technology,” Proceedings of IEPS/ISHM 2nd International Conference and Exhibition on Multichip Modules, pp. 252–255, 1993
- 4) Y. Tsukada, Y. Mashimoto, and N. Watanuki: “A Novel Chip Replacement Method for Encapsulated Flip Chip Bonding,” Proceedings of IEEE 43rd Electronics Component & Technology Conference, Vol. 1, pp. 199–204, 1993

著者紹介

塚田 裕 (つかだ ゆたか)
工学博士。日本アイ・ビー・エム野洲研究所勤務時、アンダーフィル封止を使用した有機材料基板へのベアチップ実装技術とビルドアップ配線板技術を開発 (1991 年発表)。IBM フェロー (1996 年)。本学会会長 (2007–2008 年度)。フリップチップ実装技術が専門。