擬似 SoC 技術とその将来展望

山田 浩*

Pseudo-SoC Technology and Its Future Prospects

Hiroshi YAMADA*

* 株式会社東芝研究開発センター電子デバイスラボラトリー（〒212-8582 神奈川県川崎市幸区小向東芝町1）

* Electron Devices Laboratory, Corporate Research & Development Center, Toshiba Corporation (1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki, Kanagawa 212-8582)

1. はじめに

電子機器システムの競争優位性は、機能が同一の電子機器であれば、消費電力が少なく、低コストで、小型・軽量な電子機器の競争力が高くなる。このため、高機能な半導体デバイスを集積することで機能向上を実現するシステムインテグレーション技術の研究開発が多く行われている^{1),2)}。特に、最近の電子機器システムでは、高性能な半導体デバイスに加えて、電子回路周辺を構成するための受動部品、機器電源を構成するパワーデバイス、高速信号伝送のための光デバイス、センシングを可能にするMEMS (Micro Electro-Mechanical System) デバイスなど、多くの異種デバイスを高密度に集積することが求められているため、これら異種デバイスを統合的にシステムインテグレーションすることで、競争優位性の高い電子機器システムを実現可能にする次世代の半導体パッケージ技術が要求されている。

Fig. 1 に、最近の半導体パッケージ技術の動向を示す³⁾。

1980年代の半導体パッケージは、半導体ベアチップをリードフレームなどに搭載してエポキシ樹脂で封止する樹脂モールド型パッケージが一般的であったが、半導体ベアチップに比較して数倍の実装面積を必要とするこれらの半導体パッケージでは、急速に進行する電子機器の小型化には限界があった。このため、1990年代後半からは、これまでのリードフレームを用いる半導体パッケージの概念から、WLP (Wafer-level Package) 技術、SiP (System in Package) 技術を用いた半導体パッケージが提案されて、現在の電子機器システムの進展に貢献をしている⁴⁾。特に、WLP技術は、フリップチップ実装技術と同様に、実装面積を半導体デバイスと同一寸法まで高密度実装できるため、SiP技術と共に、現在では、半導体パッケージ技術の主要技術となっている^{5),6)}。

これまでの異種デバイスシステムインテグレーション技術には、半導体製造技術を適用して異種デバイスをシリコン基板上に大規模に回路集積する SoC (System on Chip) 技

Fig. 1 Semiconductor packaging technology direction

Fig. 2 Schematic view of wafer-level heterogeneous integration technology with cross-sectional diagram of pseudo-SoC

術と、既存の半導体チップをインターポーザ基板に集積する SiP 技術が代表的であった。SoC 技術は、高密度集積が可能であるが、製造プロセスが異なる異種デバイスは集積できない課題があった。これに対して、SiP 技術は、集積する異種デバイスの種類に制限はないが、設計寸法が回路配線基板に依存するため基板上的集積密度に限界があった。このため、SoC 技術と SiP 技術の特徴と課題を相互に解決する次世代の半導体パッケージ技術が必要になっていた⁷⁾。

本論文では、異種デバイスを統合的にシステムインテグレーションする技術として、WLP 技術における次世代の半導体パッケージ技術としての擬似 SoC 技術とその将来展望について解説する。

2. 擬似 SoC 技術

Fig. 2 に、擬似 SoC 技術の概要と断面構成図を示す。擬似 SoC 技術は、異種デバイス (Memory, Power LSI, MEMS, Driver LSI など) を検査してダイシングにより個別の KGD (Known Good Die) とした後、それらを隣接配置して、エポキシ樹脂で再構築ウエハとして形成する。その後、再構築ウエハ上の異種デバイス (チップ) 間を、半導体後工程プロセスによる微細再配線で電気接続することでシステム構築する技術である^{8),9)}。

Fig. 3 に、擬似 SoC 技術のプロセスを示す。接着層が塗布された支持基板 (ウエハ) 上に、検査された異種デバイス (KGD) を位置合わせ搭載した後、真空印刷技術を用いて異種デバイス裏面からエポキシ樹脂を塗布形成する。さら

Fig. 3 Fabrication process of pseudo-SoC

に、エポキシ樹脂を硬化させた後に、支持基板を接着層と一緒に除去して、異種デバイスがエポキシ樹脂で封止された再構築ウエハを完成する。その後、半導体後工程を用いて、再構築ウエハ上に絶縁層と配線層を積層することで、異種デバイス間を相互接続する再配線層 (Redistribution layer) を形成して、最後に I/O (Input/Output) 電極上にバンプ電極を形成する。

このように、擬似 SoC 技術は、製造技術の異なる異種デ

バイスに対して、KGDのみをウエハレベルで大規模に集積するため、電子機器システムの設計製造コストの削減も可能にしている。

Fig. 4に、SoC技術、擬似SoC技術、SiP技術の優位性を分類した結果を示す。SoC技術は、大規模なシステム構築を目的とした新規なIP (Intellectual Property) ブロック開発、ソフトウェア開発、システム設計検証に多くの研究開発費と時間を必要とするため、システム設計自由度は必ずしも高くないが、大規模回路を高密度集積することで、システム性能と市場供給量を高くすることができる。SiP技術は、システム構築する異種デバイスに、既存の半導体デバイスを用いることができるため設計自由度は高いが、システム設計寸法が回路配線基板に依存するため集積密度に限界がある。これに対して、擬似SoC技術は、SoC技術とSiP技術の特徴を相互補完する技術で、カスタム設計の要求される大規模回路を、WLP技術を用いることで超小型の半導体

Fig. 4 Classification of pseudo-SoC in system integration technology

パッケージにワンチップ集積できることが特徴である。

3. 擬似 SoC 技術のインテリジェントスマートセンサモジュール応用

Fig. 5に、擬似 SoC 技術を用いて試作検証したウェアラブルインテリジェントスマートセンサ Silmee™ (Smart-health-care Intelligent Life Monitor Engine & Eco-System) の外観写真と Silmee™ エンジンの回路ブロック図を示す。現在のヘルスケアクラウド・サービスでは、血圧計・体温計などの既存機器をネットワーク接続しているが、機器サイズと、複数の機器を同時操作するなどの理由で普及が進まない課題があった。Silmee™ は、この課題を解決するもので、脈波・心電・体温・体動などの複数の生体情報を同時にセンシングして、スマートフォン端末、タブレット端末などと無線通信するウェアラブルスマートセンサである¹⁰⁾。図に示すように、Silmee™ Engine には、AFE (Analog Front End) 回路として、心電 (ECG: Electrocardiogram) AFE 回路と脈波 (Pulse) AFE 回路を搭載している。さらに、MCU (Micro Control Unit), Bluetooth™, 3 軸加速度センサも搭載している^{11),12)}。

Fig. 6に、Silmee™ エンジンに搭載する AFE 回路をワイヤーボンディング技術で COB (Chip on Board) 実装した場合と、AFE 回路を擬似 SoC にした場合の集積 (面積) 比較を示す。図に示すように、ワイヤーボンディング技術で AFE 回路を実装した場合の面積は、ECG AFE = 12.0 mm × 6.0 mm, Pulse AFE = 10.0 mm × 5.0 mm であったが、擬似 SoC 技術で AFE 回路を構成した場合の面積は、ECG AFE = 8.2 mm × 4.2 mm, Pulse AFE = 7.0 mm × 3.0 mm となり、擬似 SoC 技術を適用することで、2 種類の AFE 回路の面積を 45% まで縮小できることが分かった。

Fig. 7に、擬似 SoC 技術にした 2 種類の AFE 回路 (ECG, Pulse) を、Silmee™ エンジンに搭載した写真を示す。Silmee™ の外形寸法は 25 mm × 60 mm × 12 mm, 重量は

Fig. 5 Wearable intelligent vital signs sensor: Silmee™ engine

10 g である。さらに、図に示すように、Silmee™ エンジンの外形寸法は、15.0 mm × 15.0 mm × 5.2 mm で、表面に、ECG AFE, Pulse AFE, Bluetooth™, 3 軸加速度センサ、裏面に MCU を搭載している。なお、この Silmee™ エンジンを評価した結果、生体情報（心電、脈波、体温、体動）をスマートフォンにリアルタイム伝送できることを確認している。

Table 1 に、Silmee™ エンジンの諸特性を示す。AFE 回路は、Al/Ti (Al = 1 μ m/Ti = 1 μ m) を再配線層、誘電率 (ϵ) = 3.4 のポリイミドを絶縁層とした再配線層 (Line/Space = 15

μ m/15 μ m) を構成している。異種デバイスを封止するエポキシ樹脂にはシリカフィラを高充填したエポキシ樹脂を使用した。

4. 擬似 SoC 技術の将来展望

多数のセンサを生活空間に配置するセンサーネットワーク社会を実現するには、消費電力が少なく、低コストで、小型・軽量の電子機器（センサデバイス）の実現が不可欠になる。擬似 SoC 技術は、高機能な異種デバイスを集積することで機能向上を実現する次世代の半導体パッケージ技術であり、カスタム設計が要求される大規模回路を、WLP として、ワンチップ集積できることが特徴である。したがって、異種のセンサデバイスをカスタム設計して実装することが必要な「ワイヤレス・ヘルスケア」分野で使用する電子機器の小型化には最適のシステムインテグレーション技術である¹³⁾。

現在、SiP 技術は、2.5D/3D 実装に向けた研究開発が加速している¹⁴⁾。擬似 SoC 技術は、異種デバイスを平面配置する技術であるが、一方では、単位面積における集積密度を向上させるために、3D 実装に対する要求も高くなっている¹⁵⁾。SiP 技術における 2.5D/3D 実装の必須技術には TSV (Through Silicon Via) 技術が挙げられるが、擬似 SoC の 3D

Fig. 6 Integration density comparison of silmee™ engine

Fig. 7 Wearable intelligent vital signs sensor incorporates pseudo-SoC

Table 1. Silmee™ engine specifications

Wearable intelligent vital signs sensor: Silmee™ Egg	
Silmee™ Egg Engine	15.0 mm × 15.0 mm × 5.2 mm (Analog Front End Circuit: Pseudo-SoC)
Integrated devices	MCU chip (ARM Cortex™-M3 core)
	Bluetooth™ chip (4.0 Dual mode)
	AFE-ECG: Pseudo-SoC (8.4 mm × 4.2 mm × 1.0 mm)
	AFE-Pulse: Pseudo-SoC (7.0 mm × 3.0 mm × 1.0 mm)
	Digital triaxial acceleration sensor LGA package
Analog Front End Pseudo-SoC	
Redistribution layer (RDL)	Thickness = Al (1 μ m)/Ti (0.1 μ m)
	Minimum line/space = 15 μ m/15 μ m
Insulating layer for RDL	Low cure temperature polyimide (ϵ = 3.4)
Core material	High-content silica filler epoxy resin

実装には、TMV (Through Mold Via) 技術が挙げられる。今後、エポキシ樹脂貫通孔に微細 TSV を形成して、3D 実装する研究開発が加速すると考えられる。

5. まとめ

異種デバイスをウエハレベルでシステムインテグレーションする次世代の半導体パッケージ技術としての擬似 SoC 技術とその将来展望について解説した。

擬似 SoC 技術は、カスタム設計の要求される大規模回路を、超小型半導体パッケージとしてワンチップ集積できることが特徴であるため、顧客要求に対応した既存の異種デバイスを混載することで製品付加価値を向上することができる。特に、擬似 SoC 技術は、異種のセンサデバイスをカスタム設計して実装することが必要な「ワイヤレス・ヘルスケア」分野で使用する電子機器の小型化には最適のシステムインテグレーション技術であり、高機能な半導体デバイスを集積することで「機能の多様化による電子デバイスの進化」を可能にする More than Moore を実現する次世代の半導体パッケージ技術として定義できる。

(2014.3.3- 受理)

文 献

- 1) エレクトロニクス実装学会技術委員会：“エレクトロニクス実装技術の現状と展望,” Vol. **17**, No. 1, pp. 1–62, 2014 年 1 月
- 2) R. Tummala, E. Rymaszewski, and A. Klopfenstein Editors: “Microelectronics packaging – an overview,” in Microelectronics Packaging Handbook, chapter 1, pp. 3–128, Chapman & Hall, London, U. K., 1997
- 3) 山田 浩：“ウエハレベルチップスケールパッケージに関する技術動向と将来展望,” 電子情報通信学会論文誌 C, Vol. **J92-C**, No. 11, pp. 595–605, 2009 年 11 月
- 4) 山田 浩, 齊藤雅之, 瀧上芳枝, 須藤俊夫：“樹脂封止型半導体素子,” 特許第 2892055 号
- 5) P. Garrou, and R. Tummala: “Fundamental of Wafer-level Packaging,” in Fundamentals of Microsystems Packaging, chapter 10, pp. 398–419, McGraw Hill, NY, 2001
- 6) P. Garrou: “Wafer Level Chip Scale Packaging (WL-CSP): An Overview,” IEEE Transaction on Advanced Packaging, Vol. **23**, No. 2, pp. 198–205, May 2000
- 7) 山田 浩：“エレクトロニクス実装技術の現状と展望, 半導体デバイスと MMES の融合における新たな展開,” エレクトロニクス実装学会誌, Vol. **11**, No. 1, pp. 43–47, 2008 年 1 月
- 8) H. Yamada, Y. Onozuka, A. Iida, K. Itaya, and H. Funaki: “Wafer-Level Heterogeneous Technology Integration for Flexible Pseudo-SoC,” Digest of Technical Papers of IEEE ISSCC 2010, pp. 146–147, San Francisco, February 2010
- 9) H. Yamada, Y. Onozuka, A. Iida, K. Itaya, and H. Funaki: “A Wafer-level System Integration Technology incorporates Heterogeneous Devices,” Proceedings of IMAPS 2012, pp. 793–800, San Diego, September 2012
- 10) T. Suzuki, H. Tanaka, S. Minami, H. Yamada, and T. Miyata: “Wearable Wireless Vital Monitoring Technology for Smart Health Care,” Proceedings of ISMICT 2013, pp. 1–4, Tokyo, January 2014
- 11) 鈴木琢治, 山田 浩：“ウェアラブル・インテリジェント生体センサと擬似 SoC を用いた高密度実装技術,” 第 15 回半導体パッケージング技術展専門技術セミナー予稿集, pp. 1–36, 2014 年 1 月
- 12) 山田 浩：“ウエハレベルシステムインテグレーション (擬似 SoC) 技術のインテリジェントスマートセンサモジュール応用,” 第 15 回プリント配線板 EXPO 専門技術セミナー予稿集, pp. 133–172, 2014 年 1 月
- 13) 小谷卓也：“解説 飛び立つワイヤレス・ヘルスケア,” 日経エレクトロニクス, pp. 53–59, 2013 年 4 月
- 14) エレクトロニクス実装学会：“システム思考で変わる実装技術トレンド,” 第 4 回システムインテグレーション実装技術研究会予稿集, 2012 年 11 月
- 15) R. Aschenbrenner: “Molding technologies – a new way for system integration,” Plenary Speech of ICSJ2012, Kyoto, November 2012

著者紹介

山田 浩 (やまだ ひろし)

株式会社東芝 研究開発センター電子デバイスラボラトリー 主任研究員。1986 年名古屋大学工学部合成化学科卒業。同年東芝入社。以来、カード型電子機器実装技術、微細フリップチップ実装技術、ウエハレベルパッケージ技術、マイクロマシンデバイス応用 3-D 実装技術などの高密度・高速実装を主体にした集積回路パッケージ技術の研究開発に従事。電気学会、エレクトロニクス実装学会、高分子学会、IMAPS、IEEE 会員。

電子情報通信学会エレクトロニクスソサエティ副会長、IEEE CPMT Society Japan Chapter Vice Chair、IEEE ICSJ2012 General Chair、エレクトロニクス実装学会システムインテグレーション研究会主査などを歴任。

これまでに、IEEE Transaction on Advanced Packaging Best Paper Award (2004)、IMAPS Best Paper Award (1997, 1999, 2000, 2009)、SHM Outstanding Paper Award (1996)、MES 優秀論文賞 (1998)、エレクトロニクス実装学会論文賞 (2001)、IEEE CPMT Symposium Japan Best Paper Award (2010)、ICEP Outstanding Technical Paper Award (2012)、電子情報通信学会論文賞 (2005)、電子情報通信学会エレクトロニクスソサエティ賞 (2008)、関東地方発明表彰など受賞。IEEE Fellow。