部品内蔵基板の信頼性

加藤 義尚*, 宗 真太郎**, 韓 榮建*, 堀内 整*, 崔 雲**, 友景 肇***

Reliability Test of Embedded Device Substrates

Yoshihisa KATO^{*}, Shintaro SO^{**}, Younggun HAN^{*}, Osamu HORIUCHI^{*},
Woon CHOI^{**}, and Hajime TOMOKAGE^{***}

* 福岡大学半導体実装研究所 (〒 819-1122 福岡県糸島市東 1963-4 三次元半導体研究センター内)

** 福岡大学電子情報工学科 (〒 814-0180 福岡県福岡市城南区七隈 8-19-1)

* Center of System Integration Platform Organization Standards, Fukuoka University (1963-4 Higashi, Itoshima, Fukuoka 819-1122)

** Department of Electronics Engineering and Computer Science, Fukuoka University (8-19-1 Nanakuma, Jonan-ku, Fukuoka 814-0180)

1. 緒 言

部品内蔵プリント配線板は三次元実装の一形態であり、高密度配線の実現や小型化、電気的特性・熱的特性、接続信頼性の向などのメリットがある。近年表面実装用のデバイスを配線板内層に埋め込む技術の研究開発が行われ、その結果 2003 年にベアチップを内蔵するプリント配線板が初めて市場に登場し¹⁾、その後相次いで受動部品内蔵基板や WLP 内蔵基板が実用化された^{2)~4)}。実用化された内蔵基板において、その構造や製造条件は、内蔵する部品毎に個別に最適化されている。

内蔵部品の接続には、はんだ接続、めっき接続、フリップチップ接続といった技術があるが⁵⁾、系統立てて部品内蔵特有の課題を明らかにした事例は少ない。また、用途により基板に要求される信頼性基準は異なっており、アプリケーション・信頼性区分と要求特性、対応技術という体系化も今後必要となってくるとされる。さらに、実装技術に関わらず共通して起こり得る故障モードや、層構成・残銅率などの配線板構造の信頼性におよぼす影響については可能な限り共有認識を持つことが配線板設計およびプロセス設計に必要である。これらの信頼性基準の体系化や共有認識は、試作開発の効率化に、また部品内蔵プリント配線板の一層の普及につながると考える。

ベアチップ内蔵基板の共通課題を抽出するため実際に評価基板の作製・評価を行ったところ、構造によってはベアチップ下のアンダーフィル部分でリフロー時の剥離破壊が生じるケースがあることが報告されている⁶⁾。また、この報告に関連して配線板構造による熱変形挙動の違いを解析により求めると共に、実際の熱変形挙動を測定して解析結果と比較した結果も報告されている⁷⁾。

本報告では、能動部品と受動部品を同時に内蔵した評価基板を作製し信頼性評価試験の実施例を紹介する。また、受動部品である抵抗部品を表面実装および内蔵し、3 点曲げ試験方法を用いて繰り返し曲げ試験を行った事例を紹介する。

2. 実 験

2.1 試験基板

受動部品と能動部品を同時に内蔵した部品内蔵基板評価キット (SIPOS-EB01, 01-2) の概要を Fig. 1 に示す。これは JPCA 規格 EB01 に準拠して、信頼性試験を含む一連の評価を行うことを目的に作製したものである。4 層構造で、L2 層の上に TEG チップとチップ抵抗がマウントされており、ビア接続で L1 層と接続されている。板厚は、0.58 mm である。ビアはレーザーで穴あけした後、銅めっきで形成されている。SIPOS-EB01 のレイアウト (基板上面図) を Fig. 2 に

Fig. 1 Layer structure of SIPOS-EB01, EB01-2

Fig. 2 Layout of SIPOS-EB01

Fig. 3 Layout of SIPOS-EB01-2

示す。能動部品であるベアチップは、チップサイズが3 mm×3 mmであり、パッドピッチ80 μmと100 μmの2種類を内蔵している。また、受動部品としてL1-L2間に1005タイプの100 kΩ抵抗を内蔵した評価パターンの構成となっている。SIPOS-EB01-2のレイアウト（基板上面図）をFig. 3に示す。能動部品であるベアチップは、チップサイズが3 mm×3 mmであり、パッドピッチ60 μmと80 μmと100 μmの3種類を内蔵している。また、受動部品としてL1-L2間に0603タイプ10 kΩ抵抗と1005タイプの4.7 kΩ、100 kΩ抵抗を内蔵した評価パターンの構成となっている。

2.2 試験

2.2.1 信頼性評価試験1

作製した評価キットSIPOS-EB01を用いて、低温(−40℃)放置振動試験、高温(125℃)放置振動試験、温度サイクル(−40℃~125℃)振動試験、の3項目の信頼性評価試験を実施し、内蔵部品の抵抗値の測定を行った。装置は、恒温恒湿試験機（エスベック PVS-3 KPH）と振動試験器（IMV i220/SA1M）複合試験装置を用いた。装置の外観をFig. 4に示す。

振動試験はJPCAの部品内蔵電子回路基板規格JPCA-EB01（Ed.5 2012）に準拠して行い、ピーク加速度を5 Gとした。

2.2.2 信頼性評価試験2

内蔵素子（抵抗部品）の特性変動を確認するための試験

Fig. 4 Temperature, humidity and vibration combined environmental test system

として、耐久性定格負荷試験を行った。この試験は、内蔵したチップ抵抗に定格電圧を1.5 h ON/0.5 h OFFと断続的に負荷させた状態で70℃の条件下に1,000 h放置し、試験前後の抵抗値変化を測定する試験（JIS-C5201-1）である。評価パターンはFig. 3, PA-07（サイズ25 mm×25 mm×0.55 mm）の24個のチェーン抵抗中の19個（10 kΩ, 0603）および18個（4.7 kΩ, 1005）を用いた。10 kΩ/0603の抵抗部品には定格電力0.05 Wになるように電圧（424.8 V）を印加した。また4.7 kΩ/1005の抵抗部品には、定格電力0.1 Wになるよう電圧（390.2 V）を印加した。

内蔵素子（抵抗部品）の特性変動を確認するため、耐久性耐湿負荷試験も行った。この試験は、内蔵したチップ抵抗に定格電圧を1.5 h ON/0.5 h OFFと断続的に負荷させた状態で、60℃/95%RHの条件下に1,000 h放置し、試験前後の抵抗値変化を測定する試験（JIS-C5201-1）である。評価パターンはFig. 3, PA-07（サイズ25 mm×25 mm×0.55 mm）の24個のチェーン抵抗中の19個（10 kΩ, 0603）および19個（4.7 kΩ, 1005）を用いた。10 kΩ/0603の抵抗部品には定格電力0.05 Wになるように電圧（424.8 V）を印加した。また4.7 kΩ/1005の抵抗部品には、定格電力0.1 Wになるよう電圧（411.9 V）を印加した。

2.3 限界曲げ試験および繰り返し曲げ試験

3点曲げ法を用いて、限界曲げ試験および繰り返し曲げ試験を実施した。評価パターンFig. 3, PA-07（サイズ25 mm×25 mm×0.58 mm）の24個のチェーン抵抗を用いて試験を行った。抵抗部品は内蔵部品（10 kΩ, 0603）と表面実装部品（6.8 kΩ, 0603）を用いた。

3点曲げでの曲げ応力 σ は、

$$\sigma = \frac{3FL}{2bh^2} \quad (1)$$

で求めた。ここで、 F は負荷、 L は支点間距離、 b はサンプルの幅、 h はサンプルの厚さである。曲げ試験機は、島岡製作所EZ-LXを使用し、抵抗値はADCMTのデジタルマルチメータ7461Aを用いて測定した。3点曲げの治具圧子の先端 $R=2$ mm、支持具先端 $R=2$ mm、 $L=28$ mmとした。

3. 結果と考察

3.1 SIPOS-EB01 作製

基板完成後のX線観察結果、80 μm ピッチ TEG チップのビア接続部分の断面観察結果と、1005 チップ抵抗ビア接続部分の断面観察結果をそれぞれ Fig. 5~7 に示す。良好な接続状態が観察された。また、デージーチェーン部分の抵抗測定を行ったが、TEG チップ、抵抗チップ、すべてにおいて抵抗値異常は観測されなかった。

3.2 恒温振動試験結果

-40°C での低温振動試験は、室温でピーク加速度 5 G の垂直振動を 10 分間隔で 2 回実施した後冷却し、-40°C 到達 1 時間後に 10 分間隔で 10 回の振動を加えて実施した。低温保持時間は 6 時間とした。初期抵抗値と試験後の TEG チップおよびチップ抵抗搭載部の抵抗値測定結果を Table 1, 2 に示す。TEG チップおよび抵抗チップ、すべてにおいて抵抗値の変動はなく、信頼性が保持されていることを確認した。

125°C での高温振動試験は、室温でピーク加速度 5 G の垂直振動を 10 分間隔で 2 回実施した後昇温し、125°C 到達 1 時間後に 2 時間間隔で 1 日 12 回、3 日間で合計 36 回の振動を加えて実施した。保持時間は 72 時間とした。TEG チップおよびチップ抵抗搭載部の抵抗値測定結果（初期抵抗値

Fig. 5 X-ray inspection at 80 μm pitch TEG-Chip

Fig. 6 Cross section of 80 μm pitch TEG-Chip

Fig. 7 Cross section of 1005 chip resistor and vias

と試験後の抵抗値)を Table 1, 2 に示す。TEG チップと抵抗チップ、すべてにおいて抵抗値の変動はなく、信頼性が保持されていることを確認した。

3.3 温度サイクル振動試験結果

温度サイクル振動試験条件を Fig. 8 に示す。低温 -40°C と高温 125°C の温度サイクルで、1 サイクルを 8 時間とし、計 10 サイクル行った。各温度で 90 分間保持した。振動は、1・4・7・10 サイクル目に 10 分間隔で 5 G 加振を低温および高温で各 6 回（計 48 回）行った。温度 10 サイクル実施後の抵抗値を初期値と比較した。TEG チップおよびチップ抵抗搭載部の抵抗値測定結果を Table 3, 4 に示す。TEG チップおよび抵抗チップ、すべてにおいて抵抗値の変動はなく、信頼性が保持されていることを確認した。

3.4 耐久性定格負荷試験結果

0603 基板内蔵チップ抵抗 (10 k Ω) の定格負荷試験結果を Fig. 9 に示す。19 個のチップ抵抗の 1,000 時間後の抵抗値変化率は平均で 0.06%（最大 0.15%，最低 -0.04%）となっ

Table 1. Temp. & Vibration test result of TEG-Chip resistance

TEG-Chip 100 μm pitch TEG-Chip (SIPOS-TEG SB0403)					
Test Condition		−40 degree C (6 hr)		125 degree C (72 hr)	
Measured point	Unit	Initial	After	Initial	After
Chip Daisy-Chain ①	Ω	1.87	1.90	1.88	1.91
Chip Daisy-Chain ②		1.85	1.80	1.81	1.82
Layer2-Layer3 TH-Chain ①		0.98	0.97	1.00	1.00
Layer2-Layer4 TH-Chain ②		0.96	0.97	1.02	1.02
TEG-Chip 80 μm pitch TEG-Chip (SIPOS-TEG SB0402)					
Chip Daisy-Chain ①	Ω	2.97	3.00	3.50	3.88
Chip-Daisy-Chain ②		2.63	2.64	2.85	2.88
Layer2-Layer3 TH-Chain ①		1.03	1.00	1.04	1.04
Layer2-Layer4 TH-Chain ②		1.00	1.02	1.03	1.06

Table 2. Temp. & Vibration test result of chip-resistor resistance

CHIP		1005 Chip-resistor (100 k Ω)			
Test Condition		-40 degree C (6 hr)		125 degree C (72 hr)	
		Initial	After	Initial	After
Measured point	Unit				
PA01 12chips Daisy-Chain ①	k Ω	1,189.0	1,189.0	1,196.0	1,196.0
PA02 6chips Daisy-Chain ①		596.0	596.0	596.0	597.0
6chips Daisy-Chain ②		597.0	597.0	597.0	596.0
6chips Daisy-Chain ③		597.0	597.0	599.0	599.0
Single chip ①		98.8	98.9	99.9	99.9
Single chip ②		97.8	97.8	99.7	99.7
PA03 Single chip ③		100.7	100.7	99.7	99.7
Single chip ④		97.3	97.3	99.7	99.7
Single chip ⑤		100.3	100.3	100.0	100.0
Single chip ⑥		99.4	99.4	100.1	100.1
PA04 12chips Daisy-Chain ②		1,194.0	1,194.0	1,187.0	1,186.0
PA05 6chips Daisy-Chain ④		599.0	600.0	597.0	597.0
6chips Daisy-Chain ⑤	k Ω	594.0	594.0	599.0	599.0
6chips Daisy-Chain ⑥		598.0	598.0	598.0	598.0
Single chip ⑦		99.2	99.2	100.5	100.5
Single chip ⑧		100.4	100.4	100.3	100.3
PA06 Single chip ⑨		100.3	100.3	99.9	99.9
Single chip ⑩		99.7	99.8	100.2	100.2
Single chip ⑪		98.6	98.6	100.6	100.6
Single chip ⑫		100.2	100.2	98.9	98.8

Fig. 8 Thermal cycle vibration test condition

Table 3. Heat cycle & Vibration test result of TEG-Chip resistance

Measured Point	unit	100 μm pitch TEG-Chip	
		Initial	After
Chip Daisy-Chain1	Ω	1.87	1.95
Chip Daisy-Chain2		1.80	1.84
Layer2-3 TH-Chain1		0.98	1.03
Layer2-3 TH-Chain2		1.10	1.04
80 μm pitch TEG-Chip			
Chip Daisy-Chain1	Ω	2.85	2.95
Chip Daisy-Chain2		2.76	2.85
Layer2-3 TH-Chain1		1.05	1.05
Layer2-3 TH-Chain2		1.07	1.07

Table 4. Heat cycle & Vibration test result of Chip resistor

Measured Point		Unit	1005Chip-resit (100 k Ω)	
			Initial	After
PA01	12chips Daisy-Chain ①	k Ω	1,190	1,190
PA02	6 chips Daisy-Chain ①		595	595
	6 chips Daisy-Chain ②		598	598
PA03	6 chips Daisy-Chain ③		597	597
	Single chip ①		99	99
	Single chip ②		99	99
	Single chip ③		100	100
	Single chip ④		98	98
	Single chip ⑤		99	99
	Single chip ⑥		100	100
PA04	12chips Daisy-Chain ②		1,188	1,188
PA05	6 chips Daisy-Chain ④		593	597
	6 chips Daisy-Chain ⑤		591	591
PA06	6 chips Daisy-Chain ⑥		596	596
	Single chip ⑦		100	100
	Single chip ⑧		99	99
	Single chip ⑨		100	100
	Single chip ⑩		100	100
	Single chip ⑪		100	100
	Single chip ⑫		100	100

た。抵抗変化率は、抵抗部品の保証値 $\pm 3\%$ 以内にはいって
おり、問題ないことが確認できた。

1005 基板内蔵チップ抵抗 (4.7 k Ω) の定格負荷試験結果を
Fig. 10 に示す。18 個のチップ抵抗の 1,000 時間後の抵抗値
変化率は平均で 0.16% (最大 0.23%, 最低 0.07%) であっ
た。抵抗変化率は、抵抗部品の保証値 $\pm 3\%$ 以内にはいって

Fig. 9 Load life test result of 0603- type resistor

Fig. 10 Load life test result of 1005- type resistor

Fig. 11 Humidity load life test result of 0603- type resistor

おり、問題ないことが確認できた。

3.5 耐久性耐湿負荷試験結果

0603 基板内蔵チップ抵抗 (10 k Ω) の定格負荷試験結果を
Fig. 11 に示す。19 個のチップ抵抗の 1,000 時間後の抵抗値
変化率は平均で 0.00% (最大 0.09%, 最低 -0.06%) となっ
た。抵抗変化率は、抵抗部品の保証値 $\pm 3\%$ 以内にはいって
おり、問題ないことが確認できた。

1005 基板内蔵チップ抵抗 (4.7 k Ω) の定格負荷試験結果を
Fig. 12 に示す。19 個のチップ抵抗の 1,000 時間後の抵抗値
変化率は平均で 0.13% (最大 0.24%, 最低 0.06%) となっ
た。抵抗変化率は、抵抗部品の保証値 $\pm 3\%$ 以内にはいって
おり、問題ないことが確認できた。

3.6 限界曲げ試験および繰り返し曲げ試験結果

0603 チップ抵抗 (10 k Ω) 内蔵基板に、圧子速度 0.1 mm/
min で、限界曲げ試験を実施した。曲げ印加による抵抗値
の変動を Fig. 13 に示す。抵抗値は減少し、曲げ応力 94
MPa・押し込み量 1.7 mm で ∞ となった。抵抗部品ビア接続
部分の断面写真を Fig. 14 に示す。導体部分の断線は確認で
きなかった。また、ビア部分のクラックや、抵抗部品の破

断、抵抗部品と絶縁樹脂界面の剥離、導体部分と絶縁材料との界面の剥離なども確認できなかった。基板の構造上の不具合が見出せなかったことから、抵抗部品の限界破断応力（マイクロクラックなどの発生が推定される）が約 94 MPa であると推測した。

限界曲げ試験の結果をふまえて、押し込み量を 1.3 mm とした繰り返し曲げ試験を実施した。

0603 チップ抵抗 (10 kΩ) 内蔵基板に、圧子速度 0.1 mm/min、最大押し込み量 1.3 mm まで曲げ応力を印加した後、0 mm まで戻し、再び 1.3 mm まで印加した。抵抗値の曲げ印加による変動率を Fig. 15 に示す。曲げ応力は 1.3 mm の印加で 70 MPa となった。抵抗値は印加するのにもとない

Fig. 12 Humidity load life test result of 1005-type resistor

Fig. 13 Result of three-point bending test-1

減少し、変化率は 1.3 mm の印加で -0.17% となった。この変動値は抵抗の保証値変動 ±3% を満足しており、信頼性上問題ないことが確認された。また、ヒステリシス現象が観察され、2 回目の曲げ試験実施時の抵抗値は初期抵抗値に戻らなかった。

0603 チップ抵抗 (6.8 kΩ) 表面実装基板に、圧子速度 0.1 mm/min、最大押し込み量 1.3 mm まで曲げ応力を印加した後、0 mm まで戻し、再び 1.3 mm まで印加した。抵抗値の曲げ印加による変動率を Fig. 15 に示す。曲げ応力は 1.3 mm の印加で 60 MPa となった。抵抗値は印加するのにもとない減少し、変化率は 1.3 mm の印加で -0.06% となった。この変動値は抵抗の保証値変動 ±3% を満足しており、信頼性上問題ないことが確認された。また、ヒステリシス現象が観察され、2 回目の曲げ試験実施時の抵抗値は初期抵抗値に戻らなかった。

チップ抵抗部品の構造は、アルミナ基板の上に抵抗体部分が構成され、ガラスなどでプリコートされた後エポキシ樹脂などで保護コートされている。抵抗体部分の模式図を Fig. 16 に示す。抵抗体は絶縁体と導電体により形成されていることにより、曲げ荷重（圧縮応力）がかかると導電体の距離が圧縮されて減少し、導電性が良くなるため抵抗値が減少したと考えられる。

ヒステリシス現象については、要因に関して解明できて

Fig. 14 Cross section of 1005 chip resistor via after bending test-1

Fig. 15 Result of three-point bending test-2

Fig. 16 Structure of resistance parts of chip resistor

いないので、基板自体の応力緩和や塑性変形などが要因であるかを検証する。1回目の曲げ試験後の繰り返し試験までの保持時間を変動させた試験などを実施し、検証を進める。

4. 結 言

能動部品と受動部品を同時に内蔵した評価基板における信頼性試験、曲げ試験を行ない、部品内蔵基板の信頼性が確認できた事例を紹介した。

絶縁材の材料特性、めっきやはんだなどの内蔵部品の接続方法、部品内蔵基板の構造、などにより信頼性がどのように変動するか、今後の研究はさらに進むと思われる。

謝 辞

本研究に協力して頂いたKOA 青木 仁氏 (SIPOS-EB01-2, PA-07のチェーンパターン図案提供) とパナソニック 任田 麻純氏・森本光一氏 (定格負荷試験, 耐湿負荷試験の実施) に感謝の意を表します。また本研究は、東京応化科学技術振興財団第27回研究費の助成「部品内蔵プリント配線基板に使用する有機絶縁材料が製品信頼性に及ぼす影響についての評価研究」で実施したことを付記します。

(2014.6.27-受理)

文 献

- 1) 見山克己：“ベアチップ内蔵基板の実用化事例とその実装技術,” エレクトロニクス実装学会 EPADs 研究会 2009 年度第 3 回公開研究会, 2009
- 2) 福岡義孝, 笹岡賢司, 本村知久：“受動チップ部品／能動デバイス混載内蔵配線基板の開発と実用化,” エレクトロニクス実装学会誌, Vol. 11, No. 42, pp. 260–270, 2008
- 3) 青山雅之, 神谷博輝：“カーナビゲーションに実用化された“部品内蔵 PALAP”を支える『基材』, 『回路形成』, 『部品搭載&積層』技術の連携,” エレクトロニクス実装学会 EPADs 研究会 2009 年度第 1 回公開研究会, 2009
- 4) 若林 猛：“部品内蔵技術と次世代実装材料：WLP&EWLP 技術の変遷と今後の実装技術,” エレクトロニクス実装学会誌, Vol. 12, No. 2, pp. 120–124, 2009
- 5) 中尾 知：“部品内蔵基板における埋め込み部品の実装技術,” エレクトロニクス実装学会誌, Vol. 14, No. 5, pp. 394–397, 2011

- 6) 配線板製造技術委員会：“部品内蔵プリント配線基板の評価解析事例と今後の展望,” エレクトロニクス実装学会誌, Vol. 15, No.1, pp. 11–14, 2012
- 7) 見山克己, 高橋寿文, 岩田智行, 田中大之：“ベアチップ内蔵プリント配線基板の信頼性に及ぼす配線板構造の影響,” エレクトロニクス実装学会誌, Vol. 15, No. 7, pp. 550–557, 2012

著者紹介

加藤 義尚 (かとう よしひさ)

1985 年 3 月千葉大学大学院工学研究科修士修了, 2011 年 3 月静岡大学大学院修士修了, 博士 (工学)。1985 年より新日鐵化学 (株), 日本シイエムケイ (株), (株) メイコーで勤務。2012 年 9 月 1 日より福岡大学半導体実装研究所教授。部品内蔵基板の開発・信頼性評価に従事。エレクトロニクス実装学会, 接着学会, 表面技術協会会員。

宗 真太郎 (そう しんたろう)

13 年福岡大学電子情報工学科卒, 現在, 福岡大学大学院工学研究科博士課程前期 2 年。部品内蔵基板の信頼性試験方法に関する研究に従事。

韓 榮建 (はん よんごん)

2004 年韓国高麗大学で金属工学専攻工学博士。2004 年～2007 年韓国でプラズマによる薄膜形成・表面処理に関する技術開発分野に勤め。2008 年～福岡県産業・科学技術振興財団 研究員。2012 年～現在: 福岡大学 半導体実装研究所 研究員。部品内蔵基板の開発や高周波特性評価関連に従事。

堀内 整 (ほりうち おさむ)

86 年山梨大学 応用化学科卒, 現在, 福岡大学 半導体実装研究所に勤務。部品内蔵基板の設計, プロセス開発に関する研究に従事。

崔 雲 (ちえ うん)

1996 年弘益大学 (ホンイック大学, 韓国) 大学院金属工学専攻, 工学博士。1998 年福岡県産業・科学技術振興財団研究員。2007 年より福岡大学工学部電子情報工学科助教。

友景 肇 (ともかげ はじめ)

77 年九大電気卒, 82 年九大電気博士課程修了, 工学博士。82 年福岡大学講師, 85 年同大助教授, 87 年スタンフォード大学客員研究員, 92 年から福岡大学工学部電子情報工学科教授。三次元実装の設計・評価に従事。09～11 年エレクトロニクス実装学会会長, JPCA 統合規格部会長。01 年から半導体実装国際ワークショップ MAP 実行委員長。