半導体素子の 2D~3D 実装技術動向と狙うべき方向

本多 進*

Trends of 2D-3D Packaging Technologies for Semiconductor Devices

Susumu HONDA*

* 特定非営利活動法人サーキットネットワーク (〒 236-0046 横浜市金沢区釜利谷西 3-21-18)

* NPO Circuit-Network (21-18, 3 Chome, Kamariya-nishi, Kanazawa-ku, Yokohama-shi, Kanagawa 236-0046)

1. 集積度の急増を支えてきた IC チップ内の素子の微細化が限界に近づき、マルチチップ化方向へ急展開—More Moore から More than Moore へ、そして IC チップの構造とパッケージングが変わる

IC チップの多機能化・大容量化や高速・高周波対応などの必要性から、IC チップの集積度が飛躍的に高まり、今や 1 チップ内に数千万個から数億個の素子が集積される状況になってきた。これには Si チップ内の素子の微細化が大きく寄与してきたが、素子のデザインルールが 15 nm 世代 (以下「世代」を省略) を切る領域に突入してきた現在、どこまで微細化が進むかが問われる状況になってきた。単一チップの微細化による高集積化では、2013 年に Intel が MPU で 14 nm の量産に入り、TSMC が 10 nm 品の製品化に向けて動き出すなど、More Moore の動きも盛んである。しかし素子の微細化が物理的限界に近づきつつある現在、例えば 10 nm 以下の素子が実現したとしても、膨大な設備投資の必要性から、実用面でのコストの壁が立ちあがる。

そこで微細化はこの辺に留めて、機能、性能面でマルチチップ化方向へ転換して、コスト・性能面で解を見出そうとする More than Moore の方向に急速に舵が切られ始めた。シングルチップ実装からマルチチップ実装へ、そして 2 次元実装から 3 次元実装へと、IC チップの構造とパッケージングが大きく変わろうとしている。

従来は IC チップ内の素子や配線の微細化で高速化や大容量化を推進してきた。しかしその限界が近づいてマルチチップ化方向に舵をきるとなると、IC チップと配線板との端子接続数の増加や、プリント配線板経由での素子間伝送距離が IC チップ内と比べて 2 桁、3 桁大きくなる。このため 1 チップの高集積化で推進してきた性能向上を、既存技術でのマルチチップ配線板実装では、生かすどころか逆に性能低下の原因にもなりかねない。

そこで、マルチチップの高速伝送回路では、素子間をつなぐ配線や接続端子のミニマム化が避けられない。さらに現状では、IC チップ内のグローバル配線と配線板 (イン

ターポーザ) の多層配線間で、デザインルール面で 3 桁を超えるギャップが存在し、IC チップの性能を低下させる問題が顕著になってきた (図 1 参照)。このためそれらの一体化、シームレス化の必要性が高まってきた。本件については筆者が機会あるごとに問題提起してきた¹⁾が、More Moore の限界が見え始めた現在、急速に顕在化してきたといえる。

こうした配線板実装に生じつつある顕著な構造変化と課題、今後の狙うべき方向について、IC チップ実装を中心に述べる。

2. IC チップの性能を生かすため、配線板パターンの最短化と接続端子のミニマム化が最重要課題に—IC チップとインターポーザ配線の一体化、シームレス化へ

IC チップの高集積化から、1 チップ当たりの電極端子数の増加が著しく、MPU や FPGA などでは数千端子を超えるチップも出始めた。DRAM メモリでさえ、従来の最大 240 端子が、本年から実用化が始まるとされる Wide I/O DRAM では一挙に 1,200~2,400 端子に急増する。このため、チップ上電極の微小化、狭ピッチ化が加速し、20 μm ピッチ (電極径 10 μm /間隔 10 μm) の必要性も出てきた。

さらにマルチチップ化では、チップ間の引き回しや接続点数の増加が著しく、これが高周波特性を劣化させる原因となる。

すでに筆者が本誌 2011 年 8 月号²⁾で述べたように、IC チップを配線板に接続する際、現状では両者間にデザインルール面での大きなギャップが存在するため、それらを接続するバンプ径は現状では数十 μm レベルにならざるを得ない (図 1 参照)。このギャップが配線板のパターンの引き回しを長くして寄生 L,C,R の増加をもたらし、これらが高速信号伝送における信号遅延やクロストークノイズなどを増大させ、伝送波形を劣化させる原因となる。このため IC チップを受け止めるプリント配線板 (インターポーザ) のデザインルールを IC チップ内のグローバル配線のデザイン

ルールに近い $10\mu\text{m}$ 前後にまで近づける必要がある。これには、両者をつなぐバンプ形状もこれに近いマイクロバンプでの接続が必要となる。すなわち、図1内に示す点線A (ICチップ電極とプリント配線板の境界線) の無い、連続的な接続構造、すなわちシームレス化の実現を筆者は以前から提起してきた。最近、この実現に近い動きも出始めてきた。後述するマイクロ接続やバンプレス接続の動きである。

しかしパターンの微細化は高密度化には適しているが、配線抵抗や配線間寄生容量の増加、クロストークの発生などによる高速信号の劣化につながる。また、ビアホールや電極接続部では抵抗増やインピーダンスの変動が生じる。これらがICチップの性能や機能の低下に繋がる。このため、配線パターンの引き回しやビアホール、部品接続点などを極力減らす必要がある。

こうした動きは、従来のDIPから今日のTSV[†] (Through Si Via) 型3D (3次元) パッケージに至るまで、精力的に開

図1. ICチップとプリント配線板（インターポザ）との接続イメージ

図2. 実装方式により素子間配線長と接続端子数が変わる。楕円で囲んだ方式はバンプレス実装方式

発がなされてきた。これらのパッケージング構造の推移をICの2チップ間の接続に限定して示すと図2のようになる。図の下向き矢印方向のパッケージング形態が素子間配線長の短縮化、接続端子の低減化方向である。この内、楕円で囲んだ構造が、ICチップとインターポザ多層配線との一体化、シームレス化を実現するバンプレス構造で、これらは6(2)項で述べる。

3. マルチチップIC実装は2次元(2D)から3次元(3D)へ

マルチチップICの実装は、初期の製品は図3(a)のようなワイヤボンディングによる2D実装方式であったが、その後、図3(b)のフリップチップによる2D実装方式が増加してきた。さらに2000年初め頃には、図3(c)のワイヤボンディングによる3D実装方式が出現した。この構造は、2次元占有面積の削減は勿論であるが、この頃からICチップの裏面研削により、 $100\mu\text{m}$ をきる超薄片化技術が導入されて、3次元積層とはいえ、高さ方向も削減する効果をもたらした。この3D構造は、スマートホンなどのメモリ容量増などに寄与してきている。しかしワイヤボンディングのため、配線長が長く、極端な超薄型構造には至っていない。

さらにICチップ間接続長のミニマム化を狙って、ICチップ電極部に貫通ビアホールを形成してチップ裏面に電極を導出し、3D接続構造とする図3(d)のTSV型3D実装方式が出てきた。ICチップは素子がSi表面のみに形成されているため、裏面端子の導出には、図3(d)のように、電極部に貫通穴を開け、Cuをめっきで充填して引き出す方法がとられる。

このTSV形成法は、我が国ではASET主導で1999年から開発がスタートし、2013年3月にほぼ所期の目的を達成してプロジェクトが終了した。この方式はアジアや欧米でも開発が活発に行われている。すでにSamsungなどメモリ主力の半導体メーカーで、TSV型3Dメモリの一部で製品出

図3. ワイヤボンディング方式2DパッケージからTSV方式3Dパッケージへの進展状況

図4. 2D実装から2.5D実装, 3D実装へ, そして2.1D実装が出現

荷が開始され、徐々にではあるが拡大しつつある。

こうしたパッケージ構造の変化とそれに伴うICチップ間接続長の変化を図4に示す。同図4(a)の2D方式から図4(c)の3D方式への転換は、同図上部に記載したように、素子間接続長が大幅に短縮されるため、伝送速度の大幅改善や、電力消費の低減が実現できる。携帯端末のロジック・メモリ間のワイドバス接続では、2D方式の240 GbpsからTSV型3D方式になると一挙に500~700 Gbpsの高速大容量データ転送が可能になると予想される。この動きは図2では、(c)の2D構造から(f)の3D構造への動きである。

しかしこうしたICチップの性能を十分に生かす構造が一挙に普及しないのは、Siベース基板への微細穴あけやCu充填プロセスが複雑、高価な点が多い。このため、目下の課題は、Siチップへの容易、かつ高速の微細穴あけ、めっき技術の開発にある。

4. 樹脂インターポーザ配線の微細化が困難でSi/ガラスインターポーザが登場

一方、ICチップの高集積化から、1チップ当たりの電極数の増加も顕著で、前述のように、1チップで5千個を超えるICも出始めた。このため、チップ上電極の微小化、狭ピッチ化が加速し、20 μm （電極径10 μm ／間隔10 μm ）を切る必要性も出てきた。しかしこうしたチップにコスト面で難渋しているTSV型3D方式をすぐに適用することは難しいため、まずはこうした多ピン・狭ピッチのマルチチップICを図4(a)に示すフリップチップ型2D構造に実装する手段の解決が急務になってきた。しかし現状では微細配線や微小パッドの形成が困難な上に、熱膨張が大きく、反りや振れが発生しやすい樹脂基板への微小・狭ピッチICチップの実装は困難である。そこで、ICチップのパッケージ基板への接続には、Siインターポーザを介して接続する方法が急浮上してきた。図4(b)に示す2.5Dパッケージの

図5. Siベースインターポーザとガラスベースインターポーザの性能比較

登場である。半導体プロセスでSiチップ上に形成する数 μm 以下の微細配線形成法を適用すればよい。ただし、プリント配線板メーカーが供給しているパッケージ基板プロセスではなく、半導体メーカーのクリーンルーム内でのプロセスになる。この構造では、図4の上に示したように、素子間配線長の削減が、図4(c)のTSV型3D構造には劣るものの、従来の2D構造（図4(a)）よりは格段に優れている。これが高速信号伝送や消費電力の低減に役立つ。

しかし、Siインターポーザはベース材料が高価な上に、半導体材料のため、絶縁層を介して導体層を形成する必要があり、高速素子になると図5上のように、配線やビアホールとベース基板間に寄生素子が発生して、高周波信号波形の劣化が問題となってきた。これを避けるために、高絶縁性のために絶縁層の形成が不要で、寄生素子の影響もほとんど無いガラスベース基板で微細配線インターポーザを実現しようとする動きも出てきた^{3)~5)}（図5下）。しかしガラス基板もSi基板と同様に、基板表面に配線層を形成するため、裏面への電極引き出しには、Cu充填貫通ビアホールのTSVやTGV[†]（Through Glass Via）が必要になり、プロセスやコスト面での問題が生じる。

5. 究極の狙いはTSV/TGVの不要な樹脂系微細多層配線インターポーザの実現へ

Siないしガラスインターポーザの最大の特徴は半導体レベルの微細配線が可能になる点にあるが、従来の樹脂基板で微細配線インターポーザが実現できれば、TSV、TGVの形成や、寄生素子の問題もない。そこで最近になって、これに解を与える動きが登場してきた。図4(d)の2.1Dパッケージ構造の登場である。従来の樹脂パッケージ基板上に10 μm 以下の微細配線を一体形成する方法をとる。

この微細配線の形成をいかに実現するか。現状での樹脂系微細多層配線インターポーザの製法を整理すると、下記の3方式になる。

- ①剥離層を形成したSiベース基板上に、半導体微細加工プロセスで樹脂系微細多層配線層を形成後、微小・狭

ピッチ IC チップを搭載し、保護樹脂でコーティングした後に Si ベース基板を剥離・除去する方法 (chip last 法⁶⁾)

② Si ベース基板上的樹脂中に IC チップをフェイスアップで埋め込んだ後、半導体微細加工プロセスで電極部に穴あけ・樹脂系微細多層配線層を形成後、Si ベース基板を剥離・除去する方法 (chip first 法)

③ 樹脂コア基板上に樹脂多層配線の微細化工プロセスで樹脂系微細多層配線インターポーザを形成する方法

この内、①、②のプロセス例を図 6、図 7 に示す。これらは半導体プロセスを適用する方法である。樹脂系微細多層配線の形成には、半導体の多層配線で用いられるポリイミドや BCB[†] などの絶縁層と Cu 配線の組み合わせが多い。③が実現できれば①、②は不要になる可能性があり、プリント配線板メーカーにとって最適な方法であるが、後述のように、実現にはまだ課題が多い。

①、②の方式で重要な点は、

☆①では、Si ベース基板上で樹脂系微細多層配線を形成後、その電極部に微小・狭ピッチ IC チップを位置合わせして搭載、接続し、さらに保護樹脂をコートした後に Si ベースを除去する点である。②では、Si 基板上の樹脂層内に埋め込んだ IC チップの電極部に穴あけし、その上部に樹脂系微細多層配線を形成した後、Si ベースを除去する点である。これらは、Si ベース基板上では熱膨張差や反り、振れなどに影響されずに半導体プロセスによる微細パターン加工や、微小・狭ピッチ・多電極 IC チップの高精度位置合わせと接続が可能になるためである。①では、IC チップを実装するだけでなく、さらにその上に保護樹脂をコートして、超薄樹脂インターポーザに強度を付与してから Si ベース基板を

図 6. chip last 法による樹脂系微細多層配線インターポーザの製造プロセス⁴⁾

除去する方法が望ましい。

☆L/Sが $10\mu\text{m}/10\mu\text{m}$ を切る領域になると、パターンの微細化による配線抵抗増や寄生キャパシタンス、パターン接近によるクロストークの発生などで、高周波・高速信号特性が劣化する恐れがある。これにはCuダマシン配線構造やLow-k絶縁層の採用など、ICチップ内の多層配線形成法と同様の構造や材料の選択が必要となる。

☆①、②とも、Si ベース基板の除去方法が重要である。

剥離容易層を介在させて機械的剥離、化学的溶解、Si裏面の研削、エッチングやこれらの組み合わせ方法がとられる。

☆これらの構造による樹脂系の微細配線インターポーザが実現すればTSV形成が不要となり、一挙にローコスト化が実現できる。

☆これら① chip last と② chip first の決定的な違いは、前者は、ICチップがバンパ接続されているため、接続抵抗が大きく、インピーダンス変化も生じ易い。しかし後者では、ICチップ電極と導体とを直接めっき接続するため、バンプレス接続が実現でき、接続部の抵抗値が低く、インピーダンス変化も極小に抑えられる特徴がある。

☆①、②方式の適用に際しては、ベース材料は必ずしもSiである必要はなく、ICチップ近似の熱膨張係数やプロセス安定性を持ち、半導体プロセスの微細加工に耐える材料であればよい(W, Moなど)。さらに機械的な剥離除去が可能なベース材料であれば、ベース基板の繰り返し使用の可能性もある。また、ベースは角型インターポーザの取り数向上のため、Siウエハと同様の円形でなく長方形が望ましい。

一方、③方式で作成する樹脂系の微細多層配線インターポーザは、上述の①、②のようなSiベース基板のサポートがないため、微小、多電極 IC チップを実装する際に、

図 7. chip first 法による樹脂系微細多層配線インターポーザの製造プロセス

・ICチップと樹脂インターポーザとの熱膨張係数差が大
 ・インターポーザの反り、振れ発生恐れがある
 などにより、微小・狭ピッチ電極を持ったICチップの位置合わせや接合が難しくなる。このため、実装適否の十分な事前チェックが必要となる。実装の適否は、基板材料、基板加工プロセス、導体パターン配置、積層構造、ICチップサイズ、電極サイズ、電極ピッチ、電極配置などにより異なるので注意を要する。

また、 $L/S = 10\mu\text{m}/10\mu\text{m}$ 以下の配線導体形成に際しての検討必要事項としては、微細配線パターン形成法、配線導体の接着強度確保、配線導体の比抵抗低減策、ICチップのCuダマシン配線類似構造の適用、最短距離配線、配線間のマイグレーション/リーク防止策、多層絶縁層の低誘電率化・低損失化、Siチップと樹脂インターポーザ間の熱膨張差や反り、捻じれによるIC微小電極との位置合わせ、接続方法などが重要となる。

この樹脂系の微細配線インターポーザの特徴および問題点を列挙すると次のようになる。

【利点】

- ☆ Si系に比べて材料費が安価
- ☆ Si/ガラス系に比べてTSV/TGVが不要でローコスト
- ☆ Si系に見られる寄生素子の影響が軽微
- ☆ Si/ガラス系よりインピーダンスのマッチングが容易
- ☆ ①、②と違い、配線板プロセスで製造可能（クリーン

度や搬送など、半導体プロセスに学ぶ点は多いが)

☆ 2.1D構造ではSi/ガラスインターポーザが不要で実装がシンプル

☆ ウェアラブル端末などに使用するフレキシブルインターポーザ構造の製作に適する⁷⁾

【問題点】

☆ Si/ガラス系に比べてICチップとの熱膨張差が大で、反り、振れが発生し易いなどのため、微小電極ICチップ接続時にはSiベース基板などによる保持が必要（特に高温実装時）

☆ ICチップとの熱膨張差や反り、振れが大で、熱衝撃信頼性が劣る

☆ Si系に比べて放熱性が大幅に劣る

などである。

こうした問題点はあるにせよ、利点が多いこの樹脂系インターポーザは、先進配線板メーカで開発、実用化に向けての積極的な取り組みが見られる。すでに最先端では $L/S = 2\mu\text{m}/2\mu\text{m}$ 程度までの試作が進んでいる。図8にその例^{8),9)}を示す。

6. 高度化するマイクロ接合技術の動向

電極数の急増で多ピン・狭ピッチ化が進み、ICチップ電極の構造や接続方法も転換の必要に迫られてきた。マイクロ接合方式には、現状では次の2方式がある。

(1) バンプ接続方式

ICチップと配線板間の接続は、これまでチップ電極部に形成したバンプで接続する方法が主体となってきた。図9(a)のはんだバンプによるC4 (Controlled Collapse Chip Connection) 接続法は1960年代にIBMが大型コンピュータ用ICチップの実装に導入して以来、バンプ接続方式の主役の座を保って今日に至っている。当初は $100\mu\text{m}$ 超のバンプ径であったが、電極の微小化が進み、 $50\mu\text{m}$ をきって $20\sim 30\mu\text{m}$ に近づきつつある。しかし急速な狭ピッチ化により、バンプ間ショートやチップ-基板間のギャップの制御が困難になってきて、溶かして付けるはんだバンプの限界が見え始めた。そこで最近では、 $20\sim 30\mu\text{m}$ 径をきる微小電極の接続には、図9(b)の低温超音波金属熱拡散接合方式や、図9(c)のCuピラーを微小はんだで接合する方式が急浮上してきた。後者は、(a)のC4方式に替わってMPS-C2 (Metal Post Solder - Chip Connection) 方式と呼称され、IBM主導で実用化が進んでいる¹⁰⁾。実装後にICチップと基板間の熱膨張差が大きくても、バンプ高さを高く保てば熱応力の吸収に優れるため、チップ-基板間ギャップの制御により、ICチップと基板の選択幅が広くとれる。さらに図9(b)のAu-Au超音波接合方式より安価で、特殊装置も必要ない点で優れており、今後の発展が期待される。

(2) バンプレス接続方式

一方、微小電極の接続にはバンプレス接続方式の検討も

図8. 樹脂系微細多層配線インターポーザの例

進み、一部で実用化され始めている。図 10 (1) は表面活性化常温接合方式¹¹⁾で、Ar などの高速原子ビームを照射して両電極表面の不活性層を除去して活性状態にした後、電極同士を接触させると強固な接合が得られる。常温で接合でき、圧力も殆ど必要なく、同種、異種金属だけでなく絶縁物にも接合可能である。すでに数十万個の電極を持つウェハ電極同士の一括接合に成功している。ただし電極高さの均一性確保や、ガス雰囲気中での電極表面処理が必要で、活性化処理直後にその装置内で接合させる必要がある点で、設備やプロセスの改良が進められている。

図 10 (2) はめっき接合方式で、50℃～90℃のめっき温度で低温接合できる特徴がある。この方式は素子類をフェイスアップで樹脂中に埋め込み、電極部に穴あけした上で、無電解 Cu めっきにより直接部品電極と接続し、多層配線を形成する方法である。バンプを介さないため、埋め込み樹脂層を Si ないしガラスベース基板上に形成して半導体微細加工プロセスを適用することにより、配線パターンの L/S が 2 μm/2 μm 前後で 10 μm 径を切る微小電極の接合が可能になりつつある。これらは IC チップの Cu 電極上に Cu 多層配線が一体形成されるため、前掲の図 1 中に示した点

線 A の無い、IC チップ電極と配線板とのシームレスな接続配線が実現できる。しかも低温、非加圧で狭ピッチ・微小電極の接合が可能になる。ここまでくるとはや電極同士の接合・接続という概念ではなく、IC チップの多層配線との一体配線に近づく。前述の chip first 法 (図 7) がこれに相当する。

この図 10 (2) のめっき接合方式を TSV 型 3D 構造に適用する試みが我が国の WOW (Wafer-on-a-Wafer) アライアンス^{†12)}で進められている。図 11 に示すように、TSV の Cu めっきをバンプレスで直接下段の Cu チップ電極に接続する方法をとる。この方法で数 μm 以下の微小電極サイズの接合が可能になるばかりでなく、5 μm 厚を切る超薄チップの積層が可能で、Cu-Cu 一体接続のため、見かけ上、接続点のない構造といえる。コンタクト抵抗ははんだバンプ接続に比べて 1/30 に抑えられ、設計によっては接続部でのインピーダンス変動をゼロに抑えることもできるため、素子的高速性能が生かされるばかりでなく、省電力化にも寄与し、IC チップの積層厚も極薄にできるなどの特徴を持つ。ただし素子の多段積層では、バンプ接続時のような複数チップの一括接続は困難で、ウェハごとのめっき充填接続が必要になる。しかし超薄ウェハの微小電極接続に極めて有効な方法といえ、今後の実用化が期待される。これら図 10(2) と図 11 の方式が図 2 中の楕円で囲んだ (d)、(g) の実装構造で、接続点ゼロの接続方式が出現することになる。

最後に上で述べたマイクロ接合技術の中で緊急に取り組むべき重要課題をまとめておく。

一つは、素子と配線板の熱膨張係数を一致させることが困難な状況下にあっては、熱応力が吸収可能なマイクロレベルのフレキシブルな接合材料や接続方式の開発が必要となる。

図 9. バンプ接続方式の例

図 10. バンプレス接続方式の例

図 11. バンプレス Cu-Cu 一体接続による TSV 型 3D 実装方式 (Wafer On Wafer アライアンス)

また、熱膨張係数が Si に近く、化学的、物理的にも安定な樹脂基板材料の開発と、樹脂配線板加工サイドでの IC のグローバル配線レベルの微細加工プロセスの確立が急務である。しかもこれには当然次のステップで IC チップのマイクロ接合が伴う。この接合方法により、選択する基板材料や基板電極の形成手段が異なるので、樹脂系インターポーザの開発にはマイクロ接合法と一体の検討が必要となる。それによって、IC のグローバル配線とのシームレスな樹脂系インターポーザ上の IC チップ実装が実現する。

これらの課題を含めて、新たなマイクロ接合方式の確立にチャレンジしていく必要がある。

(2015.4.7- 受理)

文 献

- 1) 本多 進：“半導体 IC と実装基板の融合に向けて,” エレクトロニクス実装学会第 18 回マイクロエレクトロニクスシンポジウム基調講演資料, I-02, 2008 年 9 月
- 2) 本多 進：“Si/ガラスベースインターポーザ・受動デバイスの動向,” エレクトロニクス実装学会誌, Vol. 14, No. 5, pp. 344–350, 2011 年 8 月
- 3) R. R. Tummala: “TPV formation by laser ablation & reliability of TPVs in glass,” ICEP2012 Proc., pp. 6–10, 2012 年
- 4) G. Kumar, T. Bandyopadhyay, V. Sukumaran, V. Sundaram, S. K. Lim, and R. Tummala: “Ultra-high I/O Density Glass/Silicon Interposers for High Bandwidth Smart Mobile Applications,” Electronic Components and Technology Conf. 2011, s05p07, pp. 217–223, 2011 年
- 5) V. Sukumaran, T. Bandyopadhyay, Q. Chen, N. Kumbhat, F. Liu, R. Pucha, Y. Sato, M. Watanabe, K. Kitaoka, M. Ono, Y. Suzuki, C. Karoui, C. Nopper, M. Swaminathan, V. Sundaram, and R. Tummala: “Design, Fabrication and Characterization of Low-Cost Glass Interposers with Fine-Pitch Through-Package-Vias,” Electronic Components and Technology Conf. 2011, s13p06, pp. 583–588, 2011 年

- 6) N. Motohashi, Y. Kurita, K. Soejima, Y. Tsuchiya, and M. Kawano: “SMAFTI Package with Planarized Multilayer Interconnects,” Electronic Components and Technology Conf., 2009 年
- 7) 本多 進：“新たな展開が見られる部品内蔵基板の動きを探る,” Microelectronics Symp., 2013, pp. 167–170, 2013 年 9 月
- 8) N. Shimizu, W. Kaneda, H. Arisaka, N. Koizumi, S. Sunohara, A. Rokugawa, and T. Koyama: “Development of Organic Multi Chip Package for High Performance Application,” IMAPS2013, pp. 414–419, 2013 年
- 9) 石田光也：“APX Introduction,” JIEP システムインテグレーション研究会, pp. 22–26, 2013 年 10 月
- 10) 折井靖光：“コグニティブ・コンピューティング時代におけるパッケージング技術の挑戦,” 半導体パッケージ技術展専門セミナー, ICP-3, pp. 39–59, 2014 年 1 月
- 11) 須賀唯知：“常温接合による Cu バンプレスインタコネクと三次元集積化,” 電子情報通信学会論文誌, Vol. J91-C, pp. 519–526, 2008 年 11 月
- 12) Y. S. Kim, S. Kodama, Y. Mizushima, N. Maeda, H. Kitada, K. Fujimoto, T. Nakamura, D. Suzuki, A. Kawai, K. Arai, and T. Ohba: “Ultra Thinning Down to 4- μ m using 300-mm Wafer 40-nm Node 2Gb DRAM for 3D Multi-Stack WOW Applications,” IEEE 2014 Symposia on VLSI Technology and Circuits, 2014 年 6 月

用語解説

TSV (Through Si Via) : IC チップの 3 次元実装ないし Si インターポーザ用に、Si 基板表面の電極部に貫通穴あけ後、導電材料を充填して、Si 基板の裏面に電極を引き出す方法

TGV (Through Si Via) : ガラスインターポーザ用に、ガラス基板表面の電極部に貫通穴あけ後、導電材料を充填して、ガラス基板の裏面に電極を引き出す方法

BCB (Benzocyclobutene) : 多環芳香族炭化水素系の感光性ポリマーで、高周波特性に優れるため、古くから半導体素子の絶縁層に用いられてきた。

WOW (Wafer-on-a-Wafer) アライアンス : 次世代ウェハ積層技術開発を進める産学研究グループで、超薄ウェハをバンプレス TSV 配線で容易に積層することができる 3 次元実装技術の開発に世界で初めて成功した。

URL : <http://www.titech.ac.jp/news/2014/027916.html>
<http://img.jp.fujitsu.com/downloads/jp/jmag/vol62-5/paper20.pdf>

著者紹介

本多 進 (ほんだ すすむ)
 半導体 IC が誕生した頃東芝に入社し、半導体素子の高集積化、プリント配線板の微細化、部品実装の高密度化とともに歩んで今日まできた。本文に記述した、半導体素子の性能を生かすために IC と配線板間の配線の融合・一体化、シームレス化が重要という点は、十数年前から提唱してきている。現在、実装技術 NPO 法人サーキットネットワーク理事長、JIEP 名誉会員。