高速 CMOS 回路の給電網設計適正化手法

須藤 俊夫*

Optimal Design of Power Distribution Network for High-Speed CMOS Circuits

Toshio SUDO*

* 元芝浦工業大学 (〒135-8548 東京都江東区豊洲 3-7-5)

* Formerly Shibaura Institute of Technology (3-7-5 Toyosu, Koto-ku, Tokyo 135-8548)

1. はじめに

近年、デジタル CMOS LSI のクロック周波数はより高くなり、かつ低電圧で動作するようになってきた。図 1 に、シリコンプロセスの微細化に伴う電源電圧と電源ノイズマージンの傾向を示す。微細化に伴い電源ノイズマージンは小さくなるため、デジタルシステムの安定動作のためには、電源ノイズの安定化、すなわちパワーインテグリティが重要になってきた。

従来、給電網 (PDN: power distribution network) 特性は、ボードの基板共振や、パッケージのインダクタンス、またパソコンのインピーダンス特性に注意が向けられていたが、高速化するに従い、システム全体の PDN のなかでも、最も間近で回路動作を支える LSI チップ自体の PDN 特性を考慮することの重要性が明らかになって来た。すなわち、チップ、パッケージ、ボード全ての PDN 特性を協調設計することにより、全体を適正化して電源ノイズを低減することが重要になって来た^{1)~7)}。

LSI チップの回路は、大別して、論理演算を行うコア回路と入出力信号の送受を行う I/O 回路から構成されるが、回路や動作に若干の違いはあれど、チップ自体の持つ PDN の重要性はどちらにも共通の問題となっている。

図 1. 電源電圧マージンの低下傾向

2. 統合 PDN における並列共振ピーク

図 2 は、チップ、パッケージ、ボードから構成された統合 PDN モデルを示す。ボードには幾種類かのデカップリングキャパシタが配置され、PDN インピーダンスを低下させる。また、パッケージ PDN は、使われるパッケージの種類やサイズ、電源/GND 端子数、接続法 (ワイヤボンディングやフリップチップなど) で大きく左右される。特に最近の最先端デバイスでは、パッケージ基板の中に、キャパシタを埋め込む技術も開発され、パッケージの PDN 特性も低減化が進んでいる。

図 3 (左) は、図 2 の給電網をさらに簡易化した等価回路モデルである。一般的に、チップから見た統合 PDN は、オンダイ容量 (C_{die})、オンダイ抵抗 (R_{die})、およびパッケージインダクタンス (L_{pkg}) によって、並列共振が生じること

図 2. システム全体の給電網 (PDN) の等価回路モデル

図 3. 給電網の簡易モデル (左) と反共振ピーク (右)

が分かる。この並列共振は、直列共振と違って、その共振点において電源インピーダンスが急激に増大するために、反共振とも呼ばれ、パッケージのインダクタンスとオンダイ容量の交点付近で発生する。図3(右)は、チップから見た反共振ピークを模式的に示している。

この簡易等価回路において、 $Z(\omega)$ が十分小さく設計されていると仮定すると、この回路に流れる電流 $i(t)$ の自由振動の一般解は、以下の式から求められる。

$$L \frac{di}{dt} + Ri + \frac{1}{C} \int i dt = 0$$

この式を変形すると、以下のようになる。

$$\frac{d^2 i}{dt^2} + 2\alpha \frac{di}{dt} + \frac{1}{LC} i = 0$$

このRLCの2階微分方程式は電流 i に関する直列共振回路を表わし、 R, L, C 素子の組合せにより、振動領域、臨界制動、過制動領域と3領域をもつことが知られている。ただチップの電源-GND側から見ると、並列共振となることに注意が必要である。ここで、 $L = L_{loop} = 2L_{pkg} + L_{pcb}$ 、 $C = C_{die}$ 、 $R = R_{die}$ とし、 ω_0 を自然共振周波数、 ζ をダンピング係数とし、

$$\alpha = \frac{R}{2L} \quad \zeta = \frac{R}{2} \sqrt{\frac{C}{L}} \quad \omega_0 = \frac{1}{\sqrt{LC}} \quad \omega = \omega_0 \sqrt{1 - \zeta^2}$$

とくと、電源ノイズの典型的な振動波形は、次式で表される。

$$i = Ae^{-\alpha t} \cos(\omega t + \delta)$$

図2の簡易等価回路から求まるチップ側から見た統合電源インピーダンス特性を図3(右)に示す。この統合電源インピーダンスには反共振ピークが生じ、主にチップのオンダイ容量(C_{die})とオンダイ抵抗(R_{die})、パッケージのインダクタンス(L_{pkg})の値によって決まる並列共振によって起こる。この時の反共振周波数 f_a は以下ようになる。

$$f_a \approx \frac{1}{2\pi \sqrt{L_{loop} C_{die}}} \sqrt{1 - \zeta^2}$$

またその時の共振尖鋭度(Q値)は以下ようになる。

$$Q = \frac{1}{R_{die}} \sqrt{\frac{L_{loop}}{C_{die}}}$$

反共振ピークの特性を正確に予想するには、まずチップ自体のもつPDN特性を正確に把握することが不可欠となる。

3. チップ自体のPDN特性

チップ自体のPDN特性は、チップ上への給電用グリッドのレイアウト、つまりどの配線層を使ってどの程度密に引き回すかによって決まるが、その重要性の認識が浸透されていないためか、一般的には情報が開示されていない。そこで、複数のテストチップを設計した。シリコンプロセスは、どちらもローム社の0.18 μm プロセスで、5層アルミ配線で構成されている。それらのPDN特性、電源ノイズ、近傍放射ノイズを測定した。

3.1 臨界制動条件評価チップ

一つは臨界制動条件($\zeta = 1$)を追求し、その効果を評価するためのチップで、チップPDNにわずかの抵抗性を付加することによって、反共振ピークを2次制御系でいう臨界制動域とすることによる電源ノイズ低減効果を評価するものである。チップサイズは2.5 mm角で、3つのチップから構成される。AチップはRC回路が全く付加されていないもので、振動領域にあると予想され、BチップはCaddのみを付加し、CチップにはRaddとCaddを付加して臨界制動領域を意図したものである。図4はチップPDNに、キャパシタセルとしてMIM(Metal-Insulator-Metal)構造をアルミ4層と5層間で構成し、抵抗セルはポリシリコンプロセスを用いて作製した。チップPDNの等価回路は、図5のように、元々持っている電源網(R_{itr} と C_{itr})にRC直列回路(RaddとCadd)を並列に付加した構成となっている。また付加したR、C成分は図6のようになっており、Cチップではダンピング係数が1となり臨界制動条件を満たすようにした。電源ノイズの発生回路として、1,024段、2,048段、4,096段の貫通電流によるノイズ発生回路を切り替えられる。またノイズモニタ回路をチップの4隅に配置した(図7)。

このとき、チップ単体のPDN特性を図8に示す。測定に

図4. チップ写真(a)と付加したRC成分のレイアウト(b)

(a)簡易モデル (b)RCを付加したモデル

図5. チップPDNの等価回路

Chip A (Oscillatory)	Chip B (Oscillatory)	Chip C (Critically damped)
$R_{add}=0\Omega$	$R_{add}=0\Omega$	$R_{add}=1.33\Omega$
$C_{add}=0\text{nF}$	$C_{add}=0.58\text{nF}$	$C_{add}=0.58\text{nF}$
$\zeta=0.22$	$\zeta=0.43$	$\zeta=1.00$

図6. 臨界制動条件評価用3チップの付加R、C成分

図 7. 貫通電流ノイズ発生回路 (a) とノイズモニタ回路 (b)

図 8. 臨界制動条件評価チップの PDN 特性

は高周波プローブ (Cascade Microtech 社 I40-A-GS-125) で直接チップの給電網に形成した専用パッドにコンタクトし、VNA (Agilent E5071C) を用いて、1 MHz から 10 GHz までの周波数特性を測定した。A チップは RC が何ら付加されていない元々の PDN 特性で、B チップではほぼ設計値に近い容量が付加されている。また C チップでは V 字特性の底値が R 成分の付加により上昇していることが分かる。

3.2 可変容量型評価チップ

もう一つはオンダイ容量を可変としたチップで、抵抗性は付加せずに、チップ PDN に臨界制動条件より過剰に容量付加することにより、Q 値を低下させ、反共振ピークを抑制する効果を調べた。オンダイ容量の形成方法には MIMcap と MOScap がある。MIMcap は容量値を制御し易い利点があるが、特定の導体層が占有されるという短所がある。他方 MOScap はプロセス的には容易に形成できるという利点はあるが、MOScap のもつ容量値や寄生抵抗成分の見積もりは MIMcap より難度が高い。ここでは MIMcap を用いた。

図 9 に示すように、チップサイズは 5 mm 角で、32 のブロックに分けられ、ブロック毎に MIMcap を配置し接続を切り替えられる構成とした。したがってオンダイ容量は 32 段階に変化させることができる。各ブロックの容量値は約 72.8 pF で、最大で約 2,380 pF 付加される。なお 32 のブロック中、30 ブロックにはそれぞれ 1,024 段のインバータ回路で構成された貫通電流ノイズジェネレータと呼ぶ回路で電源ノイズを発生させ、その電源ノイズを観測するため

図 9. 可変容量評価チップの MIMcap ブロック (左) とノイズジェネレータ回路の配置 (右)

図 10. 可変容量型評価チップの PDN 特性

のノイズモニタ回路を、チップの 4 隅とチップの中心の合計 5 箇所に配置した。

図 10 は、オンダイ容量可変型評価チップの PDN 特性で、SW0 状態では、付加容量無しの元々の PDN 特性で、SW1-8 は左上 1/4 領域の MIMcap がつながった (ON) 状態の PDN 特性、SW1-16 は上半分の領域の MIMcap が ON 状態の PDN 特性、SW1-32 は全領域の MIMcap が ON 状態の PDN 特性である。MIMcap の付加量を増やすと V 字特性の左傾斜部のインピーダンスが低下し、容量成分が増えて行き、ほぼ設計値に近い容量値になっていることが分かる。またチップ PDN は、1 GHz 前後までは C と R 素子の直列回路で表されるが、それ以上の周波数では L 成分を考慮しなければならないことも分かる。

なお、チップの容量成分は、電源電圧を印加すると、容量値は大きくなる傾向を示す。したがって、電源電圧を印加した状態で測定しないと正確な値を得ることはできないので注意が必要である。オンダイ容量の電圧依存性の原因として、Si 基板内に形成されるウェル容量や、ゲート容量の影響が考えられる。

4. パッケージ、ボードの構成

図 11 に評価ボードの外観を示す。評価基板は導体 4 層構成で、大きさは 195.6 mm × 147.3 mm である。図 12(a) は臨界制動条件評価チップに用いた 13 mm 角、80 ピンの QFP (quad flat package) のリッドを開放した状態の写真である。このワイヤボンディングも含めた 1 ペアの VDD-GND 間の

図 11. 評価ボードの概観

図 12. 80 ピン QFP (a), 160 ピン QFP (b)

ループインダクタンスは約 8.4 nH であった。また可変容量型評価チップはチップサイズが 5 mm 角と大きく、パッド数も多いため、構造は同様の 160 ピン QFP を用いた (図 12(b))。このループインダクタンスは約 13 nH であった。

5. 電源ノイズの測定

電源ノイズ波形は、評価チップの 4 隅に設けたノイズモニタ回路の出力端子をパッケージコーナーの直近に設け、差動プローブを使ってオシロスコープ (Agilent DSO90254S) で測定した。

5.1 臨界制動条件評価チップの電源ノイズ

図 13 は 1,024 段の貫通ノイズ発生回路を 10 MHz で動作させたとき、VDD 側の電源ノイズを示す。実線は測定波形、破線は解析波形である。図 13(a) は A チップ、(b) は B チップ、(c) は C チップである。A チップでは典型的な振動波形が生じている。またキャパシタのみを付加した B チップではノイズピーク値は大きく低減できたが、リング成分は残っていることが分かる。臨界制動領域を意図した C チップではピーク値は少し大きくなったものの、リングは抑えられ、尾引きが抑えられていることが分かる。図中の LCR 値は振動波形から求めた等価 LCR 値を示す。

図 14 は、図 13 の電源ノイズ波形を高速フーリエ変換し、周波数スペクトラムを求めたものである。それぞれのスペクトラムのピーク周波数は、A チップでは 240 MHz、B チップでは 140 MHz、C チップではピークは同じ周波数域にはあるが、かなり広がり、スペクトラムピークも低下していくことが分かる。

5.2 可変容量型評価チップの電源ノイズ

図 15 は可変容量型評価チップの電源ノイズ波形で、(a) は容量の付加のない元々のチップの電源ノイズ波形、(b) は

図 13. 臨界制動評価チップの電源ノイズ波形

図 14. A, B, C チップの電源ノイズスペクトラム

(a) 付加容量なし

(b) 左上 1/4 領域への容量付加

(c) 上半分の領域への容量付加

(d) 全領域への容量付加

図 15. 可変容量型評価チップの電源ノイズ波形

チップの左上 1/4 領域 (8 ブロック) に MIMcap を付加した場合、(c) はチップの 1/2 領域 (16 ブロック)、(d) はチップ全面の MIMcap を付加した場合である。付加容量を大きくするに従い、電源ノイズのリングング成分が低減できることが分かる。

6. 近傍電磁界の測定結果

次に、近傍電磁界の測定を行った。近傍磁界測定はシールドルーム内に設置された電界・磁界分布をスキャンする EMI テスタ (日立ディスプレイ社 EMI Tester EMV-200) を用いた。プローブをメカニカルに操作し、放射された電磁波の周波数スペクトラムをスペクトラムアナライザ (アドバンテスト R3131A) で観測した。本研究ではチップから観測される反共振周波数の影響を検証するために、周波数 50 MHz~500 MHz の範囲を測定した。

測定条件はチップ周りの 40 mm の正方形内を 1.0 mm 刻みでスキャンし、高さはパッケージから 0.5 mm 上の場所でプローブ走査をした。実際に評価したプローブ走査風景を図 16 に示す。

図 17 は臨界制動条件評価チップの磁界強度分布の 2D 表示 (上段) と 3D 表示 (下段) を示す。図中の○印は最も磁界強度が強かった箇所で、その点で観測された周波数スペクトラムを図 18 に示す。A チップのスペクトラムピークは約 240 MHz にあり、図 14 に示した電源ノイズ波形のスペクトラムピークとほぼ同一の値を示した。B チップではピーク周波数が低域にシフトし、C チップではピークが緩やかに広がり、スペクトラムのピーク値も低下し、図 14 と同様の傾向を示した。可変容量型評価チップについても付加容量の増大に従い、低下傾向を示した。

なお遠方界予測には、さらにチップからボードまでの Z21 特性を考慮する必要がある。

図 16. 近傍電磁界プローブの操作風景

図 17. 臨界制動条件評価チップの磁界分布

上段：強度の 2D 分布，下段：強度の 3D 表示

図 18. 臨界制動条件評価チップの磁界スペクトラム

7. 統合 PDN と反共振ピークの実測検証

図 19 に、評価チップを実装し、電圧を印加した状態で統合 PDN を測定する様子を示す。評価チップにはワイヤボンディング用以外にも専用のパッドを形成し、チップから観測される反共振ピークを直接測定することを試みた。

図 20 は臨界制動条件評価チップの統合 PDN の測定結果で、反共振ピークが実際観測されていることが分かる。A チップの反共振ピークは約 240 MHz で、図 14 の電源ノイズ波形のスペクトラムピーク周波数と、図 17 の近傍磁界強度のピーク周波数とも一致することが分かる。容量のみ付

図 19. 統合 PDN の測定風景

図 20. 臨界制動条件評価チップの統合 PDN の実測結果

図 21. 可変容量型評価チップの統合 PDN の実測結果

加した B チップでは反共振ピークは低域にシフトし、臨界制動条件を意図した C チップでは反共振ピークがつぶされ、顕著なピークの発生が抑えられることが確認できた。

図 21 は可変容量型評価チップの統合 PDN の測定結果で、付加容量が大きくなるにつれて反共振ピーク周波数は低域にシフトし、ピーク値も低下することが分かった。

いずれにしろ、統合 PDN の反共振ピークを抑制することは電源ノイズの発生を低減することにもつながり、また EMI の発生を根源から抑制することができる可能性を示している。そのための設計指標として、統合 PDN の反共振ピークの Q 値が指標となると言える。

8. 統合 PDN の解析手法

統合 PDN やその反共振ピーク周波数を確認できるのは、

図 22. 統合 PDN の解析フロー

図 23. 臨界制動条件評価チップの電源ノイズの解析と実測比較 (左上から下段へ A チップ, B チップ, C チップ)

限られたパッケージ構造だけであり、フリップチップ実装されたパッケージなど現実的には測定が不可能な場合が多い。そこで解析手法を用いて予測することが必要となる。図 22 は、チップ・パッケージ・ボードすべてを考慮した統合 PDN の解析の流れを示す。統合 PDN モデルはチップ、パッケージ、ボード用 PDN モデルを接続することによって構築され、各モデルは、各々別の解析ツールを用いて解析できる。チップから見た PDN 特性は、このモデルを HSPICE などを用いて AC 解析することによって得られ、また電源ノイズは過渡解析することによって得られる。

図 23 は臨界制動条件評価チップの電源ノイズ波形の解析と測定波形の比較結果を示す。ほぼ全てのチップで良く合致していると言えるが、電源ノイズ振幅の大きい A チップでは若干ながら波形の一致度は低くなっている。

9. 先端パッケージング技術への適用

最先端 CMOS デバイスでは電源ノイズを低減するために、デカップリング用キャパシタを内蔵したインターポーザが使われている。

図 24 はインターポーザにフリップチップ実装された評価チップと評価ボードを示す。評価ボードは 80 mm × 50 mm の導体 8 層で形成されている。デカップリングキャパシタ

図 24. キャパシタを搭載したインターポーザと評価ボード

図 25. チップから観測される統合 PDN の解析予測

を内蔵したインターポーザが基板の中央部分に配置されその上に評価チップがフリップチップ実装されている。

図 25 はあるチップの PDN に対して、デカップリング用キャパシタの実装状態を変えたときの統合 PDN の解析結果である。ワーストケースはインターポーザおよびインターポーザが実装されたマザーボードの裏面にもキャパシタが搭載されず、ボード左端に大容量のセラミックキャパシタのみが実装されている場合である。この場合には反共振ピークが 150 MHz 近傍にあることが分かる。インターポーザ上のチップのダイサイドや、基板内へのキャパシタをエンベッドしてインターポーザの PDN インピーダンスを低下させると、反共振ピークは高域にシフトしながら低下していくことが解析から分かる⁸⁾。

10. まとめ

本稿では、高速 CMOS 回路の電源ノイズの低減するための統合 PDN と反共振ピークの抑制手法について述べた。臨界制動条件を意図した評価チップと、可変容量型評価チップの測定・評価を通じて、統合 PDN の重要さと、電源ノイズ発生の元凶となる反共振ピークとの関連性に付いて述べた。統合 PDN の反共振ピークを制御・適正化することは、とりまなおさず電源ノイズを抑制し、さらには EMI を元から絶つ可能性を示した。

チップ自身の PDN をパッケージ環境に合わせて適正化するのがベストではあるが、あるチップが有る場合には、オンダイ容量の不足さをインターポーザ側で補えることも、最後の節で示した。また多種多様な LSI チップやパッケー

ジ構造に対して、統合 PDN とその反共振ピークの位置や Q 値を設計段階で良く把握するには、チップ・パッケージ・ボードの統合解析を駆使する必要がある。

本稿では触れなかったが、チップ、パッケージの PDN に手を加えられない時の手段として、反共振ピークを相殺するように、ボード実装面直近に RC 直列回路を実装させる手法でもある⁵⁾。さらに過渡電流波形 $i(t)$ 、あるいはそのスペクトラム $I(\omega)$ を求めることができれば、電源ノイズをノイズマージン以下とするような統合 PDN に対するターゲットインピーダンスを求めることができる⁹⁾。

(2015.7.10- 受理)

文 献

- 1) M. Snaminathan and A. E. Engin: "Power Integrity Modeling for Semiconductors and Systems," Prentice Hall, 2007
- 2) W. Kim: "Estimation of Simultaneous Switching Noise From Frequency-Domain Impedance Response of Resonant Power Distribution Networks," IEEE Trans. on CPMT, Vol. 1, No. 9, pp. 1359–1367., Sept. 2011
- 3) P. Larsson: "Resonance and Damping in CMOS Circuits with On-Chip Decoupling Capacitance," IEEE Trans. on Circuits and Systems-I, Vol. 45, No. 8, pp. 849–858, Aug. 1998
- 4) T. J. Gabara, W. C. Fischer, J. Harrington, and W. W. Troutman: "Forming Damped LRC Parasitic Circuits in Simultaneously Switched CMOS Output Buffers," IEEE J. Solid-State Circuits, Vol. 32, pp. 407–418, March 1997
- 5) R. Kobayashi, et al.: "Effects of Critically Damped Total PDN Impedance in Chip-Package-Board Co-Design," 2012 Int'l Symposium on EMC, pp. 538–543, Pittsburg, Aug. 2012
- 6) S. Kiyoshige, et al.: "Measurement and Analysis of Anti-resonance Peak in Total PDN Impedance," EMC Europe 2013, pp. 931–936, Brugge, Sep. 2013
- 7) W. Ichimura, et al.: "EMI reduction by suppressing Q factor of total PDN with variable on-die capacitance and resistance," IEEE EPEPS 2014, pp. 211–214, Portland, 2014
- 8) D. Tanaka, et al.: "Role and performance of interposer with embedded capacitors for maintaining power integrity," IEEE Electromagnetic Compatibility & Signal Integrity (EMC&SI2015), Silicon Valley 2015
- 9) T. Yamaguchi, et al.: "On-board Snubber Circuit for Damping of Anti-resonance Peak in Total PDN," Proc. of ICSJ, Kyoto, 2014

著者紹介

須藤 俊夫 (すどう としお)

1975 年東北大学大学院電気および通信工学専攻修士課程修了。同年 4 月 (株) 東芝研究開発センター入社。同社半導体技術研究所、生産技術センターにて、MCM 実装、MPU パッケージ開発、電源ノイズ、EMC 技術に従事。2004 年 IEEE Fellow。2007 年から芝浦工業大学電子工学科教授。2015 年同大学名誉教授。