溶融はんだを使用したはんだバンプ形成技術の研究開発と実用化

青木 豊広*, 鳥山 和重*, 折井 靖光*, 森 裕幸*, 高口 彰**, 名内 孝***,
中村 秀樹***, 高橋 誠一郎****, 武川 純****, 長谷川 公一****

Development and Commercialization of Solder Bump Fabrication Technology with Molten Solder Injection Method

Toyohiro AOKI*, Kazushige TORIYAMA*, Yasumitsu ORII*, Hiroyuki MORI*, Akira TAKAGUCHI**, Takashi NAUCHI***, Hideki NAKAMURA***, Seiichirou TAKAHASHI****, Jun MUKAWA****, and Koichi HASEGAWA****

* 日本アイ・ピー・エム株式会社東京基礎研究所 (〒 212-0032 神奈川県川崎市幸区新川崎 7 番 7 号 かわさき新産業創造センター 新館研究棟)

** 千住システムテクノロジー株式会社 (〒 939-2708 富山県富山市婦中町島本郷 1-4)

*** 千住金属工業株式会社 (〒 120-8555 東京都足立区千住橋戸町 23 番地)

**** JSR 株式会社精密電子研究所 (〒 510-8552 三重県四日市市川尻町 100)

* IBM Research - Tokyo, IBM Japan, Ltd. (NANOBI, 7-7, Shin-Kawasaki, Saiwai-ku, Kawasaki, Kanagawa 212-0032)

** Senju System Technology Co., Ltd. (1-4, Shimahongo, Fuchu-machi, Toyama-shi, Toyama 939-2708)

*** Senju Metal Industry Co., Ltd. (Senju Hashido-cho 23, Adachi-ku, Tokyo 120-8555)

**** Fine Electronic Materials Research Laboratories, JSR Corporation (100, Kawajiri-cho, Yokkaichi, Mie 510-8552)

概要 フリップチップ実装は、最も高密度化に適した実装技術である。そして、デバイスの高集積化に伴い、はんだバンプの微小化や端子ピッチの狭小化が進み、特に半導体チップが 3 次元に積層された 3 次元集積化デバイスやシリコンインターポザーやガラスインターポザー上に複数の半導体チップが並列に並ぶ 2.5 次元集積化デバイスでは、これまでとは比較にならないほどの微小化が要求されている。しかし、この微小化に対応できるバンプ形成技術や実装技術が確立されていないのが現状である。本稿は、バンプの微小化に柔軟に対応できる可能性を秘めた新しいはんだバンプ形成技術の実用化に向けた技術報告である。この工法は、溶融はんだインジェクション法によるバンプ形成技術であるため、はんだバンプの微小化に有利であり、はんだ組成の自由度は高い。しかし、高温下で作業を行う必要があるため、高温下で安定した性能を有する装置や高耐熱レジストマスク材料が必要不可欠となる。ここでは、実用化に向けて行ってきたさまざまな技術課題に対する取り組みや微小バンプ化に向けた評価状況を紹介する。

Abstract

Fine pitch interconnection using a flip-chip method is a key technology to achieve ultra-high density packaging on 2.1D/2.5D/3D integrated devices. As the solder bump size gets smaller for fine pitch applications, controlling the properties of solder joints becomes more important for chip package interaction (CPI) and electro-migration (EM) performance. The electro-plating method is widely used to fabricate fine pitch bumps; however solder compositions are limited to pure Sn or some binary solders such as Sn-Ag, Sn-Cu, etc. Hence, a bumping technology with fine pitch capability and solder alloy flexibility is needed. Injection Molded Solder (IMS) is an advanced solder bumping technology for use on wafer and laminate. IMS is a very simple technology, and solder bumps can be formed by the injection of molten solder into holes of resist material. Therefore, solder alloys can be flexibly selected, and there is a high capability of fine pitch applications. We fabricated a prototype tool to develop IMS bumping technology on wafers. In parallel, we developed the high thermal durability resist material because the resist material must be stable at high temperatures (around 250 degrees C) during the IMS process and be perfectly stripped after the IMS operation without any residue on the surface of wafers. We successfully demonstrated fine pitch solder bumping down to 40 μm pitch and 20 μm in diameter with Sn-3wt%Ag-0.5wt%Cu using the prototype tool and developed resist material. In this paper, we introduce the IMS technology and development activities toward the commercialization of this technology.

Key Words: Injection Molded Solder, Micro Solder Bump, Fine Pitch Interconnect, Bumping Tool, Photoresist

1. はじめに

エレクトロニクス機器の進化が、近年の情報化社会を支えていると言っても過言ではない。パソコンから始まり、携帯電話やスマートフォンの爆発的な普及により、情報化の流れは加速し、われわれの生活は大きく変化した。現在、次のステージである IoT (Internet of Things) 時代、つまり、パソコンやスマートフォンなどの IT 関連機器以外のさ

まざまな“モノ”がインターネットに接続される時代が直前に迫っている。各種センサーを取り付けた“モノ”から送られてくるさまざまな情報を有効活用することで、より安全でより快適な生活が実現できると大きな期待が寄せられている。このような時代を現実のものにするためには、これまで以上に、エレクトロニクス機器の進化が不可欠であり、より軽薄短小化、高性能化の要求が強まると予測できる。フリップチップ実装¹⁾は、実装密度の向上や接合配

図1. IMS プロセスの概略図

線長の短縮が可能となる技術として注目され、これからの時代を支える重要な技術の一つとして、ハイエンドサーバーからモバイル機器にいたる幅広いエレクトロニクス製品に対して適用が広がっている²⁾。フリップチップ実装は、1960年代にはんだバンプを用いた接合方式として開発されたC4 (Controlled Collapse Chip Connection) 技術³⁾から始まり、以降、はんだバンプの微小化や端子ピッチの狭小化に合わせて進化を続けている。このフリップチップ実装に用いられるはんだバンプの形成技術には、溶ダーペースト法・はんだボール搭載法・電気めっき法などの工法が一般的に使われている⁴⁾。電気めっき法は、最もはんだバンプの微小化や端子ピッチの狭小化に対応できる可能性のある工法であるが、電気めっきに必要なシード層をエッチングする際にアンダーカットやオーバーエッチングが発生するため、微小化に向けた大きな課題がある上、はんだ組成の選択肢に制限があり、接合に適したはんだ組成を自由に選択できないという課題もある。

IBMが開発したIMS (Injection Molded Solder)^{5)~7)}は、図1に示すように、マスク開口を通してパッド上に溶融はんだをインジェクションすることによりはんだバンプを形成する技術であり、①はんだ組成の自由度が高い（3元系以上の組成や微量元素を添加したはんだ材料に対応可能）②はんだ量の自由度が高い（マスク開口径や厚みを変えるだけではんだ量を制御可能）③はんだの廃棄量が少ないため、環境に優しく低コスト④不活性ガス雰囲気下（N₂雰囲気）で行い、フラックスを使用しないため洗浄工程不要⑤はんだバンプの微小化や端子ピッチの狭小化への対応力が高いなどの特徴を有する。

本稿では、IMS技術の実用化に向けて研究開発を行ってきた技術課題に対する取り組みと、はんだバンプの微小化に向けた評価状況を紹介する。

2. IMS 装置の開発

IMSは溶融はんだをインジェクションすることでバンプを形成する技術であるため、はんだ融点以上の環境下で作業が行われる。このため装置を構成する各種部品は高い耐熱性を有する必要がある。また、材料の熱膨張係数差(CTE: Coefficient of Thermal Expansion)に伴う反りが発生すると溶融はんだをインジェクションする際にはんだ漏れが発生す

図2. 装置コンセプト

図3. 装置の概観写真 (IMS-50 (左図), IMS-200 (右図))

る危険性が高いため、ステージ材料は基材のCTEに近い材料で構成することにより、加熱時の反りを最小限にしている。さらに、ヘッド部の表面にクッション性のある材料を使用することで、ある程度の反りや基材表面の凹凸に対して柔軟に追従するような工夫を施した。はんだ充填性向上にはインジェクション圧が重要な要素となるが、クッション性のある材料にすることで、基材との密着性を向上させることができるため、より高いインジェクション圧まで適用できるという効果も期待できる。

装置は、図2に示すように、第1ステージで試材の搬入出、第2ステージでプリヒート、第3ステージで溶融はんだのインジェクション、第4ステージで冷却するという4つのステージで構成した。これは、プロセス上、基材をはんだ融点温度まで加熱する必要があるため、スループットを最大限にするためにこのような構成としている。なお、図3に示すように装置は現在、50 mmサイズまで対応可能な装置と200 mmサイズまで対応可能な装置が完成している。

3. 高耐熱レジストマスクの開発

先述の通り IMS は、レジストマスクの開口部に溶融はんだをインジェクションすることでバンプを形成する技術であるため、レジストマスクにははんだ融点以上の耐熱性が求められる。また、IMS 後にこのレジストは除去できる性能を有していなければならない。このため、高解像度、耐熱性および剥離性の全てが満足するように、レジストマスク材料構成とプロセスの最適化を行なった。レジストマスク材料は、カルボキシル基を含有するアルカリ可溶性ポリマー、ラジカル反応性の架橋基を含有する架橋剤（多官能アクリルモノマー）、および光重合開始剤で構成している⁸⁾。図4にレジストマスクの架橋イメージを示しているが、今回使用したものは露光部に存在する架橋剤が三次元網目構造を形成するネガ型材料であり、この三次元架橋構造にアルカリ可溶性ポリマーが絡み合うことで、アルカリ性現像液に対する溶解禁止効果と高い耐熱性とを併せ持つように設計している。剥離に関しては、このアルカリ可溶性ポリマーがアルカリ性剥離液に溶解するため、レジスト膜内に剥離液が浸透し、剥離が行われる仕組みとなっている。

図4. レジストマスクの架橋イメージ

表1. レジストマスクのプロセス最適化実験結果

追加プロセス	追加処理 無し	追加露光 600 mJ/cm ²	追加加熱 (1) 200°C/10 min/N ₂	追加加熱 (2) 250°C/30 min/N ₂
膜硬度 [N/mm ²] @RT.	61	85	155	167
IMS プロセス	NG	NG	OK	OK
剥離 @50°C/ 20 min	OK	OK	OK	NG

図5. レジストマスク剥離後の写真

このような材料構成で IMS 評価を行ったが、当初、はんだ漏れやレジストマスクの変形などの問題が多く発生した。この要因はレジスト膜に未反応な架橋部分があるためと推測し、追加露光や追加加熱処理を行うことでレジスト膜の強度向上を図った。表1に追加条件の最適化実験結果を示す。現像後に何も追加処理を施さないものと比べて、追加露光や追加加熱することで、膜硬度が高くなることがわかった。これは、未反応の架橋部分が減少し、より三次元架橋構造が強化されているためと考えられ、実際、膜硬度が高いほど耐 IMS プロセス性は良くなっている。その反面、剥離性は悪化しており、最も膜硬度が高い追加加熱 (2) の条件では、図5に示すように、レジストマスクの剥離は困難であった。このように、IMS プロセスに対する耐久性を有し、その後のレジストマスクの剥離が可能となるように架橋密度の最適化を行うことが重要となる。今回の評価では、追加加熱 (1) がバランスの良い条件とした。

4. 実用化に向けたプロセス評価

モバイル機器などに多く採用されている電解めっき法を使った Cu ピラーとはんだの2層構造バンプを IMS 技術を使って作成するためのプロセスフローを図6に示す。シリコンウエハ上に Ti/Cu などのシード層を形成した後、スピコート法でレジストをコーティングする。続いて、露光・現像することでパターンを形成し、電解めっきにより Cu、Cu/Ni/Cu、Cu/Ni/Au などの金属ポストを形成する。次に溶融はんだをインジェクションし、はんだを充填させた後、レジスト剥離・シード層のエッチングを行う。

図6のプロセスフローで評価を行った。サンプル条件を表2に示す。図7にレジストパターン形成評価結果と IMS

図6. IMS 技術をつかった Cu ピラーとはんだの2層構造バンプ作成フロー

表2. 評価サンプル仕様

Substrate	Si wafer
Substrate surface finish	Ti/Cu
Solder	Sn-3.0Ag-0.5Cu
Resist mask thickness	50 μm
Cu pillar thickness	25 μm
Pattern opening	20, 30, 40, 50 μm

図 7. パターン形成後の SEM 写真 (a) と IMS プロセス後にレジスト剥離した SEM 写真 (b)

図 8. バンプ高さがレジスト厚よりも高くなるメカニズム

図 9. IMS 技術で作成したバンプの実装写真

後のレジスト剥離評価結果を示すが、20 $\mu\text{m}\phi$ までのバンプが良好に形成できていることがわかる⁹⁾。また、レジスト剥離後に、バンプ周囲のレジスト残渣の検査を行ったが、レジスト残渣は観察されなかった。なお、全開口仕様ではんだバンプ上部が丸くなっており、レジスト高さよりも高くなっていることが確認できる。これは、図 8 に示すように、IMS ヘッドが開口部を完全に通り過ぎる段階でもはんだは溶融状態であるため、はんだがレジスト側面には

濡れず、表面張力により丸くなることでこのような現象が生じると推測できる¹⁰⁾。このため、IMS 技術により作成したバンプは、追加のリフロー処理を行う必要がなく、そのままの状態で次工程のフリップチップ実装に使うことができる。

5. IMS で作製したバンプを使った実装評価

図 9 に IMS で作成した 3 種類のバンプを使った実装評価

の結果を示す。左の写真は、 $25\mu\text{m}\Phi$ のCuピラーとはんだの2層構造バンプとそのバンプを有機基板上に実装したものであり、中央の写真は $40\mu\text{m}\Phi$ のはんだバンプとそのバンプをSiインターポーザー上に実装したものである。さらに、右の写真は、一般的なC4バンプと同じサイズである $75\mu\text{m}\Phi$ のはんだバンプとそのバンプを有機基板上に実装したものである。いずれのバンプ仕様も、通常の実装条件で接合できることが確認できた。また、接合後の導通確認も行い、電氣的にも問題が無いことが確認できた。

6. まとめ

溶融はんだをインジェクションすることでバンプ形成を行うIMS技術の実用化に向けて、高温下で安定した性能を有する装置開発と高耐熱レジストマスク材料開発などを行った。装置としては、量産のスループットが考慮された200 mmサイズまで対応可能な自動機が完成している。また、Sn-3.0Ag-0.5Cuはんだの溶融温度域での耐熱性を有し、その後に剥離が可能なレジストマスクの開発に成功した。これらの装置・材料を使用し、 $50\mu\text{m}$ 厚のレジストマスクに対して $20\mu\text{m}\Phi$ までのはんだバンプが形成できることを確認した。また、IMS技術により $25\mu\text{m}\Phi$ から $75\mu\text{m}\Phi$ までの範囲で作成したバンプの実装評価を行い、通常の実装条件で実装可能であり、接合後の導通にも問題が無いことが確認できた。

(2015.8.5- 受理)

文 献

- 1) 塚田 裕：“フリップチップ技術,” 日刊工業新聞社, 東京,

2000

- 2) 鳥山和重, 他：“ファインピッチフリップチップ実装に用いるバンプ構造の検討,” MES2012, pp. 47–50, 2012
- 3) L. F. Miller: “Controlled Collapse Reflow Chip Joining,” IBM Journal of Research and Development, Vol. **13**, Issue 3, pp. 239–250, 1969
- 4) 倉本武夫, 他：“Precoat by Powder Sheet (PPS) 法による微小はんだプリコート形成技術,” エレクトロニクス学会誌, Vol. **12**, No. 7, pp. 596–600, 2009
- 5) P. A. Gruber, et al.: “Injection Molded Solder Technology for Pb-free Wafer Bumping,” Proceedings of the 54th ECTC2004, pp. 650–654, 2004
- 6) J. W. Nah, et al.: “Injection Molded Solder - A New Fine Pitch Substrate Bumping Method,” Proceedings of the 59th Electronic Components and Technology Conference, pp. 61–66, 2009
- 7) J. W. Nah, et al.: “Mask and Mask-Less Injection Molded Solder (IMS) Technology for Fine Pitch Substrate Bumping,” Proceedings of IMAPS2010 (43rd International Symposium on Microelectronics), pp. 348–355, 2010
- 8) 高橋誠一郎, 他：“高耐熱性・高解像度のレジストを用いた新規バンプ形成プロセス,” MES2014, pp. 315–318, 2014
- 9) T. Aoki, et al.: “IMS (Injection Molded Solder) Technology with Liquid Photoresist for Ultra Fine Pitch Bumping,” Proceedings of 47th International Symposium on Microelectronics (IMAPS), pp. 713–717, 2014
- 10) 鳥山和重, 他：“溶融はんだを使用したウエハ上へのファインピッチはんだバンプ形成技術,” MES2014, pp. 319–322, 2014

青木豊広（あおき とよひろ）
昭和 50 年生まれ
平成 12 年・大阪大学大学院
基礎工学研究科 物性物理工学科
修士課程修了
現在・日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー

名内 孝（なうち たかし）
昭和 37 年生まれ
昭和 61 年・室蘭工業大学工学部
機械工学科卒業
現在・千住金属工業株式会社
FA 製造部

鳥山和重（とりやま かずしげ）
昭和 46 年生まれ
平成 5 年・同志社大学工学部
機械工学科卒業
現在・日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー

中村秀樹（なかむら ひでき）
昭和 37 年生まれ
昭和 59 年・山形大学工業短期
大学部機械工学科卒業
現在・千住金属工業株式会社
工法技術部

折井靖光（おりい やすみつ）
昭和 38 年生まれ
昭和 61 年・大阪大学基礎工学部
物性物理工学科卒業
平成 24 年・同大学院工学研究科
博士課程修了（博士（工学））
現在・日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー

高橋誠一郎（たかはし せいichろう）
昭和 57 年生まれ
平成 19 年・大阪市立大学大学院
理学研究科修士課程修了
現在・JSR 株式会社 精密電子研究所
先端実装材料開発室

森 裕幸（もり ひろゆき）
昭和 40 年生まれ
平成 2 年・武蔵工業大学工学部
電気工学修士課程修了
現在・日本アイ・ビー・エム株式会社
東京基礎研究所
サイエンス&テクノロジー

武川 純（むかわ じゅん）
昭和 59 年生まれ
平成 21 年・千葉大学大学院
工学研究科修士課程修了
現在・JSR 株式会社 精密電子研究所
先端実装材料開発室

高口 彰（たかぐち あきら）
昭和 16 年生まれ
現在・千住システムテクノロジー株式会社
専務取締役

長谷川公一（はせがわ こういち）
昭和 48 年生まれ
平成 11 年・大阪府立大学大学院
工学研究科物質系専攻
博士後期課程修了（博士（工学））
現在・JSR 株式会社 精密電子研究所
先端実装材料開発室