部品内蔵基板の生産性向上に繋がる EDA 技術

松澤 浩彦*

EDA Technology of Challenge for Productivity of Device Embedded Substrate

Hirohiko MATSUZAWA*

* 株式会社図研 EDA 事業部 EL 開発部 (〒224-8585 横浜市都筑区荏田東 2-25-1)

* EL Division, EDA Business Unit, ZUKEN Inc. (2-25-1, Tsuzuki-ku, Yokohama 224-8585)

1. はじめに

IoT の時代になり、それを支えるエッジデバイス側は、必ずしもデジタル技術だけではなく、トリリオンセンサー[†]に代表されるように、アナログ技術との組み合わせが重要になってきた。「デジタル大量生産」から「アナログ込みの少量多品種／モジュール」へ時代が変わりつつある。ここでは、カメラ機能の高度化による差別化や、電源機能強化による長時間駆動機能の実現など、多様なニーズへの即応性が必要となっている。そのすり合わせにおいては、アナログセンサー多様、アクチュエータ多様、給電多様、無線方式多様、デジタル多様とのすり合わせになる。しかもソフトウェアだけでは対応できない多様性が生まれて来ているため、一層のハードウェアの地位向上が望まれている。部品内蔵技術は、これらの機能・要素を基板内に取り込み最小限の大きさで実現できる実装技術であり、まさに活躍の場は、IoT エッジデバイスでの部品内蔵モジュールとして広がってきている。

一方で市場の要求は、気の利いたわれわれの生活を豊かにしてくれるコトを実現できるモノを、市場にタイムリーに供給できることが重要になっており、電子機器製造企業は、これらニーズへの確かな対応が必要となっている。すりあわせ技術による複雑な「モノ」、を品質担保して、いち早く製品化することが求められており、設計部門での解析活用はもとより、製造部門との今までとはギアを上げた密連携も必至になる。DfX = Design for X (X には Manufacturing/Testing などが入る) に真剣に取り組まなければならない。

部品内蔵基板は小型化、薄型化、高性能化に大きく貢献できる技術であるが、上記の DfX を実現するためには課題も多い。設計段階でいかに製造段階での課題を理解し、設計に織り込めるかが勝負である。EDA は Electronic Design Automation の略で、電子機器、半導体など電子系の設計作業を自動化し、支援するためのソフトウェア、ハードウェアおよび手法の総称を言う。

現在、部品内蔵技術委員会 (EPADs) の下で、EDA-WG が

2013 年に発足し、活動している。本稿では、「EPADs EDA-WG」での活動に基づき、部品内蔵基板の生産性向上に繋がる EDA 技術について報告する。

2. 部品内蔵基板設計における CAD と CAE

CAD とは、Computer Aided Design の略で、コンピュータで設計支援を行うツール (ソフトウェア) のことで、この稿ではプリント配線板の設計支援を行うソフトウェアを指す。CAE とは、Computer Aided Engineering の略で、コンピュータで解析を行うツール (ソフトウェア) を指し、この稿では、実際に電気信号を入力した時の振る舞いや、伝送線路の信号品質、EMC や発熱の状況、内蔵部品にかかる応力を計算するシミュレータを指す。

それぞれ解析には目的があり、それに応じたデータ作成が必要になっている。現状の設計現場では CAE の活用は一部に限られてしまっている。CAD と上手く連携できるようにすることにより、設計変更時の挙動を手早く解析し、反映することが可能になる。

しかし、従来 CAD は製造用のマスクを作ることが目的だったため、CAM (Computer Aided Manufacturing) の出力、特にフォトリソ出力を目的とした、それに適した、データ構造になっている。

部品内蔵基板設計で活用される CAE の種類は、従来の両面実装でも適用されている SPICE (Simulation Program with Integrated Circuit Emphasis) のように回路／電気的な振る舞いを解析するものや、伝送線路シミュレータのように伝送線路に高速デジタル信号を流した時にきちんとデータが届くか信号品質 (Signal Integrity) を解析するもの、EMC や熱を解析するもの、構造 (応力) を解析するものがある。特に熱や応力を解析しようとする、部品内蔵基板特有のキャビティ、内蔵された部品の上部までの銅めっき接続ビア、非導体の多層樹脂の区別などの要素が重要となり、CAD のデータ構造で取り扱えるようにしておく必要がある。

2.1 部品内蔵基板設計における CAD での課題と解決の方向性¹⁾

図 1 に部品内蔵基板の構造例を示す。従来の基板設計と比較して、以下の 3 点が異なっている。

1) 三次元（内層）に部品を配置できる

2) 三次元方向に配線を形成できる

3) 製造工法・プロセスに依存した設計ルールがある

つまり、あらゆる場面で三次元によるダイナミックな構造表現とわかりやすい直観的な操作性が求められる。以下それぞれ解説する。

2.1.1 三次元配置の課題と解決の方向性

部品内蔵基板においては「三次元（内層）に部品をレイアウトできる」、ということは最大の特徴である。CAD に必要なことは、表裏以外の層での配置を可能にすること、部品の逃げ（キャビティ）の設定が可能でること、それぞれのチェックが可能であること、がある。内蔵する内層では上面／下面の区別をつけることも必要となり、製造プロセスによって搭載禁止のルールも異なるため、それらの制限を設定できなければならない。図 2 に各層での搭載制限設定イメージを示す。また図 3 に部品移動の際のオンライン設計ルールチェック (DRC: Design Rule Check) の例を示す。

2.1.2 三次元配線の課題と解決の方向性

三次元方向にパターンを形成できる、ということは、層に縛られずにビアを形成できるということを意味する。特に銅めっき接続においては、必須事項となっている。従来、層と層の間にしか存在できなかったビアを部品の高さを考慮して、ある層から内蔵された部品の端子まで発生す

る、というものである。もちろん端子も多点接続を許す必要もある。図 4 に銅めっきビアでの接続イメージを示す。

2.1.3 設計ルールの課題と解決の方向性

部品内蔵基板では、製造工法・プロセスに依存した設計ルールがあるため、組み合わせたデザイン・ルール・チェック (DRC) が求められる。前述したようなキャビティや、銅めっきのビアといった新しい概念のモノに対して、既存概念のモノと間の DRC が必要となる。またプロセス毎にチェックしたい項目も変化する。特にキャビティ空間やスルーホール接続などの内部構造は、直感的に目視することが必要で、サポートする優れたオンライン DRC も必要となる。

2.2 部品内蔵基板における CAE 活用（応力）の課題と解決の方向性

内蔵している部品を含めて応力解析するためには、対象物の詳細な形状と材質特性が入力情報になる。しかし、そのまま詳細な形状を CAD からそのまま CAE に渡して解析すると、構造が複雑になればなるほど、解析時間もかかり、設計へのフィードバックが遅れてしまうという問題を持っていた。この問題を回避するために、解析する側では事前に「解析目的に応じた加工」が必要とされていた。ただし、この加工の工程は人手に拠るところが多く、作業ボリュームが増大してきており、解析の現場では、本来の解析技術ではないところに負荷がかかってきている。

2.2.1 CAD と CAE とのインテグレーション

上述の通り、基板設計用 CAD と応力解析の CAE とは、

図 1. 部品内蔵基板の構造例

図 2. 各層での搭載制限設定イメージ

図 3. 部品移動の際のオンライン DRC 例

図 4. 銅めっきビアでの接続イメージ

単にそのままインターフェースをとるだけであった。解析現場における「解析目的に応じた加工」には、設計の意図を組み込まなければいけないことも多くあったが、そのような情報は CAD 側にあり、なかなか反映が難しく、時間もかかる作業になっている。

そこで近年では、この「解析目的に応じた加工」を CAD 側でやってしまっ、CAE 側の負担を大幅に軽くする手法が出てきている。このような手法をインテグレーションと呼んでいる。図 5 に例を示す。

部品内蔵基板では応力の検証を目的とした解析を使うことが一般的になる。応力解析の解析時間短縮のための技術として、格子近似という手法が用いられている。曲線無くすことにより、CAE 側で生成するメッシュを細かくなりすぎないように配慮することが可能になり、ある程度の精度を維持した状態のまま短時間で解析を実行できる²⁾。ビルドアップ基板の解析と比較した例を図 6 に示す。この例では、オリジナル形状、100×100 格子近似、20×20 の格子近似の三種類を用意している。オリジナル形状と 20×20 の格子近似を比較すると、解析時間を 61% 減らすことができた。

2.2.2 インターフェースの課題と解決の方向性

EDA-WG では、部品内蔵基板の CAD から CAE にインターフェースした場合の課題を、EPADs 評価 TEG の CAD

図 5. 解析目的に応じた加工例

図 6. 格子近似手法を適用した場合のメッシュ発生数の比較

データを用いて実験した。インターフェースとしては STEP (Standard for the Exchange of Product model data) が一般的に使われる³⁾。STEP は、ISO 10303 シリーズ規格群のことを指し、一般的な構造解析 (CAE) が受け取ることができるデータファイルである。従来 CAD における STEP 出力機能は元々エレメカ連携用のため用意されていた。例えばトランスやコネクタなどの大きな部品が搭載された電源機器を想定して、基板および搭載された部品と筐体との干渉チェックを行うなどが目的であった。つまり基板の外側を主目的として作られている。

評価 TEG の解析のための仕様を図 7 に、STEP 出力結果の変遷を図 8 に示す。部品内蔵基板のように基板の内側は、STEP 出力の目的対象ではなかったため、新たに追加されたキャビティや銅めっきビアなどが上手く出力できなかった。

この実験で分かるように、CAD 側では以下の課題に対する解決が求められている。

- ・導体と絶縁体の扱い

導体と絶縁体の材質間の接触面をより正確にモデリングすることが必要とされるため、新たに導体と絶縁体の

図 7. 評価 TEG 解析仕様

図 8. STEP 出力結果の変遷

図9. 導体と絶縁体の境界で分割して出力するモードのイメージ

境界で分割して出力するモードが求められる。図9にそのイメージを示す。

- ・キャビティの扱い

キャビティ部分を絶縁層から抜くモードが求められる。

- ・内層に存在する部品の正確な形状の扱い

内蔵する部品の正確な形状を予め登録しておくことにより、CAEへのSTEP出力の際に置き換えることは可能になっている。これにより構造解析時の解析側で時間のかかっていた内蔵される部品の定義は軽減される。ただし正確な形状ではCAE側の処理負荷は高くなるので、どこまで詳細にするかは注意が必要となる。

今後EDA-WGでは、評価TEGの実測結果と構造解析CAEの結果との整合性検証を行っていく。より現実的な時間で結果が出せる仕組みと解析のためのモデルの改善に努めるとともに、設計者の解析技術の活用モチベーションを上げる活動を進めて行く。またCAEへの入力情報となる部品ライブラリの標準化、材料特性の簡便な入手方法の確立なども視野に入れて活動していく。

3. 部品内蔵基板設計におけるCADとCAM

従来、設計は設計部署の中で、生産は生産現場の中で閉じて、それぞれに進化を遂げてきた。作業効率向上を志向してきた結果、各部署内最適化が行われ、その部分ではこれ以上できないほど効率化が実現されてきた。一方でその枠を超えた取り組みは考えもしなくなり、自分の役にならないことには興味が無くなっている。コストにドライブされた分業の悪しき結果である。部品内蔵基板のように複雑

なものを上手に創るには、部署を超えた取り組みが必要になっていることに気づき始めているが、現場は忙しく、それをドライブできずにいる。

以下CAMの中でも、テストにフォーカスして、CAD/CAM間で現状できていることと、今後の部品内蔵基板におけるDfT (Design for Testability) の方向性を述べる。

3.1 部品内蔵基板における現状の電気検査の課題と解決の方向性

部品内蔵基板ではテスト・デバッグ段階で内蔵されている部品を目視で確認することはできない⁴⁾。テストポイントを効率よく設計することも難易度の高い作業になる。解決のためには、CAD設計情報とリンクさせたデバッグ箇所の表示ツールが有効である。CADではテストポイント設計や編集のためのさまざまな機能が開発されてきている。部品内蔵基板向けの検査データ出力機能の例を図10に示す。ここではテストポイントの情報と部品検査情報から内蔵された部品の検査データを生成している。

また、出力した検査データの各ステップに対して、検査時に使用する各テストポイント間の回路図を生成する機能もリリースされている。テストポイント間の部品接続情報を参照することで検査データのデバッグを効率化することが可能になる。図11に例を示す⁵⁾。

部品内蔵基板では、テスト・デバッグ段階で出来る限り検査計画の妥当性を検証することが必要であり、テスト効率の大幅な削減に繋がる。CAD側ではそれを支援することが今後も重要になる。

3.2 部品内蔵基板におけるバウンダリスキャンテストの可能性

部品内蔵基板の検査においては、以前からバウンダリスキャンテストの有効性が論じられてきた⁶⁾。元々バウンダリスキャンはQFP (Quad Flat Package) やSOP (Small Outline Package) のピン間が狭くなるのに伴い、テストプローブの直径を細くすることが追いつかなくなってきたことに端を発している。歴史を紐解くと1985年には欧州企業中心にJETAG (Joint European Test Action Group) が発足され、そこに1986年に北米企業が加わり、欧州を意味するEuropeanが外れ、JTAG (Joint Test Action Group) に改称されている。1987年にはversion1.0を発表、1988年にはversion2.0とな

図10. 部品内蔵基板向け検査出力例

図 11. 各テストポイント間の回路図を生成する機能例

図 12. JTAG 対応ネットのハイライト表示と検出率レポート例

り IEEE に提案され、1990 年に IEEE std 1149.1 として承認されている⁷⁾。1990 年台に入り、BGA (Ball Grid Array) や CSP (Chip Size Package もしくは Chip Scale Package) を搭載したボードが増えてきて民生機器での活用例も出ている⁸⁾。

欧米では瞬く間にボードテストの主流の流れとなり、欧米の半導体メーカは JTAG 機能搭載半導体をリリースしてきた。それに合わせて CAD には JTAG に対応したテスト設計が容易にできるように、以下の機能が搭載されている。

- ・ JTAG 対応ネットのハイライト表示
- ・ 全ネットに対する JTAG 対応／非対応のネット検出率をレポート
- ・ 抵抗やジャンパー、クラスタをパスした専用 EDIF (Electronic Design Interchange Format) ネット出力

ハイライト表示と検出率レポート例を図 12 に示す。

欧米に比べて残念ながら日本では普及が遅れており、部品内蔵基板での適用事例も未だ少ない。原因としては、認知度が低い、対応 LSI の需要と供給問題が指摘されている⁹⁾。日本では基板の高密度化に伴い、高度な分業化が進んでしまい、テスト技術者側と回路設計技術者側の距離が乖離していることも原因と思われる。

もちろんバウンダリスキャンテストは、チェックのために最低でも 4-5 ピンの接続が増え、その分パターン設計も必要になる。しかし、開発・製造・検査・保守すべての工程で使用でき、少量多品種の開発・生産にも有効で、導入コストも安価で、バーンインも可能と、良い面の方が多い。難易度の高い部品内蔵基板の発展には必須の技術と思われる。

図 13. 生産量を向上させる活動

3.3 検査技術の展望

今後の検査技術の課題としては、X 線検査やバウンダリスキャンテストだけでは特定が困難な複合的な電子回路が一般的になってくると、部門を超えた連携による DfT や FUJIKO (JPCA-EB02-2011) といったデータフォーマット活用による企業間を超えたデータ共有による連携が必要になってくることが指摘されている¹⁰⁾。特に部品内蔵基板においては重要な事項と思われる。図 13 に生産量を向上させる活動を図示してみた。

今までの各部門における部分最適活動は、 $y = ax + b$ の式に例えると「a」を最大化する活動であった。しかし、ある期間で生産量（出荷量）を最大にするには生産準備期間に手を付けなければならない。つまり「b」を限りなく 0 に近づける活動である。これは部門を超えた全体最適活動を意味する。今後は設計部門の協力は必須である。上記バウンダリスキャンテストも回路設計で JTAG 機能搭載半導体が採用されなければやりようが無い。

幸い、EPADs には設計部門に関わる CAD メーカだけでなく、製造部門の実装に関わる実装機のメーカ、検査に関わるテスターメーカが委員になっており、討議する場がある。顧客側で検討できないことを、まずはそれぞれの部署と対峙するメーカが意見交換を始めることにより、お互いのサポート範囲を超えたアイデアが出てきた。この意見交換の交流を意図的に発展させ、それぞれのユーザ部門に対して、垣根を超えた全体最適の優位性を啓蒙して行かなければならない。

いよいよ、本格的な Design for Testability のスタートである。

4. 標準化活動

以前から IEC へ提案活動している，設計データフォーマット FUJIKO については，IEC TC91WG6 において審議が進んでおり，NP 提案が完了した。今後の活動としては，CAE や CAM 段階での効率改善効果が見込める CAD での電子部品ライブラリも視野に入れていく。コンテンツとしてのライブラリ整備のための標準化が急務であり，国内はもとより，国際標準も見据えて活動して行く。EPADs 部品内蔵技術委員会，JPCA 統合規格部会や IEC 国際標準化での活動を推進していく。

5. おわりに

次世代の IoT エッジノードを支える部品内蔵基板を実現する電子 CAD の進展と CAE インテグレーション技術について述べた。好調な電子部品業界が牽引する超小型電子部品と，先端実装技術の組み合わせ／すり合わせにより，デジアナ混在の超小型の IoT エッジデバイスは，今後の小型電子情報端末の主流となり得る。

今後も DfX の実現に向けて，IoT 市場での日本の電子機器発展に貢献していく所存である。

謝 辞

当技術委員会活動では，参加委員の積極的な活動に支えられた活動の成果である。ここに謝意を表する。

(2017.3.14- 受理)

文 献

- 1) 松澤浩彦：“部品内蔵基板設計対応 CAD 技術,” エレクトロニクス実装学会誌, Vol. 17, No. 5, pp. 404–406, 2014
- 2) 回路・実装設計技術委員会：“システム Jisso-CAD/CAE の課題と展望,” エレクトロニクス実装学会誌, Vol. 19, No. 1, pp. 7–10, 2016
- 3) 部品内蔵技術委員会：“最新の部品内蔵技術委員会の活動内

容紹介,” エレクトロニクス実装学会誌, Vol. 19, No. 1, pp. 53–58, 2016

- 4) 検査技術委員会：“部品内蔵基板の検査方法の提案,” エレクトロニクス実装学会誌, Vol. 14, No. 2, pp. 94–98, 2011
- 5) 高木 潔：“DfT の実践事例,” エレクトロニクス実装学会誌, Vol. 16, No. 7, pp. 513–516, 2013
- 6) エレクトロニクス実装学会 部品内蔵技術ロードマップ WG：部品内蔵技術ロードマップ 2015 年度版, 2015
- 7) 宇賀神孝：“JTAG とは何か?,” Design Wave Magazine, 2000 年 2 月号
- 8) 大崎博文：“デジタルビデオカメラへの MCM/CSP 実装技術,” 電子技術, 2000 年 10 臨時増刊号
- 9) 亀山修一：“部品内蔵基板試験の課題とバウンダリスキャンへの期待,” エレクトロニクス実装学会部品内蔵技術委員会ロードマップ WG 公開研究会, 2016 年 10 月 12 日
- 10) 検査技術委員会：“プリント回路板における検査のあり方と問題,” エレクトロニクス実装学会誌, Vol. 19, No. 1, pp. 27–29, 2016

† 用語解説

トリリオンセンサー：米 Trillion Sensors Summit 社の CEO（最高経営責任者）兼会長である Janusz Bryzek 氏が 2012 年に発表した“Trillion Sensors Universe”という構想から，トリリオンセンサーという言葉が生まれた。毎年 1 兆個（100 万種類×100 万個）規模の大量のセンサーを社会が消費し活用すると言われている

著者紹介

松澤浩彦（まつざわ ひろひこ）
株式会社 図研 EDA 事業部 EL 開発部 シニア・パートナー。
1983 年埼玉大学 理学部 物理学卒業。同年，株式会社 図形処理技術研究所（現：図研）入社。論理シミュレータ／回路シミュレータを活用した回路解析環境の開発，EMC 設計技術の開発，伝送線路シミュレーションを活用した解析環境の開発，部品内蔵基板設計環境／MID 設計環境の開発に従事。