IoT時代を支える *Heterogeneous Integration* パッケージ —2.5D/2.1D SiP と Fan Out-Wafer Level Package—

尾崎 裕司*

The Heterogeneous Integration Package which Supports IoT Era
—2.5D/2.1D SiP and Fan Out-Wafer Level Package—

Hiroschi OZAKI*

* ソニーセミコンダクタソリューションズ株式会社 (〒243-0014 神奈川県厚木市旭町4-14-1)

* Sony Semiconductor Solutions Corporation (4-14-1 Asahi-cho, Atsugi-shi, Kanagawa 243-0014)

1. 背景

電子機器は、半導体と受動部品や基板や筐体および、これらの実装技術から構成されている。ムーアの法則に則った半導体の微細化、実装技術による小型・高密度化の進展により電子機器は低消費電力・高性能・低コスト化が実現されてきた。電子機器の技術をけん引してきた代表的な製品は、2000年代以前はメインフレームやパーソナルコンピュータであるが、2000年頃からの携帯電話および2007年頃からはスマートフォンが技術の圧倒的なけん引役となり、電子機器の生産数を大幅に増大させ、実装技術の小型・高密度化を大きく推進してきた。

ただし、今後のIoT (Internet of Things) やセンタネットワークの時代においては、インターネットを通じて小型のIoT電子機器やスマートフォンおよびパーソナルコンピュータとクラウドコンピュータがつながる。特にセンサ関連のIoT電子機器はトリリオンセンサと言われるように、その数が桁違い多く生産されると言われている。この電子機器の半導体のパッケージ構造は、多くが複数の半導体を1つのパッケージ内に組み込んだシステムインパッケージ (System in Package: SiP) となる。

このSiPであるが、今までのようなシリコンチップのみを複数実装したものだけではなく、高周波向け化合物半導体チップやマイクロマシン (Micro Electro Mechanical System: MEMS)、抵抗・コンデンサ・インダクタ・アンテナなどの受動部品も実装したいいわゆる Heterogeneous Integration でありかつ高速・高周波・低消費電力・低コスト・大量生産に対応できる構造が必要である。本稿では、高速・高周波・低消費電力化向けに開発された主にCPUなどの大規模半導体向けのSiPでクラウドコンピュータなどに使用される可能性が高い2.5Dや2.1D、そして低コスト化・大量生産向けに開発された主にIoT向けのセンサ電子機器やスマートフォン向けのSiPであるFan Out-Wafer Level Package (FO-WLP) に関する技術動向を探る。

2. 大規模半導体向け2.5D、2.1D SiP およびチップ内蔵基板 SiP

SiPは複数のチップを1つのパッケージ内で接続するために、その接続方法に特徴がありこのチップ間の接続方法によってパッケージの性能も大きく影響を受ける。

特にクラウドコンピュータに搭載される大規模半導体の高速・高周波・低消費電力化を実現するために、CoC (Chip on Chip) 構造や、TSV (Through Silicon Via) を用いたチップ積層構造が一部実用化されているが、サイズの異なるチップを積層実装することが困難であることと、高発熱密度でかつ放熱経路の確保が困難な構造であることが大きな課題となっており、3D積層構造の実現化が予定より遅い傾向である。これらのチップの積層化と放熱性の課題を解消し高速・高周波・低消費電力化を実現するために、最近では2.5Dや2.1Dなどのさまざまな大規模半導体や異種デバイスを実装する構造が提案・実用化され主流となってきている。以下、図1から図5にこれらの概念図を用いて説明する。

2.1 2.5D SiP (TSV付シリコンインターポーザ)

図1は、TSV付シリコンインターポーザ上に複数の半導体 (IC) チップを20~30 μm 程度のはんだバンプなどで実装したいいわゆる2.5Dの典型的な構造である。この構造は完全な3D (3次元) 積層構造ではないので2.5D構造と呼んでいる。ICチップ間は、シリコンインターポーザ上の1~

図1. 2.5D SiP (TSV付シリコンインターポーザ) 出典元: JEITA JJTR¹⁾

図2. 2.5D SiP (TSV なし Si インターポーザ) 出典元 ; JEITA JJTR¹⁾

5 μm 程度の多数の微細配線にて接続することで高速化が実現できる。またシリコンインターポーザ上で、シリコンインターポーザとビルドアップ基板との接続端子ピッチの調整をするために、接続用電極を再配線により再配置し、TSVにてシリコンインターポーザ裏面の接続用電極につないで、ビルドアップ基板との接続をはんだバンプなどで行う。ここで、多くの場合ICチップとシリコンインターポーザとの間にはバンプ接続部を湿度から保護しかつ接続部へ集中する応力を分散するために、アンダーフィル樹脂を注入し高信頼性を確保する。また、シリコンインターポーザとビルドアップ基板の間にもシリコンとビルドアップ基板との熱膨張係数差によるバンプ接続部へ集中する応力を分散するためにアンダーフィルを注入し高信頼性を確保する。この2.5D構造は、能動素子がない単なる基板であるシリコンインターポーザに形成するTSVのコストが高いという大きな課題がある。

2.2 2.5D SiP (TSV なし Si インターポーザ)

図2は、シリコンインターポーザに1~5 μm 程度の多数の微細配線層を形成後、シリコン基板を研削やエッチングなどで全て除去し、露出したシリコンインターポーザの裏面配線上にはんだなどの接続電極を形成してビルドアップ基板と接続することで、TSVを用いずに2.5D SiPを実現した構造である。これによりシリコンインターポーザのTSV形成コストを削減できるうえに、TSVに寄生するインダクタ・キャパシタ・インピーダンス成分も削減でき、結果的にパワーインテグリティ・シグナルインテグリティが改善される。この構造の課題は、シリコン除去後の配線層が数~数十 μm 程度に薄くなるので、ICチップと配線層の間に注入するアンダーフィル樹脂だけではなくICチップ条件や側面をモールド樹脂で覆いかつヒートスプレッダなどで固定することで薄い配線層を機械的に保護する必要があることである。

2.3 2.1D SiP (微細配線付き有機基板)

図3は、ビルドアップ基板上にスパッタやめっきなどで1~5 μm 程度の微細配線を直接形成することにより、シリコンインターポーザを介することなしにICチップを直接実装した微細配線付き有機基板のSiPである。この構造を2.1D構造と呼んでいる。この構造は、シリコンインターポーザが不要なため前記シリコンインターポーザや後記シ

図3. 2.1D SiP (微細配線付き有機基板) 出典元 ; JEITA JJTR¹⁾

図4. 2.5D SiP (Si インターポーザ内蔵) 出典元 ; JEITA JJTR¹⁾

図5. 2.5D SiP (ガラスインターポーザ内蔵) 出典元 ; JEITA JJTR¹⁾

リコンおよびガラスを有機基板に内蔵する場合より低コストでSiPが実現できると考えられる。この構造の課題としては、有機基板とシリコンや化合物半導体との熱膨張係数差による接続部の信頼性確保と、有機基板の反りやうねりのコントロールが大きいと考えられる。

2.4 2.5D SiP (Si インターポーザ内蔵)

図4は、ビルドアップ基板内に1~5 μm 程度の微細配線や微細バンプ接続部を形成したシリコンインターポーザを内蔵した2.5D SiPである。シリコンインターポーザにはTSVがなく、ビルドアップ基板のビアを通じて上下層との導通を取ることでTSV形成コストを削減できる。この構造の課題は、内蔵するシリコンインターポーザとビルドアップ基板を位置合わせしてから内蔵する煩雑さと両者の熱膨張係数差を考慮した基板内の構造が信頼性のポイントであることである。

2.5 2.5D SiP (ガラスインターポーザ内蔵)

図5は、図4で示したシリコンインターポーザの代わりに微細配線やTGV (Through Glass Via) を形成したガラスインターポーザをビルドアップ基板に内蔵した2.5D SiPである。この構造の課題もシリコンインターポーザを内蔵する場合と同様に、内蔵するガラスインターポーザとビルドアップ基板を位置合わせしてから内蔵する煩雑さ、ガラス

インターポーザとビルドアップ基板の接続コスト、TGVの形成コストなどがあり、かつガラスとビルドアップ基板の熱膨張係数差を考慮した基板内の構造が信頼性のポイントであることである。

以上、高速・高周波・低消費電力化向けに開発された大規模半導体向けの SiP として基板上に大規模半導体や異種デバイスを実装する 2.5D, 2.1D, シリコンインターポーザ内蔵 2.5D, ガラスインターポーザ内蔵 2.5D 構造があるが、各 SiP 構造の使い分けには明確な指標が現時点ではなく、アプリケーション・チップ構成・必要仕様・生産数量・生産設備・コストなどに応じて使い分けられるていくものと思われる。

3. Fan Out- Wafer Level Package (IoT 向け、大規模半導体向け)

3.1 IoT 向け FO-WLP, FO-PLP (Face down, Face up)

Fan Out-Wafer Level Package (FO-WLP) は低コスト化・大量生産向けに開発され、特に小型 IoT 電子機器のような SiP に最適なプロセスおよび構造である。また FO-WLP は、Wafer Level-Chip Size Package (WL-CSP) と異なり、個片の IC チップをパッケージ内に最初に搭載するため、1 種類の IC チップではなく多種類の IC チップや受動部品などを 1 つの FO-WLP 内に搭載できる。これにより、ヘテロジニアスインテグレーションが容易に実現でき、今後 IoT 電子機器向けのパッケージとして大幅に広がると思われる。ここではモールド樹脂で形成するパッケージの搬送上の外形サ

イズが直径 12 インチのウェーハの場合は Fan Out-Wafer Level Package (FO-WLP)、パッケージ単価の低コストを目的として基板のようなパネルの場合は Fan Out-Panel Level Package (FO-PLP)と呼んでおり本稿では同じプロセスフローで説明する。

図 6 は、FO-WLP として初めに実用化が進んだ工法でありかつ現在でも最も多く生産されているプロセスフローの概要図である。基本的には完成した半導体ウェーハから良品のチップを取り出しこれを Face down でガラスなどの平坦な基板の上に接着層を介して仮固定する。これをエポキシ樹脂などでチップ裏面や側面をモールドして覆う。次にチップを埋め込んだモールド樹脂をガラスから剥がす。その後はこのチップが埋め込まれた樹脂基板をウェーハや基板の設備を用いて絶縁膜や再配線層 (Re-Distribution Layer; RDL) を必要層数分形成し表層にはんだボールを搭載、必要に応じてチップ裏面の樹脂を研削で薄化し最後にダイシングを行うことで FO-WLP, FO-PLP を得る。

上記で得られたパッケージの断面構造を図 7 a) で示す。

ここで示す○部分はシリコンチップ・モールド樹脂・絶縁層・再配線層が密に集まる場所でそれぞれの熱膨張係数の差により応力の特異点が発生し再配線層にクラックを引き起こす可能性があることに構造上の課題がある。特に再配線層が 10 μm 程度と微細な場合は大きな問題となりえる。そこで、図 7 b) に示す断面構造のようにチップ表面にもモールド樹脂を形成し応力の特異点が発生しないようにした FO-WLP の構造が開発されている。このプロセスフ

図 6. FO-WLP, Fan-out Panel Level Package のプロセスフロー 出典元; JEITA JJTR¹⁾

図 7. FO-WLP, FO-PLP のチップ電極構造 出典元; JEITA JJTR¹⁾

ローを図8に示す。このプロセスでの特徴はICチップにCuなどのバンプをあらかじめ形成しておくことと、チップをFace upでガラス基板などに仮固定すること、ガラスなどの基板で支持したままチップ表面の絶縁層や再配線層を形成することである。これらにより応力の特異点が無く10 μm 程度の微細配線を持つFO-WLP, FO-PLPを得る。課題としては、図7と比較してICチップへのバンプ形成や研削などの工程が多いことである。

3.2 微細再配線が可能な大規模半導体向けFO-WLP (Face up, Face down)

図6や図8で示したFO-WLPはモールド樹脂の硬化収縮やICチップとモールド樹脂の熱膨張係数差によりICチップの搭載位置がずれて再配線層の線幅/間隔が最小でも10 μm /10 μm 程度と言われているが、下記に再配線層の微細化が可能なプロセスを示す。図9は、スマートフォンのア

プリケーションCPUやベースバンドなどの大規模半導体チップ向けに開発されたFO-WLPである。ICチップ横のCuピラーはPackage on Package時に使用するために設けている。このパッケージは2~10 μm 程度の微細再配線を形成するために12インチウェーハサイズで形成する。課題は、工程が多く高精度の高価な設備を使用することであるが、今後パネル化の検討や量産効果による低コスト化が期待されている。

図10は、2~10 μm 程度の微細再配線層を有しかつICチップ表面に封止樹脂がある構造である。この特徴は、まずシリコン基板上に微細再配線を形成し、その基板上にICチップをフリップチップ実装とアンダーフィル注入することである。さらには、微細再配線としてSiウェーハプロセス（線幅・間隔が1 μm 以下でSiO₂やLow-k材などの無機絶縁膜）を用いることができる。これによりあらかじめ微

図8. チップ表面にモールド樹脂があるFO-WLP, FO-PLPのプロセスフロー 出典元; JEITA JJTR¹⁾

図9. 微細配線を有するFO-WLPのプロセスフロー (Face up) 出典元; JEITA JJTR¹⁾

図10. ICチップをフリップチップ実装し表面に封止樹脂があるFO-WLPのプロセスフロー 出典元; JEITA JJTR¹⁾

細な再配線が歩留まりよく形成できかつ、ICチップ表面はアンダーフィル樹脂で覆われているので応力の特異点が発生しにくい。課題としては図9と比較しても工程数が多いことや、ICチップと再配線の接続部が通常のはんだバンプであるため高周波アナログ信号を伝送するときに、図9の接続構造と比較して電氣的ロスが大きくなる可能性があるところである。

4. まとめ

以上、今後の小型IoT電子機器やこれとつながるクラウドコンピュータを支える Heterogeneous Integration の技術の最先端である 2.5D/2.1D SiP および Fan Out-Wafer Level Package の最先端技術を探ってきた。これらのパッケージ構造は、現時点で百花繚乱であり、どの構造やプロセスが最適であるかは断言できない。ただし、クラウドコンピュータなどの大規模半導体向けの SiP として 2.5D/2.1D SiP、セ

ンサなど小型電子機器やスマートフォンなどの携帯機器には Fan Out-Wafer Level Package や Fan Out-Panel Level Package などの Heterogeneous Integration が大量に使われて IoT 時代を支えることは間違えないと思われる。

(2017.8.3- 受理)

文 献

- 1) JEITA 2017 年度版実装技術ロードマップ

著者紹介

尾崎裕司 (おざき ひろし)
ソニーセミコンダクタソリューションズ株式会社
シニアプロセスマネージャ。
一般社団法人 電子情報技術産業協会 (JEITA)
Jisso 技術ロードマップ専門委員会 (JJTR) 電子デ
バイスパッケージワーキンググループ副主査。
1988 年ソニー株式会社に入社以来、半導体実装技
術開発に従事。CSP, FO-WLP, マイクロバンプ,
CoC などを開発し製品化。現在、次世代モジュ
ール開発を担当。