2D/3D 高密度実装のための高精度配線形成技術

森川 泰宏^{***}, 佐藤 宗之^{**}, 村山 貴英^{**}, 作石 敏幸^{**}, 藤長 徹志^{**}

Highly Accurate of Via (Blind via hole) Fabrication Technology for Advanced High Density Packaging

Yasuhiro MORIKAWA^{***}, Muneyuki SATO^{**}, Takahide MURAYAMA^{**}, Toshiyuki SAKUIISHI^{**}, and Tetsushi FUJINAGA^{**}

* 株式会社アルバックグローバル市場・技術戦略室 (〒253-8543 神奈川県茅ヶ崎萩園 2500)

** 株式会社アルバック半導体電子技術研究所 (〒253-8543 神奈川県茅ヶ崎萩園 2500)

* Global Market & Technology Strategy Division, ULVAC, Inc. (2500 Hagisono, Chigasaki-shi, Kanagawa 253-8543)

** Institute of Semiconductor & Electronics Technologies, ULVAC, Inc. (2500 Hagisono, Chigasaki-shi, Kanagawa 253-8543)

1. 緒言

“スマート ICT (Information and Communication Technology)”。日々発生する電子化された構造的／非構造的な大量情報“ビッグデータ”の蓄積環境は、今後われわれの社会習慣に大きな変革をもたらすことは明らかである。IoT の急速な普及はこれら大量情報に対する通信技術の革新を余儀なくされている。昨今、スーパーコンピュータや量子コンピュータなどのデータセンサー（クラウド）の中核を担うインフラを取り囲むIoTデバイスを“エッジ”と呼び、エッジである程度情報を構造化し、そしてクラウドと通信するシステム、つまり“エッジコンピューティング”が提言され始めた。実装技術でこの実現を考えた場合、センサー、通信、小型 CPU／メモリ、自立電源などのさまざまな小型チップを限られたスペースに高密度にシステムモジュールさせる技術が重要となるため、必然的に3次元的(3D)な実装技術が有力となる。一方、クラウドコンピューティングのエレクトロニクス機器を見ると、そこにも上記と共通の要求技術を挙げることができる。例えばAI向けのシステムモジュールは種々の高性能半導体チップの集合体であり、省エネ・高速計算仕様に仕上げるアーキテクチャリングについても多くの工夫が必要となる。種々のチップの実装技術にはシリコンインターポーザを用いる2.5D実装、そしてMCM (Multi Chip Module) 実装などが挙げられる^{1),2)}。つまり端末デバイスモジュールからクラウドデバイスモジュールに渡って“ヘテロジニアス”な実装技術の開発が重要局面を迎えたと言える。このように小型・省エネ化、そして高I/O化は後工程実装で形成する配線がより微細化に向かうことは想像に難しくない。微細化とともに配線の信頼性管理についてもこれまでの工程と一変すると予想しており、一部工程には半導体前工程の様な平滑な界面制御ができる高品質な配線形成プロセスの提案が必要ではないかと考えた。本寄稿では、高密度2D/3D実装向け配線形成技術のキーのひとつであるVia (Blind via hole) 配線形成に、

プラズマドライエッチング技術を導入した加工技術の可能性について着目した。2D実装応用としてはPWBパネル実装向けビルドアップ工程における新Via (Blind via hole) 形成技術について、そして3D実装応用としては新TSVエッチング技術についてそれぞれわれわれの技術を紹介する^{3)~6)}。

2. 高精度 Via (Blind via hole) 形成技術

2.1 ビルドアップ工程における高精度 Via (Blind via hole) 形成技術

Fig. 1はPWB実装基板向けビルドアップ工程及を示す。各絶縁膜層を上下で繋ぐVia (Blind via hole) の形成はCO₂レーザードリルが用いられる。Via (Blind via hole) 形成後、Via (Blind via hole) 底には「スミア：Smear」と呼ぶ残渣が残る。現世代はウエットで除去できるが、Via (Blind via hole) 径50μm以下の小径化トレンドにおいて、さまざまな課題が見え始めている。例えば1.異なる(各世代別)膜質に対して同ウエット処理条件の転用／調整が困難、2.微細Via (Blind via hole) の寸法変換精度の制御限界(膨潤課題)、3. Via (Blind via hole) 側壁の平滑性制御の限界、4. 高アスペクト比(>2)対応の不得手、といった点が主に挙げられる。そこで高精度Via (Blind via hole) 形成を目的に、レーザー

Fig. 1 Semi additive process flow for PWB interposer

Fig. 2 Dry desmear : SEM images and EDX spectrum of the via (Blind via hole) bottom

Fig. 3 SEM image of, initial via (Blind via hole) after laser drilled, after dry-desmear in plasma etching, and PVD seed sputter deposition on the each via (Blind via hole)

ドリルの後にプラズマエッチング技術を導入し、スミア除去と同時に Via (Blind via hole) 側壁を平滑トリミングできないかを試みた。Fig. 2 はレーザードリルを用いて ABF 膜 (膜厚 $25\mu\text{m}$) に直径 $50\mu\text{m}$ の Via (Blind via hole) 形成した後の SEM (Scanning Electron Microscope) 写真と Via (Blind via hole) 底部を狙って EDX (Energy dispersive X-ray spectrometry) 観察した結果、そしてその後にプラズマエッチング技術を用いてドライデスマア処理を行った後の SEM 写真と EDX 観察結果をそれぞれ示す。EDX 結果から、レーザードリル後の Via (Blind via hole) ボトムには炭素 (C)、酸素 (O)、ケイ素 (Si) のピークがそれぞれ観察されている。これがスミアである。これに対しドライデスマア後は炭素、酸素、ケイ素のピーク強度が大きく減少し、デスマアできたことを示唆している。Via (Blind via hole) 底表面の SEM 写真ではドライデスマア処理によって予め表面粗化処理された Cu 電極が露出しているのが分る。Fig. 3 はドライデスマア処理無し／有りの Via (Blind via hole) を用い、シー

Fig. 4 Si DRIE methods; "Scallop-free" (Non-Bosch) etching & Bosch etching

ド Cu を PVD (Physical Vapor Deposition) スパッタで成膜した結果を示す。図から明らかな様に、ドライデスマア前の凹凸側壁上ではシード Cu が連続に成膜出来ていない。この結果は次工程の Cu の電解めっきの不良リスク懸念が持たれる。これに対しドライデスマア後のシード Cu は連続膜が形成できていることがわかる。以上のように、プラズマエッチング技術を活かしたドライデスマア法は従来ウエットのデスマアでは得られない平滑加工が実証された点から次世代の高密度微細化ビルドアップ配線形成に有効な技術であると考ええる。詳細は文献 (6) も参照されたい。

2.2 新 TSV エッチング手法 "Scallop-free"

前項でも述べたが、Via (Blind via hole) 形成における平滑表面の制御は配線信頼性において重要項目といえる。シリコンのエッチングは“ボッシュ法”と呼ばれる MEMS デバイス向け加工技術が用いられる。高アスペクト比の構造体を形成する加工手法としては極めて有効手段である。Fig. 4 は Si エッチング手法として従来のボッシュエッチング法とボッシュ法を用いないノンボッシュ法, “Scallop-free” エッチング法を示す。従来ボッシュ法は SF6 プラズマを用いた等方エッチングプロセスと C4F8 プラズマを用いた CVD プロセスを繰り返すことで高アスペクト比なエッチング形状を獲得できる一方で、側壁にスカロップ (Scallop) と呼ばれる側壁荒れが伴う。配線向けにはこのような側壁荒れは信頼性課題に繋がる懸念があり、高度なプロセス調整が必要となる。具体的には SF6 エッチングと C4F8 CVD を高速に切り替える方法が挙げられる。われわれは本手法以外に、SF6 と O2 を混合させたプラズマを用い、1 ステップでエッチングする方法を開発してきた。Fig. 5 は Via (Blind via hole) 側壁が平滑な “Scallop-free” エッチングの一例を示す。本手法の特長は、平滑側壁を得るだけでなく、1 ステップエッチングであるためにエッチング速度がボッシュ法に比べても速い事、テーパ角の制御性マージンが広い点が挙げられる。Fig. 6 は “Scallop-free” エッチングを用いた際のテーパ角制御の一例を示す。純テーパ角のエッチング形状は後工程の成膜工程で高いステップカバレッジを得ることができ、平滑側壁同様に配線信頼性を確保する構成技術の一旦を担う。

Fig. 5 “Scallop-free” Si DRIE

Fig. 6 Taper angle controlled by “Scallop-free” Si DRIE

3. まとめ

本寄稿では、高精度 Via (Blind via hole) 形成として、2D 実装分野からビルドアップ工程の微細化への将来技術として、デスマリア工程にプラズマエッチング技術を応用する提案、そして3D実装分野からはTSV加工の新提案として平滑側壁エッチングを1ステッププロセスで達成する“Scallop-free”エッチングをそれぞれ紹介した。今後、スマート ICT (Information and Communication Technology)”を支えるクラウドコンピューティングそしてエッジコンピューティングにおけるエレクトロニクス機器向け実装用配線技術はまだ微細化の余地があり、コスト課題と共に半導体工程ライクな微細化装置の導入検討が必要であると考え。一方でヘテロロジニアスなシステムモジュール知見も不可欠である。したがって今後は材料メカ、基板メカ、アセンブリメカ、装置製造メカなどがコラボレーションすることで、次世代デバイスを先取りした高密度実装向け配線インテグレーションを提案できる様なバリューチェーン (エコシステム) 構築が極めて重要であり、アルバックはそれに向け、この密度実装分野において広くコラボレーション協業を提起することで本機構の締めくくりとする。

謝 辞

本研究開発を進めるにあたり、味の素ファインテクノ株式会社殿にご協力いただきましたこと深く感謝いたします。

(2018.2.28- 受理)

文 献

- 1) A. Martwick and J. Drew: “Silicon Interposer and TSV Signaling,” IEEE Electronic Components & Technology Conference (ECTC), San Diego, CA, USA, 2015, p. 266
- 2) K. Oi, S. Otake, N. Shimizu, S. Watanabe, Y. Kunimoto, T. Kurihara, T. Koyama, M. Tanaka, L. Aryasomayajula, and Z. Kutlu: “Development of New 2.5D Package with Novel Integrated Organic Interposer Substrate with Ultra-fine Wiring and High Density Bumps,” IEEE Electronic Components & Technology Conference (ECTC), Orlando, FL, USA, 2014, p. 348
- 3) 佐藤宗之, 森川泰宏, 谷 典明, 米田昌弘: 「次世代高密度実装基板向けドライデスマリア技術の開発」第31回エレクトロニクス実装学会 春季講演大会 慶應義塾大学, 2017, 8B1-2, 329
- 4) Y. Morikawa, T. Murayama, Y. Nakamuta, T. Sakuishi, A. Suzuki, and K. Suu: “Total Cost Effective Scallop Free Si Etching for 2.5D & 3D TSV Fabrication Technologies in 300 mm Wafer,” IEEE Electronic Components & Technology Conference (ECTC), Las Vegas, NV USA, 2013, p. 605
- 5) Y. Morikawa, M. Sato, Y. Sakao, T. Fujinaga, N. Tani, and K. Saito: “Fabrication of Ultra-Fine Vias in Low CTE Build-up Films Using a Novel Dry Etching Technology,” IEEE Electronic Components & Technology Conference, San Diego, CA, 2015, p. 1494
- 6) 森川泰宏: “高密度配線板形成のための微細加工技術,” エレクトロニクス実装学会誌, Vol. 20, No. 4, pp. 185–191, 2017

著者紹介

森川泰宏 (もりかわ やすひろ)
所属: グローバル市場・技術戦略室 兼、半導体電子技術研究所 第3研究部 第1研究室 室長
1997年東洋大学大学院工学研究科卒業。同年、日本真空技術株式会社 (現 株式会社アルバック) に入社。磁気中性線放電 (NLD) プラズマの装置および微細加工プロセスの開発に従事。2003年東京大学 大学院工学研究科より、博士号 (工学) 取得。以降、光通信・MEMS 向け深掘りエッチングの装置およびプロセス開発に従事。その後、実装工程関連全般のプロセス装置開発を担当。現在に至る。

佐藤宗之 (さとう むねゆき)
所属: 半導体電子技術研究所 第3研究部 第1研究室
テーマ: パネル基板実装向けエッチング装置およびアッシング装置の開発

村山貴英 (むらやま たかひで)
所属: 半導体電子技術研究所 第3研究部 第1研究室
テーマ: IoT デバイス向けエッチング装置の開発およびアッシング装置の開発

作石敏幸 (さくいし としゆき)
所属: 半導体電子技術研究所 第3研究部 第1研究室
テーマ: 3D-IC 実装向けエッチング装置の開発

藤長徹志 (ふじなが てつし)
所属: 半導体電子技術研究所 第4研究部 第2研究室 室長
テーマ: ウエーハ・パネル基板実装向けスパッタリング装置の開発