半導体産業とシステムデザイン・インテグレーションの重要性 —先端微細化・3次元化と実装技術の統合化に関する一考察—

岡本 和也*, 佐藤 了平**

Trends and Future Prospects on System-Design Integration based on Hyper-Miniaturization,
3D-Integration and Advanced Packaging

Kazuya OKAMOTO* and Ryohei SATO**

* 山口大学大学院技術経営研究科 (〒 755-8611 山口県宇部市常盤台 2-16-1)

** 大阪大学産学共創本部 (〒 565-0089 大阪府吹田市山田丘 2-1)

* Graduate School of Technology and Innovation Management, Yamaguchi University (2-16-1, Tokiwadai, Ube, Yamaguchi 755-8611)

** Co-Creation Bureau, Osaka University Office for Industry-University Co-Creation (2-1, Yamadaoka, Suita, Osaka 565-0089)

1. はじめに

本総説においては、まず半導体産業の現状を他の産業と比較しながら俯瞰し、複雑化する半導体の設計製造を一元化するシステムデザイン手法を提起する。次に、そこで導かれた微細化の重要性とそれと共存する3次元半導体(3D-IC)製造の鍵となる2つの技術、すなわち高精度ウエハレベル積層技術と高速検査技術に焦点をあて、先端実装技術との関連性について考察し、最後に日本の将来像を考える。

2. 微細化を主軸とした半導体産業

1965年春、当時フェアチャイルドのゴードン・ムーアはコンピュータ用チップのトランジスタ数(当時60個)が毎年倍増していることに気づいた。この傾向が続くと、1975年には6.5万個/チップに達し数学者の計算能力を上回り、いずれ家庭用コンピュータ、携帯通信機器、自動運転車などを実現できるかもしれないと予測し、学術誌Electronicsに発表した¹⁾。経験関数則であるムーアの法則の誕生である。それから半世紀以上にわたりこの傾向が続き、同様に時代も収穫加速の法則に沿って進化を遂げてきた²⁾。10年後には人のニューロン数に匹敵する1,000億個/チップの時代が到来することも予測できる。これをもたらし第一の鍵は光リソグラフィの革新である。28 nm以下の半導体パターンの超微細化が進み、2018年現在、設計ルール(Logic Industry “Node Range” Labeling) 1.0 nm (2033年)のトランジスタの議論がされている(ただし、当該トランジスタの物理ゲート長は12 nmである)³⁾。微細化の指導原理である“デナードのスケールリング則”⁴⁾をベースに進展してきた半導体技術は、微細化効果の限界とその経済性を中心に岐路に立っている。微細化を支援しかつ高付加価値を与える理想系の一つが、Si貫通電極(TSV: Through Si Via)を用いたウエハレベル3D-IC、さらにはシリコンフォトリソ、そして超高密度実装技術までを最適化した一体系と考えられる。一方では、対象となる商品コンセプトから半導

体仕様、設計・製造・評価までをシステムとして、一連の最適統合設計環境を構築することも重要である^{5),6)}。ITRS (International Technology Roadmap of Semiconductors)[†]がその本質的な価値を失い終焉を迎えた今、最上位にApplicationを据えたIRDS (International Roadmap for Devices and Systems)³⁾が公表された。また、ベルギーのIMECは微細化製造コストと歩留り向上を設計側から支援したDTCO (Design Technology Co-Optimization)、それに加え実装を含むICのさまざまな因子を包括的に考慮したSTCO (System-Technology Co-Optimization)として、上記と類似のコンセプトを提言している。これに呼応し半導体においては、その価値指標としてPPAC (Performance, Power, Area, Cost)が議論されている。

半導体産業はIDM(垂直統合型)からFabless・Foundryの分業へ構造が進化し、PCからSmart Phone/Tablet、現在はIoT (Internet of Things)/AI (Artificial Intelligence)、そしてPost-AIの議論が進み市場はパラダイムシフトが生じている。事実、米IC Insightsによると2015年の半導体産業のM&A総額は1,073億米ドル、2016年も同998億米ドルに至り、産業そのものが大きく変化している。すでに、IoTは常態化しつつあり、2020年に500億以上のモノがつながるに世界に向かい、AIもさまざまな分野への導入が加速している。1980年代半ばに世界を席巻した日本半導体は現在、存亡の窮地にあるとされるものの、CIS (CMOS Image Sensor)、車載用高度半導体、NANDフラッシュメモリなどの高付加価値を有するデバイス分野は、日本企業独自の設計製造手法を構築し健在である。また、露光装置・成膜装置・検査計測装置などの半導体装置、Siウエハ、レジストを中心とした半導体材料など高度な暗黙知をベースとした摺合せ技術分野も世界市場の重要な位置にある。技術高度の証として、基幹をなす最先端半導体露光装置のシステム設計裕度はÅ (Sub-nm)レベルにあり、まさに人類史上究極の技術とされる。市場は大きく遅延しているものの将来は450 mmに向かう大口径Siウエハ市場も、SFQRなどの精

度を担保する日本が首位、次世代材料とされる DSA (Directed Self-Assembly: 自己組織化) も国内技術が創出の原点とされる。

半導体市場は、SEMI (Semiconductor Equipment and Materials International) によると 2017 年に初めて 400B 米ドル (～44 兆円) を超えた。その主体はメモリである。半導体装置は 57B 米ドル (～6.3 兆円)、半導体材料も 50B 米ドル (～5.5 兆円) を超えまさに活況である。IoT の進化による半導体チップの必然性は特にメモリが主体となるが、明らかに需給バランスを失っている。データセンター用サーバーも 3D-NAND フラッシュ化が進んでおり、省エネ化という新たな付加価値により大きな展開に至り、そのための製造装置は長納期という事態にある。実装分野においても市場が拡大している。Yole Developpment などによれば、OSAT (Outsourced Semiconductor Assembly and Test) の市場拡大は年平均成長率 (CAGR: Compound Annual Growth Rate) 4～4.5% (2016～2022) であり、その市場は 2022 年には 35B 米ドル (～3.9 兆円) を超え、同分野においても M&A が加速している。その牽引となっている対象の一つが、FOWLP (Fan-Out Wafer Level Package)[†] である。このトリガーは 2016 年の iPhone7 用 A10 チップ (Apple/TSMC の連携) にあり、BOL (Back of Line) の OSAT でなく FEOL (Front End of Line: 前工程)・BEOL (Back End of Line: 多層配線工程) の雄である TSMC が主軸の一つにあることが特徴的である。筆者らの研究においても、WLP に関わる国際特許分類 (IPC 識別子: H01L023 群など) に関し、同社の特許出願数は Top クラスにある。今後は、さらに大型の FOPLP (Fan-Out Panel Level Package) への展開も期待され、ここには縮小投影型露光装置 (ステッパー) や CMP 装置といった FEOL 装置が BOL 装置として展開している。このことは装置出荷数の産業統計からも観察されており⁷⁾、今後は FEOL・BEOL・BOL の融合化がさらに加速してゆくものと予想される。

さて、市場要求から高値であったメモリは 2017 年末から下降気味であり、それらの技術が利益として日本企業にもたらされることは必ずしも高いとはいえない。高度な技術を持ちながら、日本の半導体産業が縮小しているこの事実こそ問題の本質が潜在しており、それらの一端と対応策を以下に挙げてみる。

- (1) 半導体の進化は、コンピュータ・ネットワークの発展に依存している。システムが半導体に何を求めているのか、そして社会がコンピュータシステムに何を求めているのかを理解し、半導体をデザインする力が必要であること、
- (2) ムーアの法則という経験関数則およびデナードのスケールン法則という指導原理を改めて理解し、オープンイノベーションをリードできるようにすること、
- (3) 指数関数的に進化する技術・システムが、次世代の

技術・システムを短期間に実現するという“収穫加速の法則”に基づくビジネスモデルを構築すること、

- (4) そのために、物理・経済モデルに共通する項目をモジュール化したデジタル的なプラットフォーム (基盤) を形成し、生産性を大幅に向上させること、かつノウハウに相当する各種暗黙知のあり方にも留意すること、
- (5) これらを踏まえたシステムの最適解を導出すること、特に、システムデザインとその手法の進化、およびこれらに基づく新しいイノベーション教育システムが必須であること。

これらの本質に基づけば、直近のトレンドである 7～5 nm 世代以降の半導体の進化の方向性としては、微細化を中心とした古典的な指導原理から、収穫加速をもたらす新しい指導原理を見出すことが第一である。そして、超スマート社会形成 (Beyond Smart) というニーズを実現していく半導体システム、そしてそれを創造するプラットフォームの形成と高度なシステムデザインにより、単なる部品からポスト・ヒューマン的なシステムに昇華させ、未来社会創造に発展させていくことが重要となろう。

3. 製造業変遷の現状

1961 年に予想された「100 年後の未来の東京 (2061)」を紐解くと、当時は如何にハードウェア (ハード) 思考であったかがわかる。60 年近く経た現在、注目されている機械学習、およびそれに包含される深層学習のような概念は当時はほとんどなかった。現在、スマートフォンやウェアラブルデバイスなどを見ても、美しく軽薄短小かつハードだけでなくソフトウェア (ソフト)、そしてサービスを含むシステムとしてのプラットフォームが産業の中心になっている。

ここで世界の製造業の各分野を代表する企業の研究開発および設備投資の効率性を捉えてみる。図 1 には、製造業の各分野 (家電・空調、情報通信機器、コンピュータ、電子部品、重電・産業機械、建設・産業機械、自動車、自動車部品、航空・宇宙、造船などの機械産業) の売上上位 5 社を抽出した 2005 年から 2010 年までの推移をプロットし、各効率を 5 年間の営業利益差 / (研究開発費差および減価償却費差) として定義し計算した結果を付図する。いずれの効率も日本は極めて低水準であることがわかる。特にアメリカ製造業においては、設備投資を活かした規模の経済の抑制を意図しており、ハードからソフト・サービスへの転換を図っていることがわかる。この傾向は現在においても継続しているものと推測され、IoT 時代においてはメモリが活性であっても、作れば売れる時代の永続性には疑問符がつく。それは、中国の「国家 IC 産業発展推進ガイドライン」において 2020 年に半導体の総販売量を 14 兆円規模に拡大させる目標 (総市場の～30% に相当) にも依拠す

Source: 日本機械輸出組合「日米欧機械産業の国際競争力分析」, 2011年

図 1. 投資と営業利益との関係

る。このままハードよりの半導体投資を継続させていくべきかの考察が求められる一方、交易条件指数からも一定の示唆がえられる。交易条件指数とは国際貿易における商品の交換比率を一定の輸出品と交換して得られる輸入品の単位数を示し、輸出物価指数を輸入物価指数で割った数値で示される。これを国際比較した結果をみると、欧米では輸出・輸入物価が連動した推移をしているのに対し（2000年から2007年で交易条件指数～1.0）、日本は同指数～0.7まで低下しており、円安や資源価格の高騰による輸入物価の上昇を輸出物価に還元できなかったことを示している⁸⁾。これは日本の付加価値創出の低さを物語っている。実は、アジア圏全体が同様の傾向にあり、これは「ものをつくって売る」時代は終わり、IoT世界に向けてサービス・コンサルタント産業との融合一体化を図る新しい分野の重要性を意味している。しかしながら一方では、精密機器を主体とする高度なハードや製造における暗黙知が優先される材料分野の参入障壁は高いことも事実である。つまり、日本はどのように進化してゆくべきであるかが真に問われる時期にあり、ハード・ソフト・サービスの協調・共創が鍵となることは自明であるが、その具体論は進行中である。

このことに関し、米Appleはハード・ソフトの適正なシステム化を行い、大きな価値を創出できる例を示している。ここでは、組込みソフトウェアによるセット価値向上から始まり、コンテンツの管理運用によるセットへのロックイン、同時にアプリ市場開拓・運営によるセットへのロックインとソフト主導の囲い込み戦略を展開している。今後のハードと協調したグローバルソフト開発時代の日本の役割として、次の2点が提言できる。それは、

- (1) 孤高の高度技術ではなく、世界標準と経済合理性を兼ねた価値創出の両立を狙うこと、
- (2) 「セット（部品）」から「ソリューション（解）」、そ

して「オペレーション（実行）」へ展開すること、である。結果として、現在の日本のガラパゴス的状况から脱し、世界標準に近い装置・材料が世界に数多く流通し、社会に貢献していくものと期待される。

もう一つ議論すべきことは、世界標準に向けての日本独自のプラットフォーム創成において、その本質的な付加価値を世の中の流れ（ヒト、モノ、カネ、そしてエネルギー）から、「コト」として定量的に試算し実施してゆくべきことである。特に、高コストな7～5nm世代以降の半導体産業において、未だ株主至上主義・利益を使命とする企業にとって、その根幹となるのが新しい技術経営論にある。ここでは、事業化への流れにおける、従来の“死の谷(Death Valley)”や“キャズム(Chasm)”を当然な事象と捉えるのではなく、それが存在しえない、極めて効率的なプラットフォーム創成から設計・製造（ものづくり）、販売流通までを一貫した、いわゆる“新しいコトづくり”が重要であり、IoT社会・第四次産業革命実現の鍵といえよう。

以上、国際的な視点から半導体産業を他の産業と比較して俯瞰した。続けて本総説では、広く製造業の変遷から半導体をシステムとして捉えた価値の定量化を可能とするシステムデザイン手法と、微細化と共存するTSV-3D化について解説する。

4. システムデザイン・インテグレーションと次世代スマートフォン用3次元半導体の適正設計

半導体はさまざまな機能・要素が有機的に組み合わせられた一つの“システム”である。多様なトレードオフを含む複雑なシステムの適正設計には、システムデザインが重要である。ここでは、システム全体の考慮、効率的な設計・評価、システム価値の最大化、の3つの要素が鍵となる。筆者らは“新しいコトづくり”の基幹をなす半導体をシス

図2. システムデザインフローとSDSI-Cubic手法

テムとして捉え、システムデザインに必要なさまざまな手法を組み込んだ手法としてSDSI (System Design and System Integration) 手法を提起した⁹⁾。システムLSIに加え、MPUおよび先述のCISにおいても回路の大規模・複雑化により、適正なシステムデザインを行うことが難しくなっている。その一方で、製品サイクルの短期間化により、設計期間の大幅な短縮を可能とする革新的な手法も求められている。ここでは、推定した理想構成の範囲においてシステム全体のパラメトリックなモデリング、重要設計項目の抽出と相反問題を考慮した最適化ワークフローを作成し最適解を自動で求め、適正設計を行うシステムデザイン手法SDSI-Cubicの検討を行った。さらに、自動実行のためのアルゴリズムの考案と連携ソフトウェア群を作成し、その設計手法を構築した。本手法をシステムLSIの構想設計段階に適用した結果、重要設計項目である性能、消費電力、コストの相反問題を考慮した適正設計を行い、本手法の適用性を明らかにした。ここで提起する手法の本質は、理想構成の推定後、各設計ドメインに分けたモデリングを行わずに、システム全体のモデリングから最適解を求めることにある。そのため、次の5つからなる構成要素を連携させたアルゴリズムを考案し、システムデザインを行った。

図2には、システム全体の設計フローと本SDSI-Cubic手法との関係を示す。(1)システム全体を定義したSysMLファイルから、設計項目を抽出した設計タスクファイル(第2面)を用い、(2)重要度や相反性を考慮し手戻りが最も少なくなるように、設計順序を決定した設計ワークフローのファイル(第4面)を求める、(3)その一方で設計タスクファイル(第2面)を用い、各設計タスク内の関係をパラメトリックに取り扱えるようにしたファイル(第3面)を作成する、(4)その後、第4面と第3面で作成されたファイルをもとに最適化を実行するファイル(第5面)を作成し、(5)最適解が求められるように連携させる。以上の6面

から構成されるモデルベースの自動最適化手法がSDSI-Cubic手法である。この手法を用いてシステムデザインを行うために重要となるのが、パラメトリックモデルの構築である。

ここでは、次世代(3G→4G移行期)スマートフォン用システムLSIのパラメトリックな物理モデルに関して、対象としたLSIの構造と評価関数、設計変数、評価関数を導出するための制約式の一部について述べる。まず、構造に関しては、システムLSIの主要構成要素としてロジック、メインメモリ、キャッシュメモリ、といった機能ブロックを考慮し、これらを二次元に配置したSoC(System-on-a-Chip)と、さらにこれを三次元化するために必要となる、I/O部、インターポーザ部を追加し三次元化した3D-ICを想定した。構造を図3に示す。システムLSIの市場の要求は、通信速度の向上に従うための性能の向上(Performance)と稼働時間を考慮した低消費電力(Power Consumption)、さらにコスト(Cost)の3つが主因子となる。これは第2章で述べたPPACとも符合している。それをもとにした評価関数SDSI-Cを式(1)に示す。

$$SDSI-C = \frac{Performance(GIPS)}{Cost(\$) \times Power\ Consumption(W)} \quad (1)$$

設計変数に関しては、半導体のコストパフォーマンスに最

表 1. 設計変数

設計変数	
メモリチップ分割数	1, 2, 4, 8, 16, 32
信号 I/O ピン数	64, 128, 256, 512, 1,024, 2,048
テクノロジーノード	45, 65, 90 nm

表 2. 設計仕様

設計仕様	
ゲート数	20 M
キャッシュメモリ容量	2 MB
メモリ容量	1.25 GB

図 4. SDSI-C から見る適性解

も影響する。世代(Node)と 3D-IC 化に伴い追加された機能である、信号ピン数、メモリチップ分割数の 3 つを重要設計項目と判断し決定した。表 1, 2 に、設計変数と仕様の一部を示す。式 (2) にコストを導出するための制約式の一例を示す。

$$C_{Die, L} = CoO(k, W_{Cut, L}, S_L, D_{Defect, L}) \times N_{Mask, L} + C_{Mask} / V_{Product} + C_{Design} / V_{Product} \quad (2)$$

ここで、 $C_{Die, L}$: ロジックチップコスト、 k : 世代 (nm)、 $W_{Cut, L}$: ロジックチップ切りシロ (mm)、 S_L : ロジックチップ面積、 $D_{Defect, L}$: ロジックチップ欠陥密度 (Defects/cm²)、 $N_{Mask, L}$: ロジックマスク枚数、 C_{Mask} : マスクコスト、 $V_{Product}$: 製造数、 C_{Design} : 設計コストである。 CoO (Cost of Ownership) においては、装置ライフサイクルを考えた総合コストを定義した SEMI-E35 を適用した。このように構築したパラメトリックな物理モデルをもとに、SDSI-Cubic 手法を用い最適化を行った結果を図 4 に示す。結果として、物理モデルを考慮した適正構成は、世代が 45 nm の先端ノード、メモリチップ分割数が 8 の 3D 化、信号ピン数が 256 の場合であり、この時の性能は 8.2GIPS、消費電力は 0.86 W、コストは 8.6 米ドルである。IC を始めとする製品システムにおいては、製造ラインの導入コストやタクトタ

イムといった製造的評価や市場のニーズによる販売価格、販売個数などの市場的評価を含め適正化を行う必要がある。筆者らは累計損益シミュレーションソフトウェアを上記、SDSI-Cubic 手法に組み込むことで、物理モデルと経済モデルの双方を含んだ事業の適正解の導出を行える手法も構築中にある¹⁰⁾。各種仮定と計算パラメータの適正化は必要であるが、7~5 nm 世代に向かっている現在においても、この SDSI-Cubic の考え方は適用可能であると考えられる。結論として、微細化の技術を極限まで高歩留り化しつつ 3D-IC 適用の有効性を確認した。

以上をもとに、先端微細化の現状をレビューし、3 次元化におけるさまざまな重要因子において鍵となる、高精度ウエハ積層技術と TSV の量産向け高速検査技術の 2 点について解説する。

5. 先端微細化の現状と課題

半導体微細化のトリガーであるリソグラフィも S 字成長曲線に沿って世代が変わり進化してきた。ボーズ粒子である光子を利用した光リソグラフィの進化はフェルミ粒子である電子を応用した荷電粒子系リソグラフィと異なり、クーロン相互作用の影響もなくその原理容易性から確立された技術である。その解像力 (Resolution) は接近した 2 点を結像させた場合、2 つの像として認識できる限界 (レイリール限界) を示す式 (3) から導出される。

$$Resolution = k_1 \frac{\lambda}{NA} \quad (3)$$

ここで、 k_1 : プロセス係数、 λ : 露光光源の波長、 NA (Numerical Aperture) : 結像レンズの開口径である。つまりは、このシンプルな解像式に沿って、露光装置およびそのプロセスは短波長化、大 NA 化、 k_1 の縮小化の開発指針がえられ、ロードマップも容易に描くことができ延伸した。周辺技術であるフォトマスクやフォトレジストなどは ITRS が敷かれた瞬間に産業のベクトルは整い、一気にインフラが整う。デナードのスケリング則によれば本来は電源電圧 V_{dd} も比例縮小されるべきであるが、 V_{th} (トランジスタの閾値電圧) の不安定性から現実的に先端 SRAM の V_{dd} は ~0.6 V (ISSCC2018) に限定される。それでも、先端チップの市場魅力が優位に立ち、Intel 創発のムーアの法則の延命により産業ベクトルは整い微細化は進化した。しかしながら、ITRS のノード 90 nm 近傍から状況は変化した。フォトマスクパターンを 1/4 縮小投影に忠実に露光するという装置技術に、新たに DFM (Design for Manufacturing) や OPC (Optical Proximity Correction) などの EDA (Electronic Design Automation) を含む設計製造とのリンクが始まり、露光機自身もレチクルを投影する光源光学系の最適化を含む SMO (Source Mask Optimization) に展開、さらには波長 193 nm において純水の屈折率 n は 1.44 であることから $NA (= n \sin \theta) = 1$ の壁を越えた液浸露光技術が開発され、その複雑性は加

図 5. 露光装置の解像仕様とデバイストレンド

速した。筆者らは 90 nm までを“苦勞なく Moore”，90 nm 以降の微細化を“苦勞して Moore”と呼んでいる。この背景において、露光技術をシステムとしてプラットフォーム化した蘭 ASML が市場独占化に至っている。事実、当該分野の市場の集中度を測る指標・ハーフィンダール・ハーシュマン指数 HHI (Herfindahl-Hirschman Index) は 6,000 を超える高位寡占状況にあり、市場の Top 交代および新規参入は極めて難しい。

さて、露光装置の解像仕様および露光方式を半導体デバイスのトレンドとともに図 5 に示す¹¹⁾。いわゆるステッパー（縮小投影型露光装置）は GCA が開発し、ニコンが 1981 年に本格量産に対応した装置を開発・出荷し世界を席卷、その後、スリット像を投影露光するスキャナー方式へシステムが変更するが、光学はレイリーの式に沿って進化してきた。また、2008 年以降、露光装置単体の解像性能は 38 nm で仕様は凍結している。これは経済性を含む装置の結像性能の限界を示し、SADP (Self-Aligned Double Patterning) などのプロセスを用いた多重露光への展開を物語っている。多重露光方式により $k_1 = 0.25$ の理論限界を事実上超えることが可能となり、光リソグラフィは延命化した。事実、装置価格が 125M 米ドル（～140 億円）と想定される波長 13.5 nm の真空系露光装置 EUVL (Extreme Ultra-Violet Lithography) やマルチビーム方式電子線露光装置・MAPPER などの超先端技術はなくとも微細化は継続され、現在に至っている。なお、前者は 2018 年 7 月時点で 36 nm 周期 (P36) において、未だに Stochastic 効果によるパターン欠陥問題が顕在化している¹²⁾。

6. 3 次元積層化の現状

TSV を用いた 3D-IC は常態化しつつある。ソニーは独自のウエハレベル積層技術を生かし従来の BSI (Back-Illuminated Sensor) を発展させた画素並列型 3D-CIS を発表¹³⁾、HBM2

(High-Band Width Memory の第 2 世代) も AMD の Radeon Vega や NVIDIA の GPU などに採用されており、広義の意味では 3D-NAND フラッシュもこの分野に該当する。将来は Monolithic-3DIC などへ展開するであろうが、まずは 4 章で示した 3D-IC においてロジックの 3D 化を含む 3D-SoC が近い将来のターゲットとなりえる。この重要性はグローバル配線長の短縮化にあり、ここでムーアの法則と同様な経験関数則としてレントの法則がある¹⁴⁾。同法則はモジュール端子数の平均値とそのモジュール内の論理ゲート数の平均値に関係性があることから見出され、ゲート数が増大つまりトランジスタ微細化の延伸に伴い、半導体チップ内の配線長の平均値も増加するとの推論に帰結する。実際には、アーキテクチャの最適化により一部は改善されるものの、大規模 LSI ではレントの法則がいまだに成立していると思われる。3D-IC 化により、グローバル配線層、さらには中間配線層の短縮化が可能となり、リピーター回路の投入数も低減でき消費電力が低減される¹⁵⁾。この場合、グローバル配線幅にそって 0.5～1.0 μm のアライメント精度が要求され (ITRS2013)、実際には 0.25 μm 以下の高精度化が要求されているのが実情である。上述の 3D-IC の設計・製造のエコシステムにおいては、従来の設計および製造プロセス工程に加えさまざまな新たな付加工程が存在する。本総説においてその鍵は、1) 量産に対応した高精度かつ安定なウエハレベル接合技術、および 2) TSV の高精度かつ高速な検査技術、の 2 点と判断した。ここでは、これまで国内企業との連携により開発され、論文発表された内容を中心に解説する。

6.1 高精度ウエハ積層技術

まず、ウエハレベル積層後の歩留りについて、積層されるウエハ数 n の累乗に比例して歩留りが劣化するという考え、つまり、離散確率分布を示す Poisson 分布に基づく積層計算は半ば誤りである。一般に、IC プロセスで生ずる総

図 6. 積層数とウエハ歩留りとの関係

図 7. 3D 積層装置におけるアライメントシステム

合歩留り Y_{DIE} は式 (4) で示される。

$$Y_{DIE} = Y_S * Y_R = Y_S * \left(\frac{1}{1 + \frac{AD_0}{\alpha}} \right)^{\alpha} \quad (4)$$

ここで、 Y_S はシステムティック起因の歩留り、 Y_R はランダムな欠陥起因の歩留りである。 A はチップの面積、 D_0 は欠陥密度、 α はクラスタ係数である。現在の IC プロセスにおいては、液浸露光技術および CMP 技術 (Chemical Mechanical Planarization) によるウエハベベル部での歩留り劣化が大半であり (図 6 に付図)、このシステムティック起因な部分は積層による歩留り劣化には影響しない。つまり、積層後の歩留り $(Y_{DIE})^n$ はランダム成分だけに累乗をかけた下式 (5) で示される。

$$(Y_{DIE})^n = Y_S * (Y_R)^n = Y_S * \left(\frac{1}{1 + \frac{AD_0}{\alpha}} \right)^{\alpha \cdot n} \quad (5)$$

ここで、前述の ITRS2009 で開示された各パラメータの数値、および筆者らが有する最新情報をもとに計算した、DRAM についての積層数と歩留りとの関係を図 6 に示す。(5) 式に基づくと、最新の情報では 4 層積層においても、大幅な歩留り劣化はない。また、微細化を中心とする高度なプロセスは逐次、歩留りが改善するのは必然的なことである。つまり、ウエハ積層技術において装置およびそのシステムにおいてなすべきことは、積層前の各ウエハの歩留りを損なうことなく、高精度かつ高速に接合することにある。

ここで対象とするウエハは多層配線微細 Cu パンプを有する 300 mm ウエハと想定する。この場合、縮小投影露光装置をベースにした高精度アライメント技術に加え、新たに、2 つのウエハの接触時制御技術および真空加熱加圧を用いた固相拡散型ウエハ積層技術などが求められる¹⁶⁾。ここで解説するウエハ接合システムは、(1) CMOS ウエハ歪を平坦に矯正する保持システム (WH: Wafer Holder)、(2) 多軸干渉計による in-situ モニターを搭載したアライメント制御システム、(3) 高精度な真空加熱加圧システム、の 3 要素

図 8. アライメントシステムの信号応答

からなる。特に、高精度アライメントがさまざまなプロセスに対応する次世代 3D 積層技術の要となる。その基本構成を図 7 に示す。WH による反り矯正後もウエハ面内で歪を有しているため、多点計測によりグローバルな歪を考慮したウエハの座標系を算出することが重要となる。まず、上下各ステージに配置された光学顕微鏡にて、対向する上下の各ウエハ上に配置された複数のアライメントマーク座標を取得する。それをもとに上下ウエハそれぞれのウエハ座標系を算出し、上ウエハに対する下ウエハの相対座標を求め、仮合せを行うステージ座標を決定する。理想的には、装置上でのウエハ座標は式 (6) で表現される。ここで、 (x_e, y_e) はウエハマークの設計座標、 (x_m, y_m) は実際のマークの計測座標、 T_x, T_y, θ はステージに設置されたウエハの姿勢を表す X, Y シフトと回転である。この式に、ウエハ面内で多点計測した結果を最小二乗法でフィッティングし、ウエハ座標系を決定する。

$$\begin{pmatrix} x_e \\ y_e \end{pmatrix} = \begin{pmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{pmatrix} \begin{pmatrix} x_m \\ y_m \end{pmatrix} + \begin{pmatrix} T_x \\ T_y \end{pmatrix} \quad (6)$$

多点計測によるウエハ座標系算出処理を行い、上下ウエハ同士がウエハ面内全域で最適な仮合せ座標を得ることができる。上下ウエハを仮合わせる際のステージ制御においては、ウエハ同士の接触による位置ずれや片当たりによる Low- k 材破壊などのウエハダメージを抑える制御も重要となる。そのため、仮合せ動作中のステージ位置や接触荷重を常にモニターしながら、精密に制御する機構系が必要となる。ここでは、「nm オーダーの位置制御」と「5 N (～500 gf) 以下の極低圧の接触力制御」を適用し、ウエハダメージを抑えつつ高精度なアライメントおよび仮合せ制御を行った際の接合時の動的挙動（位置と力の時間軸制御）を

図 9. AMI 光学系

図 8 に示す。面内 3 つのロードセルにより計測された加圧 5 N までのシーケンスにおいて、干渉計データからは上下ステージとも何ら変位が生じていないことがわかる。さらに、理論的に最適化された真空加熱加圧系制御ユニット¹⁷⁾による永久接合後、300 mm ウエハにおいて Cu パンプ間の接合精度 250 nm (平均値 + 3σ) 未満を確認し (図 8 の上部に SEM 断面図を示す)、オフセット分除去により接合精度 110 nm 以下の可能性を見出している。これまでの技術資産を有効に生かしたウエハレベル積層技術はここまで進化している。

6.2 量産対応 TSV アレイ検査装置

TSV アレイ検査システムを製造工程の一工程として位置付ける場合、その処理能力と検出精度が鍵となる。ここでは、高次回折光を検出可能とする従来の可視光 AMI (Auto-Macro Inspection) の光源を NIR (近赤外) 光と共存させることで、300 mm TSV アレイウエハの上面および内部を一括観察可能な技術の特徴とする¹⁸⁾。図 9 には装置光学系、表

3には検査装置の一覧を示す。本検査装置の特徴は、1) 高感度：形状変化に高い感度を有する回折光の利用、2) 高速性：ウエハ全面一括キャプチャによる高スループット（～150 wph）、3) 高深度：近赤外光（NIR）を用いた TSV 深部の検査、4) 拡張性：ウエハ裏面からの回折光検査が可能、にある。技術的には、式 (7) の回折方程式に沿って繰り返しパターンによる高次回折光を検出可能なようにウエハステージを精密にチルトし、かつテレセントリック光学系による 300 mm ウエハを全面一括検査可能とする。

$$d(\sin \beta - \sin \alpha) = m\lambda \quad (7)$$

ここで d ：TSV パターンピッチ、 α ：入射角、 β ：出射角、 m ：回折次数、 λ ：波長である

また、新たに NIR 光源を使用したため、TSV 特有の深堀形状を捉えられること、ウエハ裏面からの検査も可能であり、金属配線後のプロセスへの適用も可能である。図 10 には TSV 径 5 μm 、深さ 50 μm のアレイウエハの検査結果を示す。可視光（波長：546 nm）では得られなかった回折パターンが NIR 光（波長：1,100 nm）で観察されており、これは深堀エッチング時の DRIE プラズマ密度の偏心に由来

した深部変化を捉えている。さらに、その深堀形状の不均一性を NIR 回折光の濃淡としても捉えている。

次に、微細 TSV 径の検出可能性について、理論解析と実験検証を行った結果を示す。ここでは、グレーティングの回折効率解析に適用される厳密結合波理論 (RCWA: Rigorous Coupled-Wave Analysis) を用いた。形状変化タイプ 1 つにつき、56 個の解析結果（上面入射、もしくは下面入射、入射角度、回折次数など）が得られ、形状変化の検出に最適な条件を見出した。図 11 に解析の基本構造と解析結果を示す。この最適条件において、回折強度と形状変化（TSV 径の変化、TSV 底径の変化）の間にほぼ直線的な関係があることがわかる。次に、本結果を実験的に検証した結果を図

表 3. 各種検査装置の概要

	本技術	既存技術			
	TSV アレイマクロ検査技術	白色干渉、コンフォーカル	X 線 CT	SEM	IR 顕微鏡
目的	検査/測定	測定	検査	測定	観察
狙い	3次元形状不均一性	深さ	3次元形状	形状	3次元形状
処理能力	150wph* (Front side)	～1 s/FOV**	～10 min/piece	手動操作	手動操作
検出分解能 (感度)	0.01 μm (1% of 1 μm) 穴径変化	～0.1 μm	～0.1 μm	～0.01 μm	～0.1 μm

*wph: Wafer per Hour

**FOV: Field of View

図 10. AMI による TSV マクロ検査結果（可視光と近赤外光）

図 11. TSV マクロ検査における RCWA 解析結果

図 12. TSV マクロ検査における RCWA 解析値と実験値との相関性

12 に示す。ここでは、TSV 径 0.9–1.3 μm 、深さ 1 μm のテストウェハを作成し、CD-SEM にて TSV 径測定を行った。理論解析結果と実験結果を照合した結果、図 12 に示すように半定量的な一致をみており、実測結果の線形近似より、TSV 径感度 ~ 10 nm (GrayValue2 階調値に相当) を得、基準値からの変動の観察により工程検査装置として適用が可能であることを見出した。今後は、高次回折光情報、偏光特性情報など、さまざまな情報から非破壊の TSV 測定装置として期待される。

7. おわりに

国内製造業が抱える問題点と半導体市場の動向を概観した。さらに、日本のあるべき姿として、収穫加速をもたらす新しい指導原理の創成、システムデザイン・インテグレーションの考え方を提起した。最新の特許調査において、実装のトレンドである FOWLP 分野において最も出願数の多い機関は TSMC であり (2018 年 7 月現在の筆者らの研究において)、FEOL、BEOL、BOL の各工程が融合しながら最適化を狙う動きが顕在化している。

本総説では、微細化を延伸するうえで重要な 3D-IC の意義を示し、その鍵となるウェハ積層技術およびその検査技術について解説した。孤高のイノベーション技術の創成は終焉を迎えている。設計・製造に複雑性を極めた半導体という事象に対し、それをシステムとして捉え、全体を統合最適化する考え方とその方法論が重要である。これが日本として将来の半導体産業の国際競争力を高めるために、必要かつ差異化できる分野であると思われる。

今後の大きな課題は、これまで人類が経験したことのない歴史上の大転換、シンギュラリティの可能性を意識して理想的な未来社会をデザインし、それを実現するための収穫加速な科学技術とシステムの理解と統合・実装・プラットフォーム化である。そして、その鍵となる理想的な半導体・コンピュータ・IoT・ブロックチェーン、などを用いた全てのシステムをスマートデザインするアーキテクチャの構築が必須である。特に、本総説で紹介した物理・経済原理に基づくパラメトリックモデルとデータドリブンな解を求める AI モデルとを融合し、全ての問題に対してスマー

トデザインを可能とする手法の実現・実装が重要である。単なる半導体からシステムの価値最大化を行う半導体をデザインする能力こそが日本としての鍵の一つと考える。

謝 辞

本総説の執筆にあたり、論文共著者各位に感謝の意を表します。

(2018.7.20- 受理)

文 献

- 1) G. Moore: "Cramming more components onto integrated circuits," Electronics, Vol. **38**, No. 8, pp. 82–85, 1965
- 2) レイ・カーツワイル: "ポスト・ヒューマン誕生," NHK 出版協会, 2007
- 3) Available : https://irds.ieee.org/images/files/pdf/2017/2017IRDS_ES.pdf
- 4) R. H. Dennard, F. Gaensslen, H.-N. Yu, L. Rideout, E. Bassous, and A. LeBlanc: "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions," IEEE J. Solid State Circuits, Vol. **SC-9**, No. 5, pp. 256–268, 1974
- 5) 岡本和也: ("招待論文) 半導体製造技術の動向とシステムインテグレーションへの展開," 電子情報通信学会論文誌, Vol. **J88-C**, No. 11, pp. 839–850, 2005
- 6) 日本学術振興会 システムデザイン・インテグレーション 第 177 委員会編: "半導体の微細化とシステムデザイン・インテグレーションへの展開," 日本学術振興会, 2010
- 7) Y. Takeno and K. Okamoto: "New Market Trend in CMP Equipment/Material for the "More than Moore" era," Proc. International Conf. Electronics Packaging (ICEP), FD3-1 (Session Invited), 2018
- 8) 小笠原敦: 日本テクノセンターセミナー資料, 2016
- 9) 村田秀則, 岩田剛治, 多屋淳志, 佐藤了平, 森永英二, 岡本和也, 工藤啓治, 青山和浩, 古賀 毅: "システムデザイン手法 SDSI-Cubic を用いたシステム LSI の適正設計," エレクトロニクス実装学会誌, Vol. **17**, No. 7, pp. 529–541, 2014
- 10) 村田秀則, 岩田剛治, 佐藤了平, 河村 憲, 多屋淳志: "三次元半導体の物理的・経済的評価を用いた適正設計," 日本機械学会第 25 回設計工学・システム部門講演会予稿集, paper 3012, 2015
- 11) S. Renwick: "Advanced Nodes with 193i Lithography," Lithography at 5 nm and Below, TechXPOT, SEMICONWEST 2018
- 12) E. Hosler: "EUV Lithography, The Next Generation," Lithography at 5 nm and Below, TechXPOT, SEMICONWEST 2018
- 13) M. Sakakibara, K. Ogawa, S. Sakai, Y. Tochigi, K. Honda, H. Kikuchi, T. Wada, Y. Kamikubo, T. Miura, M. Nakamizo, N. Jyo, R. Hayashibara, Y. Furukawa, S. Miyata, S. Yamamoto, Y. Ota,

- H. Takahashi, T. Taura, Y. Oike, K. Tatani, T. Nagano, T. Ezaki, and T. Hirayama: "A Back-Illuminated Global-Shutter CMOS Image Sensor with Pixel-Parallel 14b Subthreshold ADC," Proc. IEEE International Solid-State Circuits Conf., 5-1, 2018
- 14) H. B. Bakoglu and J. D. Meindl: "A system-level circuit model for multi- and single-chip CPUs," Proc. IEEE International Solid-State Circuits Conf., pp. 308–309, 1987
- 15) 岡本和也: "第 VII 編 将来展望, 第 24 章 半導体の微細化から 3 次元化への展開," 3 次元システムインパッケージと材料技術 (普及版), シーエムシー出版, 2012, pp. 271–294
- 16) I. Sugaya, M. Okada, H. Mitsuishi, H. Maeda, T. Shimoda, S. Izumi, H. Nakahira, and K. Okamoto: "High-Precision Wafer-Level Cu–Cu Bonding for 3-DICs," IEEE Trans. Electron. Devices, Vol. **62**, No. 12, pp. 4154–4160, 2015
- 17) 三ツ石創, 菅谷 功, 津籾高志, 中平法生, 大森 薫, 福田 稔, 岡本和也: "高精度ウエハ接合プロセスの解析支援・最適化," 第 25 回マイクロエレクトロニクスシンポジウム, paper 2D2.3., 2015
- 18) Y. Fujimori, T. Tsuto, H. Tsukamoto, K. Okamoto, and K. Suwa: "Macroinspection methodology for through silicon via array in three dimensional integrated circuit," J. Micro/Nanolith. MEMS MOEMS, Vol. **12**, No. 1, paper 011204, (Jan–Mar 2014)

† 用語解説

ITRS (International Technology Roadmap of Semiconductors)

: 日米欧韓台からなる半導体産業の専門家によって策定された, 15 年先を見越した半導体技術を予測するロードマップ。研究開発の方向性を示し, ムーアの法則とともにオープンイノベーションとして果たした役割は非常に大きい。しかし, 3D-IC/SIP (System-in-Package) のようなシステムの価値の最大化がより重要になり, かつ半導体産業構造の変化に伴いその本質的な価値を失った。2017 年以降は活動を停止し, IRDS に引き継がれている。先端実装については, Assembly and Packaging (AP) 分野にて明示されている。3D-IC については, デザイン分野に加え AP 分野および Interconnect 分野で策定された。Interconnect 分野においては 3D-TSV ロードマップとして, 3D-WLP, Global Interconnect Level 3D-SIC/3D-SoC, Intermediate Interconnect Level

3D-SIC の 3 つの視点から要求精度が明記されている。

IRDS (International Roadmap for Devices and Systems)

: 2016 年に IEEE がデバイスとコンピュータのロードマップ実行委員会として立ち上げ, 策定されたロードマップ。IoT など未来社会が求める科学技術は, 単なる半導体やそれを用いたコンピュータだけにとどまらず, ビッグデータ・AI・CPS (Cyber Physical System) や先端実装技術を含めたシステムの最大価値を求めている。その未来予測を行うことが必要になったことが発端である。先端実装については Packaging Integration, 3D-IC については More Moore 分野の中で 3D Heterogeneous Integration として記述されている。

FOWLP (Fan-Out Wafer Level Package)

: フリップチップ BGA に置き換わる実装方式として注目されている高密度実装技術であり, 高機能化とパッケージ基板不要の低価格化が期待される。チップ端子から配線を引き出す再配線層を半導体プロセス工程で作成し外部端子につなぐ方式のため, FEOL プロセスとの親和性が高い。ITRS においては, AP 分野において, Wafer Level Package Developments and Trends にて記述されている。3D-IC と FOWLP との融合による付加価値のある半導体チップ創成が期待される。

著者紹介

岡本和也 (おかもと かずや)

東京大学大学院工学系研究科修士, ハーバード大学経営大学院 PMD 修士。Nikon Research America, Vice President を経て (株) ニコン 開発部門ゼネラルマネジャー, 半導体および同装置の要素開発・システム開発に従事。2005 大阪大学客員教授・特任教授, 2014 エレクトロニクス実装学会理事, 2015 大阪大学招聘教授, 文部科学省 科学技術・学術審議会専門委員, 2016 山口大学大学院技術経営研究科教授, 効率的な事業創成方法論の研究に従事。2017 同副研究科長・教授, 2018 日本学術振興会研究開発専門委員会・委員長。工学博士 (東京大学)。

佐藤了平 (さとう りょうへい)

北海道大学大学院工学研究科修士, 1973 日立製作所 (株) 入社, 生産技術研究所計算機実装センター長, メインフレーム高密度実装技術, 1999 富士通日立プラズマディスプレイ (株) ディスプレイの研究開発・事業化に従事。2001 大阪大学教授, エレクトロニクスシステムデザインの教育・研究に従事, 2005 日本学術振興会システムデザイン・インテグレーション第 177 委員会・委員長, 2013 大阪大学名誉教授・特任教授, 京都工芸繊維大学非常勤講師。2017 文部科学省 科学技術・学術審議会専門委員, 同研究基盤整備・高度化委員会主査, 工学博士 (北海道大学)。